

**UNIVERSIDADE FEDERAL DE JUIZ DE FORA
FACULDADE DE ENGENHARIA ELÉTRICA
MESTRADO EM ENGENHARIA ELÉTRICA**

Max Mateus Luiz

**Desenvolvimento de um Coprocessador de Qualidade de Energia Padrão
Classe A Baseado em Processadores Embarcados em FPGA**

Juiz de Fora

2021

Max Mateus Luiz

**Desenvolvimento de um Coprocessador de Qualidade de Energia Padrão
Classe A Baseado em Processadores Embarcados em FPGA**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Juiz de Fora como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica. Área de concentração : Sistema Eletrônicos

Orientador: Prof. Dr. Eng. Leandro Rodrigues Manso Silva

Juiz de Fora

2021

Ficha catalográfica elaborada através do programa de geração automática da Biblioteca Universitária da UFJF, com os dados fornecidos pelo(a) autor(a)

Luiz, Max Mateus.

Desenvolvimento de um Coprocessador de Qualidade de Energia Padrão Classe A Baseado em Processadores Embarcados em FPGA /Max Mateus Luiz. -- 2021.

92 f. : il.

Orientador: Leandro Rodrigues Manso Silva

Dissertação (mestrado acadêmico) - Universidade Federal de Juiz de Fora, Faculdade de Engenharia. Programa de Pós-Graduação em Engenharia Elétrica, 2021.

1. Qualidade da Energia Elétrica. 2. FPGA. 3. Processador Embarcado. 4. IEC 61000-4-30. I. Silva, Leandro Rodrigues Manso, orient II. Título.

Max Mateus Luiz

Desenvolvimento de um Coprocessador de Qualidade de Energia Padrão
Classe A Baseado em Processadores Embarcados em FPGA

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Juiz de Fora como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica. Área de concentração : Sistema Eletrônicos

Aprovada em 04 de Março de 2021

BANCA EXAMINADORA

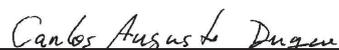


Prof. Dr. Eng. Leandro Rodrigues Manso Silva -
Orientador

Universidade Federal de Juiz de Fora, UFJF



Prof. D.Sc. José Rubens Macedo Junior
Universidade Federal de Uberlândia, UFU



Prof. D.Sc. Carlos Augusto Duque
Universidade Federal de Juiz de Fora, UFJF



Prof. D.Sc. Luciano Manhães de Andrade Filho
Universidade Federal de Juiz de Fora, UFJF

Dedico este trabalho à minha família e amigos.

AGRADECIMENTOS

Primeiramente à Deus, por toda força durante esta caminhada. À toda minha família, em especial meus pais, Manoel e Izabel, que sempre me apoiaram e nunca mediram esforços para que eu tivesse acesso à educação que eles nunca tiveram, e também, à minha irmã Deila, pela paciência e carinho.

Ao professor Leandro Manso, pela orientação, dedicação, amizade, confiança e paciência durante todo o desenvolvimento deste trabalho.

À todos os companheiros do laboratório LAPTEL, pelos ensinamentos e pela amizade. Aos amigos formados durante todos os anos de estudo na Faculdade de Engenharia.

Aos membros da banca avaliadora, pelo aceite em avaliar e contribuir com este trabalho.

Ao CNPq, CAPES, FAPEMIG, à Universidade Federal de Juiz de Fora e à Faculdade de Engenharia, por todo apoio financeiro e por fornecer as ferramentas necessárias no desenvolvimento deste trabalho.

Agradeço à oportunidade de aprendizado, através da participação no projeto de pesquisa "Sistema de Monitoramento de I/O do Melplac-550", em parceria com a Companhia Siderúrgica Nacional (CSN).

RESUMO

A utilização cada vez maior de cargas não lineares conectadas ao sistema elétrico de potência e o aumento na inserção de geração distribuída, contribuem para uma possível piora dos níveis de Qualidade da Energia Elétrica (QEE) e para o surgimento de distúrbios, capazes de danificar equipamentos conectados à rede. Com o intuito de mitigar os prejuízos econômicos causados por este tipo de ocorrência e atender as exigências de melhora de QEE pelas agências reguladoras, o estudo e desenvolvimento de dispositivos e tecnologias capazes de monitorar e armazenar parâmetros indicadores de QEE é cada vez maior. Ao avaliá-los, é possível não apenas categorizar e identificar as possíveis fontes dos distúrbios, mas também, de acordo com o número de monitores instalados, obter uma visão geral do funcionamento do sistema. Dentre as tecnologias disponíveis no mercado, o Arranjo de Portas Programáveis em Campo (do inglês, Field Programmable Gate Array)(FPGA), devido a sua alta reconfigurabilidade e paralelismo, vem sendo cada vez mais utilizado neste tipo de aplicação. Tendo em vista o cenário descrito, o presente trabalho apresenta a implementação de um sistema de cálculo de parâmetros indicadores de QEE, a partir da utilização de processadores paralelos embarcados em FPGA. Os algoritmos implementados em cada processador seguem as diretrizes descritas pela norma IEC 61000-4-30, para dispositivos classe A. Para validação do sistema proposto foram feitos testes de simulação funcional, a partir do *software* ModelSim[®], da fabricante Intel[®], e testes de teor mais prático, com o projeto gravado e em execução de fato dentro do FPGA. Para tal, foi utilizado o kit de desenvolvimento DE10-Nano, o qual embarca um FPGA pertencente à família *Cyclone V*, da fabricante Intel[®]. Em todos os testes executados, os resultados apresentaram boa precisão e atenderam aos requisitos exigidos pela norma adotada.

Palavras-chave: Qualidade da Energia Elétrica. FPGA. Processador Embarcado. IEC 61000-4-30.

ABSTRACT

The increasing use of non-linear loads connected to the electric power system and the increase in the insertion of distributed generation, contribute to a possible worsening of the Electric Power Quality (QEE) levels and to the appearance of disturbances, capable of damaging equipment connected to the network. In order to mitigate the economic losses caused by this type of occurrence and meet the requirements for improving QEE by regulatory agencies, the study and development of devices and technologies capable of monitoring and storing QEE indicator parameters is increasing. When evaluating them, it is possible not only to categorize and identify the possible sources of disturbances, but also, according to the number of installed monitors, to obtain an overview of the functioning of the system. Among the technologies available in the market, the Field Programmable Gate Array (FPGA), due to its high reconfigurability and parallelism, has been increasingly used in this type of application. In view of the described scenario, the present work presents the implementation of a system for calculating parameters for QEE indicators, based on the use of parallel processors embedded in FPGA. The algorithms implemented in each processor follow the guidelines described by IEC 61000-4-30, for class A devices. To validate the proposed system, functional simulation tests were performed, using the Intel® ModelSim® software, and more practical tests, with the project recorded and actually running within the FPGA. For this, the DE10-Nano development kit was used, which ships an FPGA belonging to the Intel® manufacturer's Cyclone V family. In all tests performed, the results showed good accuracy and met the requirements required by the adopted standard.

Keywords: Electric Power Quality. FPGA. Embedded Processor. IEC 61000-4-30

LISTA DE DIAGRAMAS

Diagrama 1 – Diagrama de blocos do <i>Flickerímetro</i>	45
Diagrama 2 – Visão geral dos principais blocos e estruturas que compõem o sistema	53
Diagrama 3 – Ligação entre os processadores P1 e P2	56
Diagrama 4 – Entradas e saídas do processador P2	58
Diagrama 5 – Diagrama de blocos do <i>flickerímetro</i> sugerido pela norma	59
Diagrama 6 – Diagrama de blocos do <i>flickerímetro</i> multitaxa	59
Diagrama 7 – Fluxo de operações executadas pelo processador P5	61
Diagrama 8 – Processo detalhado de montagem dos pacotes enviados	65
Diagrama 9 – Uma visão ainda mais geral do sistema	78

LISTA DE FIGURAS

Figura 1 – Evolução das principais características dos FPGAs da fabricante Xilinx® entre 1988 e 2010	17
Figura 2 – Elementos que compõem a FPGA	30
Figura 3 – Agregação dos parâmetros - IEC 61000-4-30	36
Figura 4 – Exemplo do processo de marcação de pacotes	37
Figura 5 – RMS de 1 ciclos atualizado a cada meio ciclo	38
Figura 6 – Exemplo de um sinal monofásico que contém os três distúrbios em questão	40
Figura 7 – Grupo e subgrupo harmônico	42
Figura 8 – Grupo e subgrupo inter-harmônico	42
Figura 9 – Mudança de polaridade da técnica de <i>zero crossing</i>	54
Figura 10 – Processo de mudança de FIFO	57
Figura 11 – Exemplo do processo de controle de estampa de tempo	66
Figura 12 – Possíveis modos de operação do sinal SCLK em uma comunicação SPI	68
Figura 13 – Interface do <i>software ModelSim-Altera</i> ®	71
Figura 14 – Funcionamento dos processadores em paralelo	73
Figura 15 – Funcionamento das FIFOs em ressincronização	73
Figura 16 – Signaltap - Aba de sinais (Data)	79
Figura 17 – Signaltap - Aba de configurações (Setup)	79
Figura 18 – Resultados entregues pelo processador P1	80
Figura 19 – Comportamento do processador P3 durante a ocorrência de um afundamento	82
Figura 20 – Vista superior do kit de desenvolvimento DE10-Nano	84

LISTA DE QUADROS

Quadro 1 – Vantagens e desvantagens das três abordagens de instalação de monitores	24
Quadro 2 – Incerteza referente à harmônicos para aparelhos Classe I	42
Quadro 3 – Possíveis mensagens de saída do módulo GPS	62
Quadro 4 – Formato da mensagem RMC	63
Quadro 5 – Características de cada uma das nove FIFOs utilizadas pela estrutura de montagem de pacotes.	66
Quadro 6 – Exemplo de um pacote enviado	67

LISTA DE TABELAS

Tabela 1 – Resposta normalizada de flutuação para variações de tensão senoidal e retangular	47
Tabela 2 – Teste de variação retangular e <i>performance</i> do <i>Flickerímetro</i> . .	48
Tabela 3 – Teste para mudanças combinadas de tensão e frequência	48
Tabela 4 – Teste para tensão distorcida por múltiplos <i>zero crossings</i>	49
Tabela 5 – Teste para salto de fase	49
Tabela 6 – Referência para determinação da variável <i>dsby</i>	63
Tabela 7 – Testes com variação de tensão	74
Tabela 8 – Estimação de frequência	75
Tabela 9 – Resultados de harmônicos	75
Tabela 10 – Flutuação senoidal de tensão	76
Tabela 11 – Flutuação quadrada de tensão	76
Tabela 12 – Variação de tensão retangular	77
Tabela 13 – Recursos utilizados da FPGA	77
Tabela 14 – Resultados de medição de frequência	80
Tabela 15 – Resultados de harmônicos	81
Tabela 16 – Testes com variação de tensão	83
Tabela 17 – Recursos utilizados da FPGA	84

LISTA DE ABREVIATURAS E SIGLAS

ADALINE	Neurônio Linear Adaptativo (do inglês, <i>Adaptive Linear Element</i>)
A/D	Conversor analógico-digital
AI	Inteligência Artificial (do inglês, <i>Artificial Intelligence</i>)
ANN	Redes Neurais Artificiais (do inglês <i>Artificial Neural Networks</i>)
CIGRE	Conselho Internacional de Grandes Sistemas Elétricos (do francês, <i>Conseil International des Grands Réseaux Electriques</i>)
CIREDE	Conferência e Exposição Internacional de Distribuição de Energia Elétrica (do francês, <i>Congrès International des Réseaux Electriques de Distribution</i>)
DSOs	Operadores de Sistemas de Distribuição (do inglês, <i>Distribution System Operators</i>)
DSP	Processador digital de sinais (do inglês, <i>Digital Signal Processor</i>)
D/A	Conversor digital-analógico
FIFO	Primeiro a entrar, primeiro a sair (do inglês, <i>First In First Out</i>)
FFT	Transformada Rápida de Fourier (do inglês, <i>Fast Fourier Transform</i>)
FPGA	Arranjo de Portas Programáveis em Campo (do inglês, <i>Field-Programmable Gate Array</i>)
GPS	Sistema de posicionamento global (do inglês, <i>Global Positioning System</i>)
HOS	Estatística de Ordem Elevada (do inglês, <i>High Order Statistics</i>)
HVDC	Corrente contínua em alta tensão (do inglês, <i>High Voltage Direct-Current</i>)
IoT	Internet das Coisas (em inglês, <i>Internet of Things</i>)
μ P	Microprocessadores
NMEA	Associação Nacional de Eletrônicos Marinhos (do inglês, <i>National Marine Electronics Association</i>)
PPS	Pulso por Segundo (do inglês, <i>Pulse per Second</i>)
QEE	Qualidade da Energia Elétrica
RISC	Conjunto Reduzido de Instruções (do inglês, <i>Reduced Instruction Set Computer</i>)
RMS	Valor Quadrático Médio (do inglês, <i>Root Mean Square</i>)
ROM	Memórias Somente de Leitura (do inglês, <i>Read-Only Memory</i>)
RVFLN	Rede de <i>Link</i> Funcional de Vetor Aleatório (do inglês, <i>Random Vector Functional Link Network</i>)
RTC	Relógio de Tempo Real (do inglês, <i>Real Time Clock</i>)
SPI	Interface Periférica Serial (do inglês, <i>Serial Peripheral Interface</i>)
THD	Distorção Harmônica Total (do inglês, <i>Total Harmonic Distortion</i>)
THDG	Distorção Harmônica Total de Grupo (do inglês, <i>Group Total Harmonic Distortion</i>)

THDS	Distorção Harmônica Total de Subgrupo (do inglês, Subgroup Total Harmonic Distortion)
TSOs	Operadores de Sistemas de Transmissão (do inglês, <i>Transmission System Operators</i>)
UFJF	Universidade Federal de Juiz de Fora

SUMÁRIO

1	INTRODUÇÃO	15
1.1	OBJETIVOS	18
1.2	PRODUÇÕES BIBLIOGRÁFICAS	18
1.3	ESTRUTURA DA DISSERTAÇÃO	18
2	REVISÃO BIBLIOGRÁFICA	20
2.1	VISÃO GERAL SOBRE O PROCESSO DE MEDIÇÃO DE PARÂMETROS DE QUALIDADE DA ENERGIA ELÉTRICA	20
2.1.1	Objetivos do Monitoramento	21
2.1.2	Seleção de Locais de Monitoramento	23
2.1.3	Parâmetros à Serem Monitorados	26
2.1.4	Apresentação e Reporte dos Dados Obtidos	28
2.2	MONITORES DE QEE	29
2.2.1	Monitores de QEE Baseados em FPGA	29
2.3	CONCLUSÕES PARCIAIS	34
3	NORMA IEC 61000-4-30	35
3.1	CONSIDERAÇÕES INICIAIS	35
3.2	FREQUÊNCIA	37
3.3	TENSÃO EM REGIME PERMANENTE	38
3.4	VARIAÇÕES DE TENSÃO DE CURTA DURAÇÃO	38
3.5	DESEQUILÍBRIO DE TENSÃO	40
3.6	HARMÔNICOS E INTER-HARMÔNICOS	41
3.7	SUBTENSÃO E SOBRETENSÃO EM REGIME PERMANENTE	43
3.8	FLUTUAÇÃO DE TENSÃO	44
3.9	CONCLUSÕES PARCIAIS	51
4	IMPLEMENTAÇÃO DO COPROCESSADOR DE QUALIDADE DA ENERGIA ELÉTRICA	52
4.1	PROCESSADOR P1	53
4.2	PROCESSADOR P2	57
4.3	PROCESSADOR P3	58
4.4	PROCESSADOR P4	58
4.5	PROCESSADOR P5	60
4.6	GPS	62
4.6.1	Protocolo NMEA	62
4.7	MONTADOR DE PACOTES	64
4.8	CONCLUSÕES PARCIAIS	69
5	RESULTADOS	70
5.1	RESULTADOS DE SIMULAÇÃO FUNCIONAL	70

5.1.1	Simulação Funcional	70
5.1.2	Resultados Obtidos	72
5.2	RESULTADOS PRÁTICOS	77
5.3	CONCLUSÕES PARCIAIS	84
6	CONCLUSÕES	85
6.1	TRABALHOS FUTUROS	85
	APÊNDICE A – Exemplo de um arquivo de <i>Testbench</i> escrito em linguagem Verilog	87
	REFERÊNCIAS	88

1 INTRODUÇÃO

A constante atualização e modernização do sistema elétrico, decorrente da utilização cada vez maior de cargas não lineares conectadas à rede, e do aumento da inserção de geração distribuída, principalmente solar e eólica, contribuem para uma possível deterioração da Qualidade da Energia Elétrica (QEE). Distúrbios provenientes da falta de controle sobre as cargas podem causar diversos danos à equipamentos elétricos industriais e residenciais (BOLLEN, 2000). Tendo em vista consequências econômicas em geral, bem como uma exigência na melhoria da QEE, faz-se necessário o estudo e desenvolvimento de tecnologias para medição, visualização e armazenamento de parâmetros indicadores de QEE, de forma contínua e de acordo com as normativas reguladoras nacionais e internacionais (DISTRIBUICAO, 2010),(IEC, 2015). Através destes parâmetros, é possível categorizar os distúrbios e identificar possíveis fontes dos mesmos no sistema.

Ao monitorar tensões e correntes, as concessionárias de energia ou operadoras do sistema em geral, são capazes de obter informações importantes sobre o funcionamento do sistema, seja em um único ponto, relacionado à um cliente específico, ou até mesmo do sistema como um todo. O desenvolvimento tecnológico dos últimos anos, principalmente nas áreas de tecnologia de comunicação, armazenamento e processamento de dados, tornou possível o monitoramento em larga escala, e o armazenamento virtual de quaisquer parâmetros de interesse.

Apesar do crescente uso e instalação de equipamentos monitores, por parte das empresas que gerenciam os sistemas elétricos, e o número cada vez maior de equipamentos de monitoramento disponíveis no mercado, ainda haviam divergências em diversas etapas do processo de monitoramento, como número e quantidade de monitores, qual o tipo de processamento e reporte dos dados obtidos, entre outros. Em Janeiro de 2011, o Conselho Internacional de Grandes Sistemas Elétricos (do francês, *Conseil International des Grands Réseaux Electriques*) (CIGRE) e a Conferência e Exposição Internacional de Distribuição de Energia Elétrica (do francês, *Congrès International des Réseaux Electriques de Distribution*) (CIRED) desenvolveram uma cartilha intitulada *Guidelines for Power Quality Monitoring - measurement locations, processing and presentation of data* (C4.112, 2011), com o objetivo de sumarizar e responder à todas as questões inerentes ao processo de instalação de monitores de QEE, dentre elas: Escolha de locais para instalação, possíveis soluções para o impasse entre custo de monitoramento e quantidade de informações coletadas, isto é, a comparação entre instalar mais monitores ou extrair informações mais complexas dos monitores que se tem disponíveis, sugestão de métodos para estimação de índices de QEE relevantes e escolha de quais parâmetros devem ser armazenados, e por quanto tempo, entre outras. Com o intuito de mapear o estado da arte, a equipe responsável pela cartilha desenvolveu em 2011 um questionário sobre as práticas de monitoramento de qualidade da energia. Este questionário foi distribuído para um grande número de Operadores de

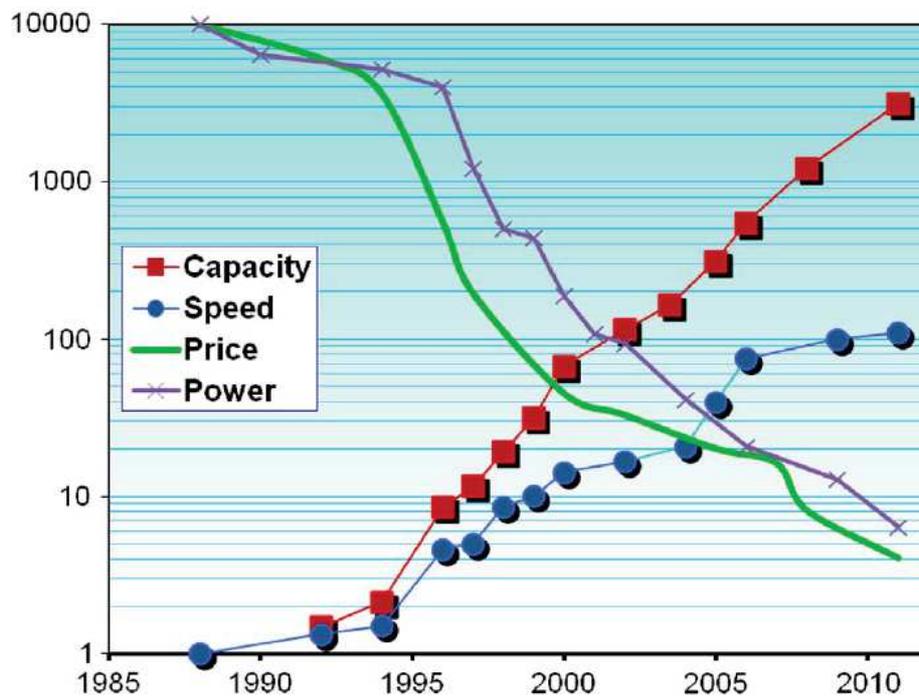
Sistemas de Transmissão (do inglês, *Transmission System Operators*) (TSOs) e Operadores de Sistemas de Distribuição (do inglês, *Distribution System Operators*) (DSOs), localizadas em 43 diferentes países ao redor do mundo. Tendo como base as 114 respostas recebidas até Janeiro de 2013, concluiu-se que as reclamações dos clientes poderiam ser consideradas como a principal motivação para o monitoramento, o qual ocorria nas três fases do sistema, com as tensões de fase sendo armazenadas. Os dados salvos eram normalmente analisados através de programas que acompanhavam o equipamento. Apenas $\frac{1}{6}$ dos entrevistados utilizava alguma outra aplicação que não fosse a nativa do aparelho empregado. No que concerne à quantidade e localização dos monitores, foram observadas as mais diferentes práticas e critérios.

Quanto a tecnologia empregada em sua construção, muitos dos monitores presentes na literatura baseiam-se na utilização de Microprocessadores (μP) ou de Processador digital de sinais (do inglês, *Digital Signal Processor*) (DSP) (SALEM *et al.*, 2005), (MARTENS *et al.*, 2007), (SHU *et al.*, 2010). No presente trabalho, optou-se pela utilização de Arranjo de Portas Programáveis em Campo (do inglês, *Field-Programmable Gate Array*) (FPGA), circuito integrado que vem sendo cada vez mais utilizado em implementações de circuitos digitais, devido à sua flexibilidade, paralelismo e capacidade de integração (FERRIGNO; LANDI; LARACCA, 2008), (YILDIRIM *et al.*, 2018).

Em seus pouco mais de 30 anos de existência, os FPGAs aumentaram sua capacidade em torno de 10000 vezes e sua *performance* cerca de 100 vezes. Além disso, seu preço e energia consumida por operação decresceram por um fator maior que 1000. De acordo com a influência da Lei de Moore, este período de desenvolvimento e evolução dos FPGAs pode ser dividido em três diferentes épocas. A primeira, entre 1984 e 1991, é chamada Era da Invenção. Nesse período o custo dos componentes era extremamente alto, o que comprometia a fabricação, mesmo do mais simples FPGA. Como resultado, esta época foi marcada por estudos para maximizar a eficiência dos FPGAs. A segunda, chamada Era da Expansão, ocorreu entre 1992 e 1999. Este período foi marcado por grande desenvolvimento no campo dos transistores, o que aumentou a capacidade dos FPGAs. Por conta de todo esse novo poder de processamento, fez-se necessária a automação dos processos de síntese e roteamento dos circuitos digitais. Sem isto, o esforço no desenvolvimento de projetos seria massivo. A terceira época, chamada Era da Acumulação, ocorreu entre 2000 e 2007. Nesse período, os FPGAs já eram componentes comuns em sistemas digitais. Os avanços dos anos anteriores levaram à adição de novos blocos lógicos dedicados, como memórias, microprocessadores, multiplicadores, portas de entrada e saída mais flexíveis, entre outros. O FPGA passou a ser utilizado nos mais diversos campos, para as mais diversas aplicações. Atualmente, os FPGAs tornaram-se tão complexos e poderosos, de tal forma que não são mais simplesmente uma matriz de portas lógicas, e sim uma coleção de blocos acumulados integrados com lógica programável. FPGAs modernos incluem desde ferramentas de compilação e síntese de circuitos em linguagem de alto nível, como C,

até microprocessadores embarcados (CONG *et al.*, 2011). O principal desafio dos FPGAs nesta nova Era, consequência de toda esta complexidade, é a sua usabilidade. Ainda é incerto como este problema será solucionado, mas acredita-se que, como em todas as gerações anteriores foram necessárias para o desenvolvimento da geração posterior, serão necessários avanços e estudos em todas as áreas, isto é, construção, preço, capacidade de processamento, entre outras. Assim como nas Eras anteriores, a quarta Era dos FPGAs só estará completamente definida em retrospecto (TRIMBERGER, 2018). A Figura 1 apresenta a evolução destas características para os FPGAs da fabricante Xilinx®, entre 1988 e 2010

Figura 1 – Evolução das principais características dos FPGAs da fabricante Xilinx® entre 1988 e 2010



Fonte: (TRIMBERGER, 2018).

O mercado de FPGAs ultrapassou o valor de 5 bilhões de dólares em 2018, e estima-se que este valor supere os 13 bilhões de dólares em 2026. Este crescimento é reflexo da crescente utilização de Inteligência Artificial (do inglês, *Artificial Intelligence*) (AI) e Internet das Coisas (em inglês, *Internet of Things*) (IoT) globalmente, dos desenvolvimentos no campo de tecnologia 5G, entre outros (FPGAMARKETSHARE, 2021).

Devido à tudo isto, o FPGA tornou-se uma ferramenta muito versátil na implementação de estruturas de processamento de sinais. Neste trabalho, optou-se pela implementação de um sistema que embarca cinco processadores, todos executando suas instruções de forma paralela. Assim, o sistema é capaz de realizar tarefas que demandam grande esforço computacional em tempo reduzido. Nesse contexto, cada processador funciona de maneira independente o que, junto com a flexibilidade do FPGA, facilita a

implementação de novas funcionalidades e possíveis atualizações (KAPISCH *et al.*, 2016).

1.1 OBJETIVOS

O presente trabalho tem como objetivo o desenvolvimento de um coprocessador, composto por cinco processadores independentes, todos executando suas instruções de forma paralela, capaz de calcular os parâmetros de QEE, de acordo com o padrão classe A, especificado pelas normas IEC 61000-4-30 (IEC, 2015), IEC 61000-4-7 (IEC, 2009) e IEC 61000-4-15 (IEC, 2010). Desta forma, o foco do trabalho está na implementação dos processadores e estruturas de controle, que serão embarcados em FPGA para o cálculo dos parâmetros, e não no sistema de aquisição/armazenamento dos mesmos.

1.2 PRODUÇÕES BIBLIOGRÁFICAS

Contribuições produzidas e publicadas durante o mestrado, com tema relacionado ao deste trabalho:

- LUIZ, M. M. ; DUQUE, T. F. ; ALEIXO, R. R. ; SILVA, L. R. M. ; Lima, M. A. A. . Implementação em FPGA de um algoritmo de estimação fasorial para PMU. Em: CBQEE. **Conferência Brasileira sobre Qualidade da Energia Elétrica**. São Caetano do Sul. 2019;
- LUIZ, M. M., DUQUE, T. F., DE ALMEIDA, A. H. S., KAPISCH, E. B., SILVA, L. R. M., LIMA, M. A. A. Utilização de Processadores Paralelos Embarcados em FPGA para Cálculo de Parâmetros de Qualidade de Energia Segundo a Norma IEC 61000-4-30. Em : **Anais da Sociedade Brasileira de Automática**. Santa Maria. 2020;

Contribuições produzidas e publicadas durante o mestrado, com tema não relacionado ao deste trabalho:

- FERREIRA, M. X., LUIZ, M. M., TEIXEIRA, E. C., SOARES, G. M., SILVA, L. R. M., DUQUE, C. A. Retrofit de Controladores Lógicos Programáveis Industriais-Desenvolvimento de Placa de Comunicação. Em : **Anais da Sociedade Brasileira de Automática**. Santa Maria. 2020;

1.3 ESTRUTURA DA DISSERTAÇÃO

O presente trabalho está dividido em cinco capítulos. No capítulo 2, inicialmente é apresentada uma visão geral sobre as principais etapas que constituem o processo de medição de parâmetros de qualidade da energia elétrica. Em seguida, é feita uma revisão

sobre os medidores de qualidade da energia e suas abordagens. É dada maior ênfase aos medidores que utilizam como tecnologia base o FPGA. O capítulo 3 aborda a norma IEC 61000-4-30 (IEC, 2015), e algumas normas derivadas quando necessário. São fornecidos mais detalhes sobre a medição e caracterização dos distúrbios que serão avaliados pelo trabalho. O capítulo 4, por sua vez, descreve a implementação e o funcionamento dos processadores, que compõem o medidor proposto. No capítulo 5 são apresentados os resultados obtidos nos testes de simulação funcional e nos testes de teor mais prático, isto é, com o projeto de fato gravado e em execução dentro do FPGA. Por fim, o capítulo 6 apresenta as conclusões acerca dos resultados obtidos, e os trabalhos futuros.

2 REVISÃO BIBLIOGRÁFICA

O presente capítulo tem como objetivo contextualizar o leitor sobre o processo de monitoramento de parâmetros de qualidade da energia. A primeira seção irá tratar sobre todos os aspectos que compõem o ato de monitorar, isto é, desde os objetivos que se deseja alcançar, até a apresentação e o reporte dos dados obtidos. A segunda seção, por sua vez, tratará sobre o estado da arte dos monitores de qualidade da energia, que fazem uso de FPGA. Inicialmente será feita uma breve contextualização sobre o que é um FPGA, e em seguida serão apresentados alguns dos trabalhos presentes na literatura. Por fim, será apresentada uma conclusão parcial sobre os assuntos discutidos.

2.1 VISÃO GERAL SOBRE O PROCESSO DE MEDIÇÃO DE PARÂMETROS DE QUALIDADE DA ENERGIA ELÉTRICA

Ultimamente, devido à constante mudança das cargas conectadas à rede, aliada a proliferação de cargas não lineares, tem-se notado um crescente aumento no monitoramento de parâmetros indicadores de qualidade da energia em todo o mundo. Graças aos avanços tecnológicos, principalmente nas áreas de comunicação, processamento e armazenamento de dados, é possível monitorar sistemas em larga escala, e armazenar quaisquer parâmetros de interesse.

Devido ao aumento de sistemas monitorados e o crescente número de monitores disponíveis no mercado, faz-se necessário o desenvolvimento de normas regulatórias, para mediar questões como número e localização de monitores, processamento e armazenamento dos dados coletados. Uma vez que o volume de informação pode se tornar grande rapidamente, é necessário regulamentar o que é realmente relevante. Existe uma grande variedade de abordagens possíveis, desde as mais completas, que utilizam medidores classe A, baseados na norma IEC 61000-4-30 (IEC, 2015), ou as mais restritas, que utilizam medidores portáteis para verificar apenas um incidente. A abordagem escolhida é altamente influenciada pela regulamentação vigente no país onde a instalação está localizada. Para alguns parâmetros, como níveis de tensão em regime permanente ou distorções harmônicas, os requisitos são definidos de forma clara e objetiva pelas normas nacionais e internacionais, e são obrigatórios. Outros parâmetros, como por exemplo o número de distúrbios de qualidade da energia, podem ser monitorados e reportados sem grande regulamentação.

Este processo pode ser dividido em quatro principais etapas. São elas : Definição dos objetivos que se deseja atingir com o monitoramento; Seleção dos locais de instalação dos medidores; Definição dos parâmetros à serem monitorados, e por fim, Definição do formato de apresentação e reporte dos dados obtidos. Cada uma destas etapas será discutida em mais detalhes nas subseções a seguir (C4.112, 2011).

2.1.1 Objetivos do Monitoramento

A escolha da tecnologia a ser utilizada, o número de medidores, sua localização no sistema e de quanto em quanto tempo suas medições serão reportadas, depende diretamente dos objetivos que se deseja alcançar. Por se tratar de um grande investimento, fica claro que o principal objetivo, indiscutivelmente, é econômico. Outros objetivos são mencionados no Apêndice B da IEC 61000-4-30 (IEC, 2015).

De forma geral os seis objetivos listados a seguir, não necessariamente ordenados em grau de importância, distinguem-se dos demais.

1. Verificação de Conformidade com Normas Vigentes

- **Descrição**

- Compara os valores obtidos nas medições com os limites definidos pela norma em questão, para um conjunto de parâmetros de qualidade da energia. Em geral são realizadas para pontos individuais e proveem resultados qualitativos, do tipo aprovado ou reprovado. Podem ser aplicadas à múltiplos pontos através do uso de agregação apropriada.

- **Tarefas Típicas**

- Realizar medições de acordo com os requisitos presentes na norma regulatória

2. Análise de *Performance* (*Benchmarking*)

- **Descrição**

- Normalmente executada para propósitos internos, como planejamento estratégico, manutenção preventiva, entre outros, pode ser aplicada a um ou mais pontos do sistema. Provê resultados quantitativos, ou seja, índices, que podem ser utilizados na análise de um objetivo previamente estabelecido, sem nenhum compromisso em atender algum limiar presente em alguma norma. O *benchmarking* compara um ou mais índices, para diferentes pontos do sistema, e é parte integrante da análise de *performance*.

- **Tarefas Típicas**

- Estimativa da qualidade da energia média para um determinado ponto ou região.
- Análise de tendências de longo prazo para conjuntos de pontos específicos.

3. Caracterização de Pontos do Sistema

- **Descrição**

- Utilizada para descrever a qualidade da energia de forma detalhada em um determinado ponto específico, com o intuito de prever os efeitos da adição de uma carga não linear, desbalanceada ou intermitente, e então avaliar estes efeitos para garantir que a conformidade com a norma seja mantida. Os parâmetros monitorados e os métodos de medição estão diretamente ligados à um objetivo pré-definido, e podem estar além dos índices típicos descritos pelas normas.

- **Tarefas Típicas**

- Verificação da *performance* para consumidores já existentes.
- Especificação de diretrizes para novos consumidores.
- Determinar os níveis de qualidade da energia antes da conexão de um novo consumidor.

4. Solução de Problemas (*Troubleshooting*)

- **Descrição**

- São sempre iniciadas a partir de um problema de qualidade da energia (algum nível pré-definido foi excedido, dano em algum equipamento, etc).

- **Tarefas Típicas**

- Responder à alguma reclamação de um cliente.
- Investigação de dano em equipamento.
- Análise de algum fenômeno na rede.

5. Aplicações e Estudos Avançados

- **Descrição**

- Devido a alta resolução e complexidade dos dados, o campo de estudos e aplicações avançadas tem crescido de forma considerável nos últimos anos. O grupo de aplicações avançadas compreende métodos novos e altamente sofisticados para melhorar a eficiência da operação do sistema. O grupo de estudos avançados, por sua vez, inclui medições e análises mais específicas, que normalmente não fazem parte da rotina cotidiana.

- **Tarefas Típicas**

- Detecção de faltas
- Análise de coeficientes de transferência (Distorções Harmônicas, Desequilíbrio de Tensão, Flutuações de Tensão) entre diferentes níveis de tensão.
- Estudos de ângulos de fase de correntes harmônicas em redes de baixa tensão (abaixo de 1 *kV*)

6. Gestão Ativa de Qualidade da Energia

- **Descrição**

- A gestão ativa de qualidade da energia inclui todas as aplicações que tomam decisões, relacionadas a qualquer operação do sistema, a partir dos resultados dos parâmetros de qualidade medidos. Este controle pode ser feito em tempo real, ou de forma *offline*.

- **Tarefas Típicas**

- Controle de níveis de Distorção Harmônica em redes de baixa tensão.
- Gestão de potência reativa em micro geradores e consumidores industriais.
- Regulamentação de cargas causadoras de distúrbio ou geradores.

2.1.2 Seleção de Locais de Monitoramento

A seleção dos locais onde o monitoramento será realizado é altamente dependente dos objetivos que se deseja alcançar. É uma das primeiras etapas do processo de planejamento e instalação de medidores, e deve ser avaliada com cautela, uma vez que más escolhas podem resultar em grandes custos adicionais ao projeto.

De acordo com a duração do monitoramento, são possíveis as seguintes abordagens:

- **Instalação Permanente** : Para medições contínuas, faz-se o uso de monitores fixos. Isto requer uma infraestrutura significativa, para análise e armazenamento de todos os dados obtidos. Estes resultados podem ser utilizados para avaliar, com alta confiabilidade, variações de curto prazo (semanal), médio prazo (mensal) e longo prazo (tendência).
- **Instalação Temporária** : Medições temporárias são obtidas através da utilização de monitores portáteis, que são instalados em pontos do sistema, para monitorar durante um certo intervalo de tempo. Estas campanhas exigem maior planejamento e infraestrutura menos complexa que no caso da instalação permanente. Estas medições são suficientes para que o operador tenha uma visão geral de como estão os níveis de qualidade da energia no ponto onde o medidor foi instalado.
- **Instalação Híbrida** : Como o próprio nome sugere, a instalação híbrida faz uso de monitores fixos e portáteis, e com isso pode apresentar um bom compromisso entre informação obtida e custo de operação. Alguns monitores fixos são instalados em pontos estratégicos, e fornecem as variações de curto, médio e longo prazo. Porém, eles não são capazes de caracterizar todo o sistema de forma adequada. Logo, alguns monitores portáteis são utilizados para aumentar a confiabilidade dos resultados para o sistema como um todo.

O Quadro 1 resume as vantagens e desvantagens de cada uma das três abordagens citadas acima.

Quadro 1 – Vantagens e desvantagens das três abordagens de instalação de monitores

Tipo de Instalação	Vantagens	Desvantagens
Permanente	<ul style="list-style-type: none"> - Resultados mais confiáveis para os pontos selecionados - Variações de curto, médio e longo prazo são obtidas 	<ul style="list-style-type: none"> - Requisitos de armazenamento e análise de dados crescem rapidamente - Necessário grande número de monitores para uma boa representação do sistema
Temporária	<ul style="list-style-type: none"> - Não necessita de infraestrutura complexa - Escolha de pontos de observação mais rápida e flexível - Resultados mais rápidos 	<ul style="list-style-type: none"> - Baixa confiabilidade para um ponto específico - Necessário planejamento mais complexo - Somente variações de curto prazo são obtidas
Híbrida	<ul style="list-style-type: none"> - Confiabilidade aumentada à um custo razoável - Otimização dos recursos necessários - Bons resultados para pontos individuais e também para regiões 	<ul style="list-style-type: none"> - Necessário planejamento mais complexo - Variações de médio e longo prazo são possíveis porém limitadas

Fonte: (C4.112, 2011).

A localização dos monitores pode também ser definida de acordo com o nível de tensão do ponto onde se deseja monitorar, ou então um local físico específico do sistema, como uma subestação ou um ponto de acoplamento comum, por exemplo.

O uso de monitores portáteis para medição de Distorções Harmônicas, Desequilíbrio de Tensão, Flutuações de Tensão e variação da tensão em regime permanente em sistemas de baixa tensão (1kV) estão documentados em (BOLLEN *et al.*, 2013). Para obter informações de distúrbios como afundamentos e elevações, por exemplo, normalmente faz-se necessário o uso de monitores fixos. É válido mencionar que, em âmbito nacional, a recente resolução ANEEL 871/2020, a qual modifica o módulo 8 do PRODIST, torna obrigatória a utilização de medidores permanentes para a medição amostral de tensão em regime permanente, assim como para o registro de interrupções de curta e longa duração (ANEEL, 2020).

No que concerne a escolha de localização para a instalação de monitores fixos, alguns dos métodos mais utilizados ultimamente são:

- **Seleção arbitrária** : O operador do sistema escolhe de forma aleatória onde instalar os medidores. Pode levar a resultados satisfatórios, se uma quantidade suficiente de monitores for instalada.
- **Monitoramento em pontos predefinidos** : O operador instala os monitores em localizações baseadas nas recomendações das normas reguladoras ou do governo.
- **Monitoramento em um número de pontos tal que a representatividade amostral estatística seja atingida** : A escolha é baseada em análise estatística. O espaço formado pelos locais selecionados deve representar o tipo do sistema, isto é, o nível de tensão, o tipo de linha utilizada (subterrânea ou aérea), condições climatológicas, número e tipo de cargas, etc.
- **Monitoramento em pontos onde usuários importantes estão conectados** : Normalmente inclui sistemas sensíveis a distúrbios de qualidade da energia, ou sistemas com normas de segurança específicas, como plantas nucleares ou químicas.
- **Monitoramento de pontos onde há maior probabilidade de problemas futuros ou altos níveis de distúrbio** : Locais onde usuários mais propensos à gerar distúrbios estão conectados, por exemplo conversores de Corrente contínua em alta tensão (do inglês, *High Voltage Direct-Current*) (HVDC), fornos a arco, geração eólica, entre outros.

Pode-se ainda definir a melhor localização caso o objetivo seja um dos seis mais comuns, apresentados na subseção 2.1.1. Para cada um deles, temos:

- **Verificação de Conformidade com Normas Vigentes** : A escolha da localização é feita com base nas definições exigidas pela norma. Uma vez que é impossível garantir que as especificações sejam atingidas em todos os pontos do sistema, o operador deve garantir que os níveis de qualidade especificados permaneçam nos limites em uma porcentagem de pontos, geralmente 95%.
- **Análise de *Performance* (*Benchmarking*)** : Nesse caso, os pontos são normalmente escolhidos a partir de uma abordagem estatística. As informações necessárias para a realização da análise de *performance* normalmente são obtidas através de uma combinação de monitores fixos e portáteis.
- **Caracterização de Pontos do Sistema** : A escolha do local neste caso é sempre o ponto onde se deseja caracterizar. A caracterização pode ser feita através de monitores fixos ou portáteis, de acordo com a necessidade.

- **Solução de Problemas (*Troubleshooting*):** Existem duas situações distintas que determinam o local onde será realizada a análise de *troubleshooting*. A primeira corresponde aos pontos onde os usuários reportam alguma interferência entre a rede e os equipamentos conectados à ela, e a segunda corresponde aos locais onde os níveis de distúrbio de tensão e/ou corrente ultrapassam os níveis planejados ou descritos pelas normas reguladoras. A maior parte das medições de *troubleshooting* assume que o problema persistirá ou reaparecerá.
- **Aplicações e Estudos Avançados :** Nesse caso, como o intuito é apenas pesquisar, é improvável que um monitor fixo seja necessário. No entanto, pode ser que outros itens auxiliares, como transdutores por exemplo, sejam instalados de forma permanente no local de estudo.
- **Gestão Ativa de Qualidade da Energia :** Uma vez que a gestão ativa é utilizada para controlar os níveis de QEE em um determinado ponto, isto é, sua intenção é caracterizar os níveis de QEE em um ponto individual, as considerações quanto a escolha da localização são as mesmas feitas para a caracterização de pontos do sistema.

2.1.3 Parâmetros à Serem Monitorados

Assim como a localização, a escolha dos parâmetros à serem monitorados depende diretamente de alguns fatores. São eles :

- **Objetivos :** Discutidos em mais detalhes na subseção 2.1.1.
- **Número de Pontos à Serem Observados :** A quantidade de pontos monitorados pode variar desde um único local, no caso de investigação de algum problema específico, até algumas dezenas de milhões de pontos espalhados pela rede, no caso de verificação de um sistema completo de distribuição ou transmissão. Sendo assim, existem diversas abordagens quanto à escolha do número de monitores.
- **Recursos Financeiros Disponíveis :** Cada projeto de monitoramento possui um orçamento disponível associado à ele. Dois tipos de custo devem ser considerados:
 - Custo único (investimento)
 - Custos recorrentes (manutenção e operação dos equipamentos)

Instalações fixas predominantemente exigem maior investimento inicial, uma vez que é necessária a aquisição de instrumentos auxiliares, como cabos. Porém o custo com manutenção e operação tende a ser menor. Já instalações que adotam medidores portáteis não necessitam de infraestrutura, porém tendem a possuir maiores custos operacionais.

- **Armazenamento de Dados :** No que concerne ao armazenamento das informações de qualidade da energia obtidas, três estratégias são possíveis. São elas : centralizada, distribuída e híbrida. Suas principais características são:
 - **Centralizada :** Toda a informação é mantida em um único ponto, que pode conter canais de informação com todos os dispositivos de qualidade da energia, distribuídos em uma determinada área. Sua principal desvantagem é que uma falha neste armazenamento pode representar perda parcial, ou até mesmo total, de toda informação armazenada.
 - **Distribuída :** Neste caso, a informação é mantida próxima ao dispositivo de monitoramento. Esta arquitetura é mais indicada para caracterização de pontos da rede ou quando se deseja avaliar alguma reclamação de algum cliente.
 - **Híbrida :** Essencialmente, é uma combinação dos dois métodos anteriores. Para esta abordagem, é recomendável que o operador realize uma agregação dos dados, e armazene apenas os parâmetros mais importantes em uma central.

As recomendações referentes a quais parâmetros devem ser observados, para cada um dos seis objetivos mais comuns, descritos na subseção 2.1.1, são apresentadas a seguir.

- **Verificação de Conformidade com Normas Vigentes :** Envolve determinar se os parâmetros monitorados estão dentro dos limites estabelecidos pela norma a qual o sistema deseja se adequar. Os parâmetros mais comumente monitorados para este tipo de objetivo são: Variação da tensão de alimentação, harmônicos, desbalanceamento e flutuação de tensão.
- **Análise de *Performance* (*Benchmarking*) :** Além dos parâmetros considerados na verificação de conformidade com normas vigentes, afundamento, elevação e transiente também devem ser monitorados para análise de *performance*.
- **Caracterização de Pontos do Sistema :** Quando o intuito é a caracterização de um ponto do sistema, geralmente são monitorados os mesmos parâmetros descritos na análise de *performance*. Em alguns casos específicos pode ser interessante monitorar parâmetros adicionais, como níveis de emissão de harmônicos e inter-harmônicos acima de 2,5 kHz.
- **Solução de Problemas (*Troubleshooting*) :** Para *troubleshooting*, podem ser observados os mesmos parâmetros utilizados na caracterização de pontos, porém com um maior nível de detalhes, através da utilização de uma maior taxa de amostragem, por exemplo. Pode ser ainda necessário o monitoramento de correntes.
- **Aplicações e Estudos Avançados :** Quando um monitor de qualidade da energia é utilizado para um fim muito específico, as informações a serem monitoradas podem

ser as mais diferentes possíveis. Nesse caso não é possível dizer quais parâmetros devem ser monitorados.

- **Gestão Ativa de Qualidade da Energia** : Altamente dependente da aplicação, porém em geral é indicada a utilização de parâmetros com curta janela de duração.

2.1.4 Apresentação e Reporte dos Dados Obtidos

Após definir os objetivos que se deseja alcançar, e os locais de monitoramento, o próximo passo é extrair informações úteis, de uma quantidade enorme de dados coletados. Para simplificar a avaliação, em geral são definidos índices, como o percentil 95, que corresponde ao valor que não é excedido em 95% do tempo, e médias durante determinados períodos de tempo, como por exemplo 3 segundos ou 1 minuto. O maior desafio na etapa de avaliação e apresentação dos dados coletados é reduzir a grande quantidade de informação obtida, e transformá-la em algo que seja mais facilmente compreendido, sem que haja perda de detalhes importantes.

Os intervalos mais comuns de apresentação e reporte, empregados em cada um dos seis principais objetivos descritos na subseção 2.1.1 , são apresentados a seguir.

- **Verificação de Conformidade com Normas Vigentes** : Em geral, requer que o monitoramento seja contínuo. Os dados obtidos são examinados em intervalos específicos, normalmente já bem definidos nas normas, com o intuito de produzir um índice para comparação com os limiares definidos na norma em questão. O reporte geralmente é do tipo binário, ou seja, está ou não está de acordo com a norma. No entanto, pode ser importante saber se o índice está próximo do limiar.
- **Análise de *Performance* (*Benchmarking*)** : É recomendável um intervalo de tempo de análise de um ano, pois desta forma é possível avaliar e entender o impacto de todas as estações do ano. Em geral, o intervalo de reporte possui o mesmo tamanho que o intervalo de análise. No caso de apenas um ponto, o reporte é feito de forma direta. Já no caso de muitos pontos, os dados devem ser apresentados de forma sumarizada.
- **Caracterização de Pontos do Sistema**: O intervalo de reporte para este caso é altamente dependente das características do ponto que se deseja caracterizar. Deve ser suficientemente grande para comportar pelo menos um ciclo completo de operação normal no ponto de interesse. Em geral utiliza-se uma semana como intervalo de análise e reporte. Os dados são normalmente apresentados em forma de tabela.
- **Solução de Problemas (*Troubleshooting*)** : Para que se obtenha sucesso na identificação de um problema, é necessário que se tenha realizado medições no momento de ocorrência da falha. Por esta razão, os intervalos de análise e reporte

para identificação de problemas podem variar significativamente. Em geral, o intervalo mínimo de observação é de uma semana. Se o problema for causado por um fenômeno de estado permanente, alguns dias já são suficientes para sua caracterização. Uma vez que a metodologia é diferente para cada tipo de problema, não há uma forma comum de apresentação dos dados. Porém, uma boa prática pode ser a utilização de gráficos e tabelas.

- **Aplicações e Estudos Avançados** : Por se tratar de um campo muito amplo, os intervalos de análise e reporte dos dados são altamente dependentes do objetivo do estudo. Sendo assim, não existem técnicas de reporte mais indicadas. A prática mais comum é fornecer o máximo de informação possível.
- **Gestão Ativa de Qualidade da Energia** : Para aplicações de controle em tempo real é indicado um intervalo de 10 minutos. Este tempo é suficiente para que não ocorram alarmes falsos. No entanto, quando o objetivo é apenas avaliar as consequências de um evento após sua ocorrência, sugere-se um intervalo de avaliação e reporte de semanas ou meses.

2.2 MONITORES DE QEE

Como discutido anteriormente, o campo de estudos relacionados a medição de parâmetros de qualidade da energia é extremamente amplo. Isto se deve principalmente a alta influência exercida pelos objetivos que se deseja alcançar com a medição, e a grande quantidade de objetivos disponíveis. Além disso, os avanços na tecnologia ano a ano, contribuem para o surgimento de novas perspectivas e soluções.

Sendo assim, existem diversos trabalhos na literatura, com as mais diversas abordagens e os mais diferentes objetivos, desde o monitoramento de apenas um parâmetro (MOHAMMED *et al.*, 2006), (TAN; WONG; WONG, 2013), até sistemas capazes de classificar uma maior quantidade de distúrbios (ZHANG; LI, 2010), (YANG; WEN, 2006), sistemas baseados em transformada Wavelet (NAIK; KUNDU, 2013), (ERİŞTI *et al.*, 2013b), Hilbert (LEGARRETA; FIGUEROA; BORTOLIN, 2011), entre outras.

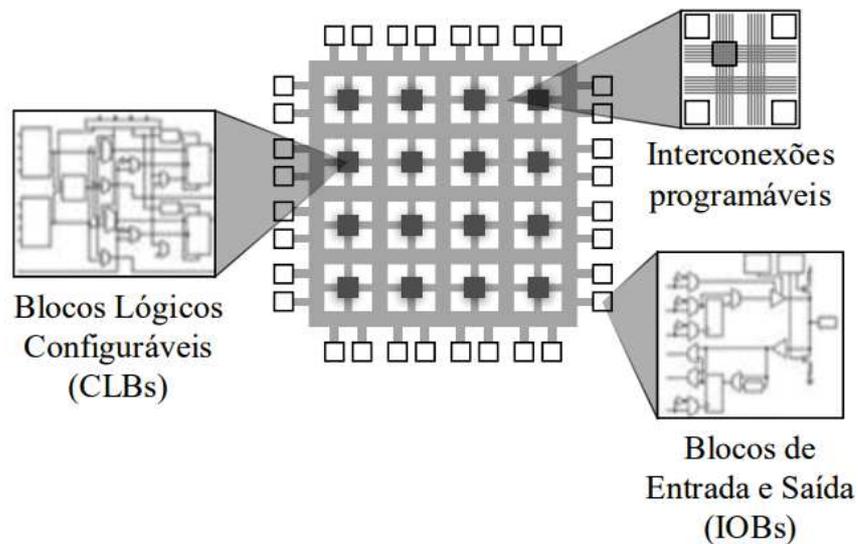
Na subseção a seguir, será feita uma breve contextualização sobre o que é, e as principais características de um FPGA, uma vez que o presente trabalho baseia-se nesta tecnologia. Em seguida, serão apresentados alguns dos trabalhos presentes na literatura, que também fazem uso deste dispositivo, para monitoramento de parâmetros de qualidade da energia.

2.2.1 Monitores de QEE Baseados em FPGA

A FPGA é um dispositivo lógico programável constituído por um conjunto de elementos lógicos, dispostos na forma de uma matriz bidimensional, conectados uns aos

outros, como apresentado na Figura 2. Além dos elementos lógicos, a FPGA é também composta por outros componentes, tais como blocos de memória dedicada, blocos de entrada e saída, entre outros.

Figura 2 – Elementos que compõem a FPGA



Fonte: (KAPISCH, 2015).

O que as torna interessantes é sua capacidade de programação em campo, isto é, ser capaz de ter o seu código alterado ilimitadas vezes, mesmo que faça parte de um produto já instalado (MEYER-BAESE; MEYER-BAESE, 2007). Além disso, as FPGAs podem ainda possuir *hardware* que se altera de forma dinâmica (BHANDARI *et al.*, 2010), isto é, um mesmo chip pode alterar sua topologia em tempo real de execução, ou seja, durante seu funcionamento, caso seja programado para tal função.

Ao longo dos últimos anos, a presença cada vez maior deste dispositivo em produtos comerciais (PUTNAM *et al.*, 2014), fez aumentar os investimentos das fabricantes em pesquisa, a fim de agregar mais recursos às FPGAs. Logo, os *chips* modernos estão cada vez mais robustos, o que faz com que os níveis de implementação de *hardware* estejam cada vez mais elevados (MARZOUQI *et al.*, 2015).

Dentre as principais características que justificam a utilização desta tecnologia, destacam-se a sua alta reconfigurabilidade, a qual torna possível a implementação de todo tipo de circuito digital; alta densidade de elementos lógicos, o que permite implementações mais complexas; paralelismo, isto é, circuitos lógicos independentes executados simultaneamente, até mesmo em domínios de *clock* diferentes; alta velocidade de operação, com *clocks* da ordem de Giga-hertz; capacidade de *time to market*, ou seja, o tempo entre o desenvolvimento e a finalização de um produto comercial baseado em FPGA é reduzido,

devido a sua capacidade de rápida implementação e execução de testes, e por fim, sua facilidade de sintetização de *hardware*, através da utilização de linguagens de alto nível, para descrição de *hardware*. Dentre elas destacam-se VHDL e Verilog. Como principais desvantagens, quando comparadas a outros processadores, temos : o custo, que apesar da popularização dos últimos anos, ainda é maior, e a complexidade de implementação, uma vez que não possui ferramentas de *debug*, como é o caso de processadores em geral.

Na literatura, a utilização de FPGAs está presente nas mais diversas aplicações relacionadas à Sistemas Elétricos de Potência. Seja em sistemas de processamento de sinais (DU; LUO; WANG, 2011), registradores de falta em linhas de transmissão (QIONG; ZHAO-HUI, 2011), classificadores de eventos (FINKER *et al.*, 2014), entre outros. No que concerne ao monitoramento de parâmetros de qualidade da energia, o uso de FPGAs tem sido cada vez maior. Em (HUANG; YANG; HUANG, 2002), é proposto um sistema de detecção de distúrbios elétricos através da utilização da transformada Wavelet, implementada em um sistema com dois FPGAs em série. O primeiro FPGA recebe o sinal de entrada e realiza a transformada. O resultado é disponibilizado à um Conversor digital-analógico (D/A) e ao segundo FPGA, que realiza uma nova transformada, com o intuito de obter mais informações sobre o sinal. Seus resultados são entregues a outro conversor D/A. Através desta abordagem, o autor diz ser capaz de unificar as informações de tempo e frequência em um único esquema de visualização, o que facilita a supervisão dos sinais elétricos de potência. O trabalho apresenta bons resultados no processo de detecção de afundamento, elevação e interrupção. Já (ARRAIS *et al.*, 2014) realiza uma comparação entre a *performance* de um algoritmo de Wavelet implementado em um FPGA e em um DSP, para detecção de afundamentos de tensão. Quanto a implementação do algoritmo, o autor optou por utilizar aritmética de ponto fixo na FPGA, por considerar mais difícil a implementação em ponto flutuante. No caso do DSP, foi utilizado ponto flutuante, pois o mesmo já possui um coprocessador destinado a essa função. Após a execução dos testes, o autor concluiu que o FPGA, devido principalmente a sua capacidade de paralelismo, se mostrou mais rápido que o DSP para este objetivo específico. Em (FERRIGNO; LANDI; LARACCA, 2008) é apresentada uma abordagem baseada na utilização de dois filtros digitais. O primeiro filtro é responsável por estimar os componentes harmônicos, e o segundo os componentes inter-harmônicos. A abordagem proposta é comparado com sistemas que utilizam a transformada de Fourier. Em (FOLEA; MOIS; MICLEA, 2012), um sistema baseado em sensores Hall é proposto. Um sensor é utilizado para aquisição de corrente e o outro para tensão. Uma vez adquiridos, os sinais são convertidos para o domínio digital e entregues ao FPGA, que é responsável por realizar os cálculos e obter os parâmetros. Por fim, os resultados são enviados para um computador, através de um módulo Wi-Fi, para visualização gráfica.

Uma prática muito observada na literatura é aliar o FPGA ao LabVIEW[®], um *software* de engenharia que tem como objetivo auxiliar o projetista na visualização de cada

aspecto de sua aplicação em desenvolvimento, desde as configurações de *hardware*, medição de dados e ferramentas de *debug*. Essa visualização simplifica o processo de representação de lógicas complexas, desenvolvimento de algoritmos de análise de dados e interfaces customizadas para visualização de parâmetros medidos. Em (CHEN; TSAI *et al.*, 2013), um sistema de monitoramento com foco na avaliação de correntes e tensões harmônicas, utiliza um FPGA para processamento dos dados, e obtenção dos parâmetros de qualidade da energia. Os resultados são enviados pela internet para um computador, que decodifica e exibe os dados de forma gráfica, através de uma aplicação desenvolvida em LabVIEW®. Já (PALLARES-LOPEZ *et al.*, 2012) descreve um sistema onde o FPGA é totalmente programado através do LabVIEW®, sem que seja necessário qualquer conhecimento de linguagem de descrição de hardware por parte do projetista. (BILIK; KOVAL; HAJDUK, 2008) por sua vez, faz uso de um instrumento similar chamado CompactRIO®, desenvolvido pela National Instruments®, que também possui um módulo FPGA programável através da linguagem gráfica do LabVIEW®, para demonstrar as capacidades deste sistema na área de análise de qualidade da energia. Outro trabalho que faz uso deste mesmo equipamento é (PETROVIĆ *et al.*, 2017). Neste caso o dispositivo é capaz de fornecer o Valor Quadrático Médio (do inglês, Root Mean Square) (RMS) e a Distorção Harmônica Total (do inglês, Total Harmonic Distortion) (THD) de tensão e corrente, além de frequência, harmônicos e potências ativa e reativa, de acordo com os limites estabelecidos pelas normas internacionais vigentes.

Outro fator comum em muitos trabalhos é a utilização da Transformada Rápida de Fourier (do inglês, *Fast Fourier Transform*) (FFT). Por exemplo, em (MOHIDEEN, 2010) é descrito um sistema embarcado de baixo custo para análise de qualidade da energia e gravação de impulsos, através dos resultados retornados pela FFT implementada em FPGA. Já (ERIŞTI *et al.*, 2013a) propõe um sistema baseado em FPGA para monitoramento de tensões harmônicas, a partir da utilização de uma FFT de 128 pontos embarcada no FPGA. Os seus resultados são armazenados em uma memória e então enviados de forma serial para um computador, que possui um *software* de monitoramento harmônico, desenvolvido em linguagem C#, pelos próprios autores. (LOPEZ-RAMIREZ *et al.*, 2014) por sua vez, propõe uma unidade reconfigurável para estimação em tempo real de índices de qualidade da energia. Aplica os resultados da FFT em um algoritmo para cálculo de funções hiperbólicas e trigonométricas, e assim obtém resultados para até 14 parâmetros de qualidade da energia. O autor demonstra ainda qual seria o consumo de recursos deste sistema genérico, caso ele fosse instalado em um FPGA da Xilinx® e da Intel®. Em (PARIMALA; NISHA, 2016) é proposto um esquema para obtenção de potência ativa, reativa e fator de potência de um sistema monofásico, a partir de uma FFT de 256 pontos, implementada em FPGA. O interfaceamento entre o FPGA e o computador responsável por exibir os resultados é feito através de um microcontrolador. Em (BILETSKIY *et al.*, 2017), a FFT do sinal é feita através de um componente integrado, já fornecido pela fabricante do FPGA. Uma vez no domínio da frequência, o sinal é processado por um módulo de recuperação lógica

harmônica, responsável por calcular a taxa de distorção harmônica. O dispositivo possui um banco de dados com diversos espectros de frequência, onde cada um deles é associado à um evento específico. A identificação do distúrbio é feita através da comparação entre o espectro obtido e os espectros do banco de dados. O banco retorna até quatro parâmetros : elemento, identificador, espectro de frequência característico associado e identificador de ação sugerida. O usuário pode escolher qual destes parâmetros ele deseja observar, em um LCD, através da seleção de quatro chaves. A principal vantagem desta abordagem está na sua alta capacidade de reconfiguração, uma vez que o banco de dados pode ser alterado da forma que o usuário desejar.

Outra prática encontrada na literatura é o uso de Redes Neurais Artificiais (do inglês *Artificial Neural Networks*) (ANN), implementadas em FPGA, para o desenvolvimento de monitores de qualidade da energia mais inteligentes e eficientes. Por exemplo, (CARDENAS; GUZMAN; AGBOSSOU, 2010) utiliza um algoritmo baseado em Neurônio Linear Adaptativo (do inglês, *Adaptive Linear Element*) (ADALINE), o qual consiste em uma função de ponderação, polarização e soma, para avaliação em tempo real da qualidade da energia. Quando comparada a FFT, esta abordagem tem como vantagem permitir a detecção de transientes rápidos, além de oferecer uma menor complexidade de implementação, uma vez que os coeficientes de ponderação estão armazenados em uma memória, de fácil acesso. Este algoritmo apresenta bons resultados quando o sinal é conhecido e relativamente estacionário. Não é indicada para sinais que variam constantemente. Em (CARDENAS; GUZMAN; AGBOSSOU, 2012), algoritmos baseados em ADALINE, implementados em um FPGA, são utilizados para controlar um inversor e para analisar harmônicos de alta ordem, em tempo real, sem que o consumo de recursos do FPGA seja aumentado. A *performance* do sistema proposto é avaliada em duas situações, uma com frequência fixa e outra com frequência variável. O autor ressalta a importância da economia de recursos, uma vez que estes podem ser utilizados para a implementação de outros algoritmos e processos, o que torna o produto ainda mais eficiente. Já (MARTINEZ-FIGUEROA *et al.*, 2017) propõe um *smart sensor*, implementado em FPGA, para operação contínua e *online*. Utiliza conceitos de Estatística de Ordem Elevada (do inglês, *High Order Statistics*) (HOS) para computar média, variância, *skewness* e *kurtosis* da tensão e da corrente. Em seguida, estes valores são entregues à uma rede neural do tipo *feed-forward*, a qual pode ser definida como um tipo de ANN, caracterizada por possuir camadas claramente separadas e um ou mais neurônios por camada, para classificação. A rede neural possui dez saídas, uma para cada distúrbio considerado, dentre eles afundamentos, transientes, harmônicos, entre outros. (SAHANI; DASH, 2019) por sua vez, apresenta um sistema capaz de detectar distúrbios a partir de um método de segmentação do sinal, o qual extrai componentes altamente correlacionadas a partir da utilização da transformada de Hilbert. Uma vez extraídos, estes componentes são classificados, através de uma rede neural do tipo Rede de *Link* Funcional de Vetor Aleatório (do inglês, *Random Vector Functional Link Network*) (RVFLN). O autor ressalta

que todo este sistema só é possível graças a capacidade de paralelismo dos FPGAs.

Apesar da ampla utilização de FPGAs discutida acima, não foram encontrados trabalhos que fazem uso de processadores embarcados e implementem o padrão Classe A.

2.3 CONCLUSÕES PARCIAIS

O presente capítulo apresentou as quatro principais características que compõem o processo de monitoramento de parâmetros de qualidade da energia. A saber : objetivo do monitoramento, seleção dos locais de instalação, quais os parâmetros que serão monitorados e a apresentação e reporte dos mesmos. Em seguida, foram apresentados alguns conceitos sobre os FPGAs, e então foi feita uma revisão sobre os monitores de qualidade da energia presentes na literatura, que tem como componente principal o FPGA.

3 NORMA IEC 61000-4-30

O presente capítulo visa apresentar as características de medição e avaliação dos parâmetros estudados, regidos por um conjunto de três normas : A principal, IEC 61000-4-30 (IEC, 2015), que trata dos métodos de medição de parâmetros de qualidade da energia elétrica mais gerais, e as normas derivadas IEC 61000-4-7 (IEC, 2009), a qual trata de distorções harmônicas e a IEC 61000-4-15 (IEC, 2010), responsável pelos efeitos de flutuação de tensão. Será dada maior ênfase à norma principal e, quando necessário, serão discutidos os aspectos definidos pelas normas derivadas. A primeira seção abordará as considerações iniciais, e de cunho comum a mais de um evento, e as seções seguintes abordarão os aspectos particulares de identificação, medição e avaliação de cada fenômeno estudado. Uma vez que o coprocessador de QEE destina-se a sistemas de 60 Hz, e tem como objetivo enquadrar-se na categoria classe A, será dada ênfase apenas a estes aspectos.

3.1 CONSIDERAÇÕES INICIAIS

Inicialmente, a norma principal IEC 61000-4-30 (IEC, 2015) define três classes para equipamentos de medição, e a partir destas, as exigências de compatibilidade e os erros máximos permitidos são apresentados. As classes são, a saber, A, S e B, e suas características são descritas a seguir.

- **Classe A** : Indicada quando há a necessidade de medições precisas, por exemplo, em obrigações contratuais.
- **Classe S** : Utilizada para aplicações de cunho estatístico, possivelmente com um número reduzido de parâmetros. Aparelhos classe S requerem um menor poder de processamento, quando comparados à um classe A.
- **Classe B** : Definida apenas para que muitos aparelhos existentes no mercado não se tornem obsoletos. Não deve ser considerada no desenvolvimento de novas implementações.

O coprocessador de QEE descrito neste trabalho visa enquadrar-se na classe A, no que concerne ao resultado dos algoritmos empregados no processo de medição. Portanto, para cada um dos parâmetros apresentados a seguir, será dada maior ênfase aos requisitos exigidos por esta classe.

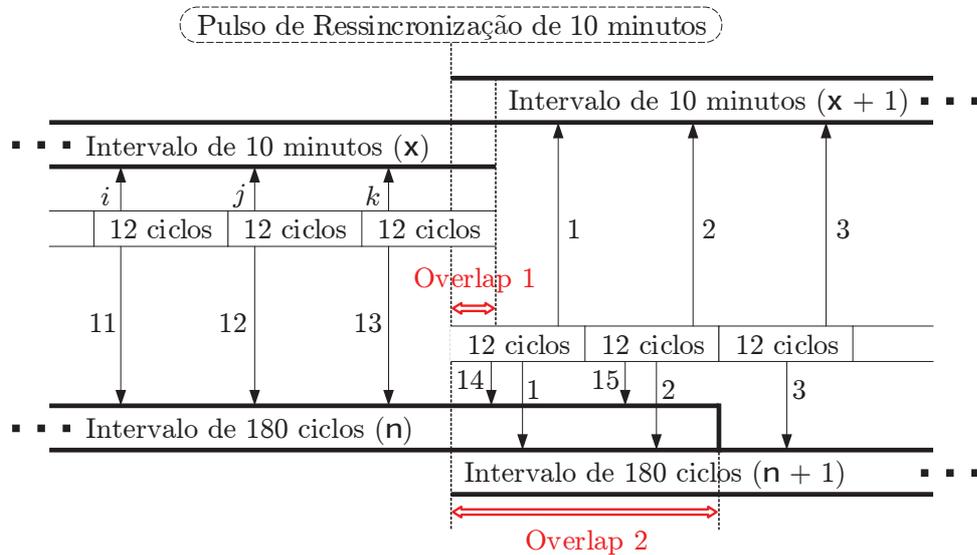
Inicialmente, a norma define intervalos de agregação, que deverão ser aplicados à alguns dos parâmetros estudados. Para sistemas de 60 Hz, o intervalo base para o cálculo de parâmetros de magnitude (tensão de alimentação, harmônicos, inter-harmônicos e desequilíbrio) deve ser de 12 ciclos (200 ms). As agregações devem ser realizadas a

partir da raiz quadrada da média aritmética dos valores ao quadrado, como ilustrado pela equação 3.1.

$$X_{agregado} = \sqrt{\frac{\sum_{i=1}^{12} (X_i)^2}{12}} \quad (3.1)$$

Os outros intervalos de agregação exigidos pela norma, que utilizam como base os valores de 12 ciclos são: 180 ciclos, formado a partir de 15 intervalos base, e 10 minutos, formado através de 3000 intervalos base. É ainda definido um intervalo de 2 horas, constituído por 12 intervalos consecutivos de 10 minutos. Cada intervalo deve ser resincronizado a cada *tick* de 10 minutos de um Relógio de Tempo Real (do inglês, *Real Time Clock*) (RTC), com incerteza máxima de $\pm 16,7$ ms, em sistemas de 60 Hz. Isto significa que, quando ocorre um pulso de resincronização, uma nova janela de 12 ciclos, 180 ciclos e 10 minutos é iniciada. Estes novos intervalos ocorrem em paralelo aos intervalos que ainda estavam pendentes, até que estes sejam concluídos. Este comportamento gera sobreposições nos intervalos de 12 ciclos, de 180 ciclos e de 10 minutos. Os intervalos de 2 horas, por sua vez, como são agregados através de 12 intervalos de 10 minutos, não sofrem sobreposição. Este comportamento pode ser visto na Figura 3.

Figura 3 – Agregação dos parâmetros - IEC 61000-4-30



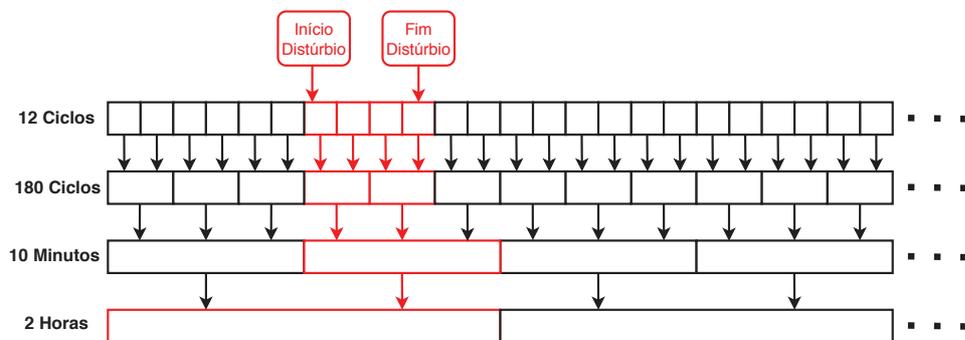
Fonte: (IEC, 2015).

A princípio, os intervalos de 12 ciclos (11,12,13) vinham sendo agregados ao intervalo de 180 ciclos (n). Quando o pulso de resincronização ocorre, dá-se início a um novo intervalo de 12 ciclos (14), o que gera o *overlap 1*, e um novo intervalo de 180 ciclos (n+1), que por vez gera o *overlap 2*. Quando o intervalo de 12 ciclos (14) é completado, ele é agregado tanto no intervalo de 180 ciclos (n) quanto em (n+1), até que (n) se encerre, o que marca o fim do processo de resincronização.

Em seguida, a norma define o conceito de marcação de pacotes, ou *flagging*, o qual estabelece que: durante um afundamento, elevação ou interrupção, os algoritmos de medição dos demais parâmetros podem não funcionar da forma esperada, e assim produzir valores inconsistentes, ou ainda, a ocorrência de um evento ser contabilizada múltiplas vezes, em diferentes parâmetros. Por exemplo, um afundamento ser considerado como afundamento mais variação de frequência. Este conceito deve ser aplicado as medições de frequência, tensão em regime permanente, flutuações de tensão, desequilíbrio de tensão, distorções harmônicas, inter-harmônicas, e aos parâmetros de sub tensão e sobre tensão em regime permanente.

Se durante um determinado intervalo de tempo, qualquer valor for marcado, todas as agregações (12 ciclos, 180 ciclos, 10 minutos e 2 horas) que contêm o valor marcado devem também ser marcadas. A *flag* deve estar disponível juntamente com os dados, e cabe ao usuário decidir se usará ou não este pacote. A *flag* tem como objetivo informar sobre a possibilidade de que haja algum problema com os dados que foram obtidos no momento do distúrbio, isto é, que incluem a amostra marcada. Na Figura 4, quando o distúrbio ocorre, é feita a marcação do pacote de 12 ciclos em que ele está contido, indicado pela cor vermelha, e por conseguinte, as outras agregações que o contém também são marcadas.

Figura 4 – Exemplo do processo de marcação de pacotes



Fonte: Elaborado pelo autor (2021).

3.2 FREQUÊNCIA

- **Método de Medição :** A frequência deve ser fornecida a cada 10 s, através da razão entre o número de ciclos inteiros contados durante estes 10 s e a duração cumulativa dos mesmos. Antes de cada medição, o sinal deve ser aplicado à um filtro passa-baixas, para que os efeitos de múltiplos cruzamentos por zero, causados pela presença de harmônicos e inter-harmônicos, sejam atenuados.
- **Incerteza :** A incerteza máxima permitida, para dispositivos Classe A, é de ± 10 mHz, em um intervalo de medição de 51 Hz até 69 Hz.

- **Avaliação e Agregação :** Nesse caso não é requerida agregação, e a medição deve ser feita no canal de referência.

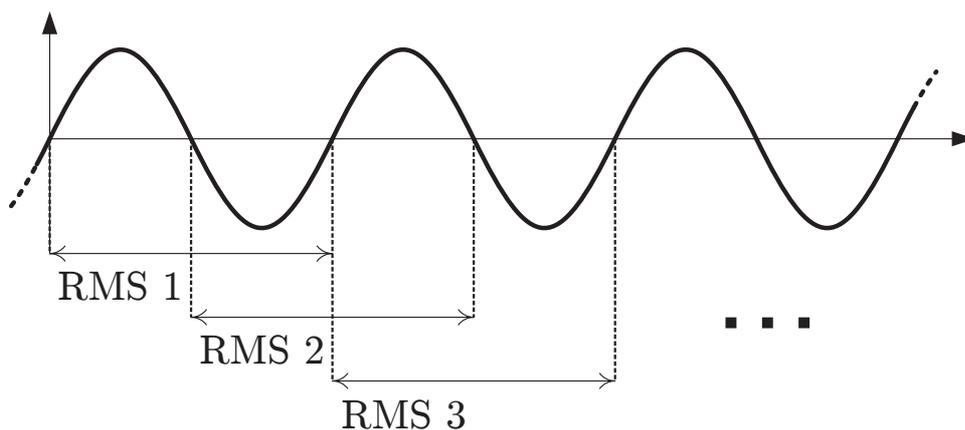
3.3 TENSÃO EM REGIME PERMANENTE

- **Método de Medição :** Deve ser obtida a partir do cálculo do valor RMS, sob um intervalo de 12 ciclos do sinal de entrada. Nesse caso, o RMS inclui harmônicos, inter-harmônicos, etc.
- **Incerteza :** Não deve ultrapassar 0,1% do valor de tensão obtido através de um transdutor, também chamado de U_{din} , em um intervalo de 10% até 150% de U_{din} .
- **Avaliação e Agregação :** Deve ser agregado como descrito na seção 3.1.

3.4 VARIAÇÕES DE TENSÃO DE CURTA DURAÇÃO

- **Método de Medição :** A medição básica para os três parâmetros em questão é o chamado $RMS_{(1/2)}$, isto é, o valor RMS calculado a cada 1 ciclo, porém atualizado a cada 1/2 ciclo, para cada um dos sinais de entrada. A duração de cada $RMS_{(1/2)}$ é dependente do valor da frequência do sinal. Sendo assim, deve-se utilizar o ultimo valor de frequência obtido, que não tenha sido marcado, isto é, em regime sem distúrbio. A Figura 5 apresenta a lógica do $RMS_{(1/2)}$.

Figura 5 – RMS de 1 ciclos atualizado a cada meio ciclo



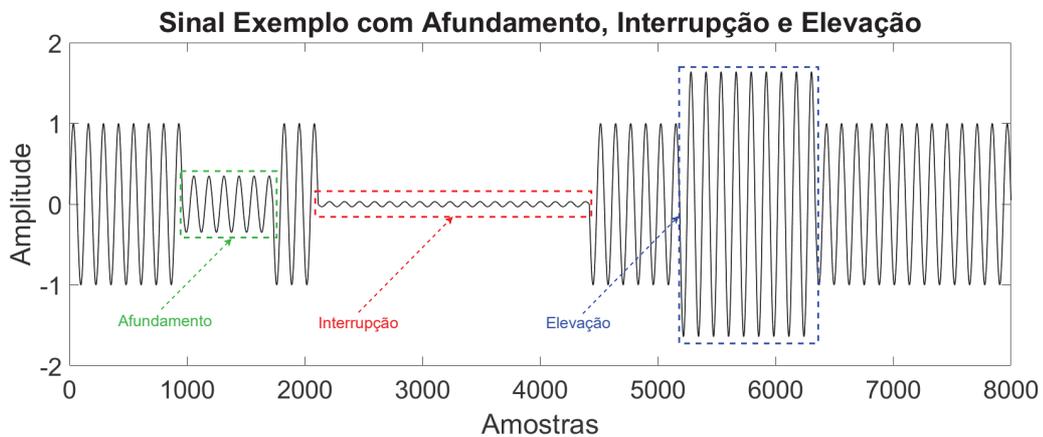
Fonte: Elaborado pelo autor (2021).

- **Detecção :** Para a detecção de cada um dos distúrbios em questão, são definidas tensões de limiar e histerese em função da tensão de referência U_{din} . Tipicamente, a tensão de histerese é a mesma para todos os parâmetros, definida como 2% de U_{din} .
 - **Afundamento Momentâneo de Tensão :**

- * **Sistemas Monofásicos :** Um afundamento começa quando a tensão RMS cai para um valor abaixo do limiar de afundamento, e termina quando a tensão é maior que o limiar de afundamento mais a tensão de histerese.
 - * **Sistemas Polifásicos :** Um afundamento começa quando a tensão em um dos canais de medição cai para um valor abaixo do limiar de afundamento, e termina quando a tensão RMS em todos os canais medidos é maior que o limiar de afundamento mais a tensão de histerese. Esse processo é também conhecido como agregação de fase.
 - * Tipicamente, a tensão de limiar para afundamento é definida no intervalo entre 85% e 90% de U_{din} .
- **Elevação Momentânea de Tensão :**
- * **Sistemas Monofásicos :** Uma elevação começa quando a tensão RMS vai para um valor acima do limiar de elevação, e termina quando a tensão é menor que o limiar de elevação menos a tensão de histerese.
 - * **Sistemas Polifásicos :** Uma elevação começa quando a tensão em um dos canais de medição vai para um valor acima do limiar de elevação, e termina quando a tensão RMS em todos os canais medidos é menor que o limiar de elevação menos a tensão de histerese.
 - * Tipicamente, a tensão de limiar para elevação é maior ou igual a 110% de U_{din} .
- **Interrupção :**
- * **Sistemas Monofásicos :** Uma interrupção começa quando a tensão RMS cai para um valor abaixo do limiar de interrupção, e termina quando a tensão é maior que o limiar de interrupção mais a tensão de histerese.
 - * **Sistemas Polifásicos :** Uma interrupção começa quando a tensão RMS em todos os canais de medição caem para um valor abaixo do limiar de interrupção, e termina quando a tensão RMS em todos os canais medidos é maior que o limiar de interrupção mais a tensão de histerese.
 - * Tipicamente, a tensão de limiar para interrupção é definida no intervalo entre 5% e 10% de U_{din} .
 - * Em âmbito nacional, a regulamentação vigente define dois tipos de interrupção de tensão. São elas: Interrupção de curta duração, também chamada momentânea ou temporária, onde o limiar corresponde à 10% de U_{din} e a duração não ultrapassa 3 minutos, e a Interrupção de longa duração, com limiar correspondente à 70% de U_{din} e duração superior à 3 minutos (DISTRIBUICAO, 2010).

A Figura 6 exemplifica como seria um sinal com os três distúrbios descritos acima, para uma fase.

Figura 6 – Exemplo de um sinal monofásico que contém os três distúrbios em questão



Fonte: Elaborado pelo autor (2021).

- **Avaliação :** Cada distúrbio é caracterizado por dois parâmetros: duração e tensão residual ou resíduo. A duração é dada pela diferença entre o tempo final e o tempo inicial do evento em questão. O resíduo, por sua vez, é definido como o menor valor RMS obtido durante o evento, no caso de interrupção e afundamento, e como o maior valor RMS obtido, no caso de uma elevação, medido em qualquer um dos canais em observação.
- **Incerteza :** A incerteza máxima na duração, de qualquer um dos três distúrbios em questão, é de 1/2 ciclo no início do evento, mais 1/2 ciclo no final do evento, totalizando 1 ciclo. Para sistemas de 60 Hz, esta incerteza seria da ordem de 16,667 ms. Quanto a tensão residual, sua incerteza máxima não deve exceder $\pm 0,2\%$ de U_{din} .
- **Agregação :** O conceito de agregação descrito anteriormente não se aplica a eventos acionados pelo cruzamento de um limiar.

3.5 DESEQUILÍBRIO DE TENSÃO

- **Método de Medição :** Válido apenas para sistemas trifásicos, seu cálculo é feito através do método de componentes simétricas, obtidas a partir de 3.2.

$$\begin{bmatrix} U_0 \\ U_1 \\ U_2 \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & \alpha & \alpha^2 \\ 1 & \alpha^2 & \alpha \end{bmatrix} \begin{bmatrix} V_A \\ V_B \\ V_C \end{bmatrix} \quad (3.2)$$

onde α , V_A , V_B , V_C são os fasores relativos ao componente fundamental das fases A, B e C respectivamente, obtidos a partir da aplicação da FFT, e U_0 , U_1 e U_2 são as componentes de sequência zero, positiva e negativa, respectivamente.

- **Avaliação e Agregação :** Para análise do desequilíbrio de tensão, são definidos dois novos parâmetros, denominados de taxa de sequência zero u_0 , e taxa de sequência negativa, u_2 , definidos como:

$$u_0 = \frac{U_0}{U_1} \times 100; \quad u_2 = \frac{U_2}{U_1} \times 100. \quad (3.3)$$

A agregação dos parâmetros de desequilíbrio deve ser realizada da mesma forma descrita anteriormente neste capítulo.

- **Incerteza :** A incerteza deve estar em um intervalo de $\pm 0,15\%$, para ambos u_0 e u_2

3.6 HARMÔNICOS E INTER-HARMÔNICOS

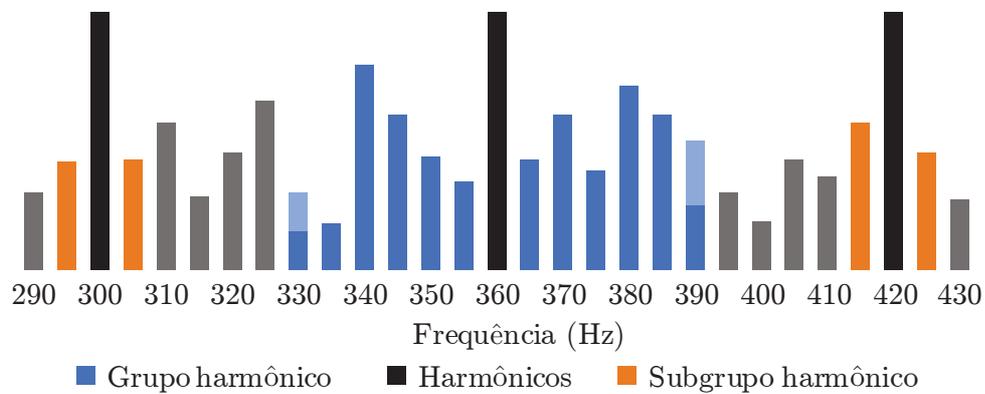
- **Método de Medição :** Toda a caracterização destes fenômenos, bem como formas de medição e avaliação, estão contidas na norma IEC 61000-4-7 (IEC, 2009). Desta forma, tem-se que:
 - **Harmônico :** Um componente é dito harmônico se sua frequência é um múltiplo inteiro da frequência fundamental do sistema.
 - **Inter-Harmônico :** Um componente é dito inter-harmônico se sua frequência está situado entre dois componentes harmônicos do sistema em questão.
- **Incerteza :** A norma IEC 61000-4-7 (IEC, 2009) define duas classes, classe I e II. A classe I destina-se a medições que exigem maior precisão, sendo assim um pouco mais restritiva. A classe II, por sua vez, é mais recomendada para pesquisas mais gerais. Por esta razão, a classe adotada no presente trabalho é a classe I, e seus requisitos de precisão são apresentados no Quadro 2, onde U_m e I_m correspondem à tensão e a corrente medidas, respectivamente, e U_{nom} e I_{nom} correspondem aos valores nominais de tensão e corrente.
- **Avaliação e Agregação :** A avaliação dos harmônicos e inter-harmônicos é feita através da análise dos componentes (bins) resultantes do cálculo da FFT. Uma vez obtidos os bins, os mesmos são combinados em diferentes agrupamentos para avaliação posterior. São eles: grupo harmônico, subgrupo harmônico, grupo inter-harmônico e subgrupo inter-harmônico, apresentados nas Figuras 7 e 8. Nenhuma consideração é feita pela norma quanto a agregação.

Quadro 2 – Incerteza referente à harmônicos para aparelhos Classe I

Medição	Condições	Erro Máximo
Tensão	$U_m \geq 1\% U_{nom}$	$\pm 5\% U_m$
	$U_m < 1\% U_{nom}$	$\pm 0,05\% U_{nom}$
Corrente	$I_m \geq 3\% I_{nom}$	$\pm 5\% I_m$
	$I_m < 3\% I_{nom}$	$\pm 0,15\% I_{nom}$
Potência	$P_m \geq 150 W$	$\pm 1\% P_{nom}$
	$P_m < 150 W$	$\pm 1,5 W$

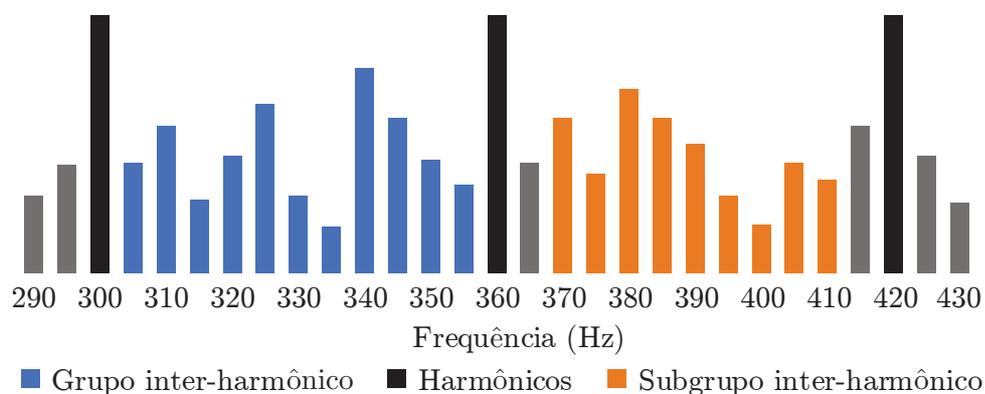
Fonte: (IEC, 2009).

Figura 7 – Grupo e subgrupo harmônico



Fonte: (IEC, 2009).

Figura 8 – Grupo e subgrupo inter-harmônico



Fonte: (IEC, 2009).

Além de avaliar os valores RMS dos grupos harmônicos (G_{gn}) e dos subgrupos harmônicos (G_{sgn}), é possível ainda, a partir dos valores de grupo e subgrupo, obter-

se mais três parâmetros que contribuem para a avaliação do sistema. São eles : Distorção Harmônica Total (do inglês, *Total Harmonic Distortion*) (THD), Distorção Harmônica Total de Grupo (do inglês, *Group Total Harmonic Distortion*) (THDG) e Distorção Harmônica Total de Subgrupo (do inglês, *Subgroup Total Harmonic Distortion*) (THDS). São obtidos através das expressões a seguir.

- **THD** : Razão entre a soma das tensões RMS de todos os componentes harmônicos (G_n), até uma ordem especificada (H), pelo valor RMS da componente fundamental (G_1), obtida através da equação 3.4.

$$THD = \sqrt{\sum_{n=2}^H \left(\frac{G_n}{G_1}\right)^2} \quad (3.4)$$

- **THDG** : Razão entre o valor RMS dos grupos harmônicos (G_{gn}) e o RMS do grupo associado com a componente fundamental (G_{g1}), obtido através da equação 3.5.

$$THDG = \sqrt{\sum_{n=2}^H \left(\frac{G_{gn}}{G_{g1}}\right)^2} \quad (3.5)$$

- **THDS** : Razão entre o valor RMS dos subgrupos harmônicos (G_{sgn}) e o RMS do subgrupo associado com a componente fundamental (G_{sg1}), através da equação 3.6.

$$THDS = \sqrt{\sum_{n=2}^H \left(\frac{G_{sgn}}{G_{sg1}}\right)^2} \quad (3.6)$$

3.7 SUBTENSÃO E SOBRETENSÃO EM REGIME PERMANENTE

- **Método de Medição** : Os parâmetros de sub e sobre desvio, U_{under_rms} e U_{over_rms} respectivamente, devem ser obtidos através do valor RMS de 12 ciclos, em sistemas de 60 Hz, a partir das seguintes relações:

- **Sub Desvio** : As seguintes regras são aplicadas à obtenção do parâmetro de sub desvio U_{under_rms} :

- * Se $U_{rms} > U_{din}$, então $U_{under_rms} = U_{din}$

- * Se $U_{rms} \leq U_{din}$, então $U_{under_rms} = U_{rms}$

- **Sobre Desvio** : As seguintes regras são aplicadas à obtenção do parâmetro de sobre desvio U_{over_rms} :

- * Se $U_{rms} < U_{din}$, então $U_{over_rms} = U_{din}$

* Se $U_{rms} \geq U_{din}$, então $U_{over_rms} = U_{rms}$

- **Incerteza :** A incerteza exigida para estes parâmetros é a mesma aplicada à obtenção do RMS de 12 ciclos apresentada anteriormente, ou seja, $\pm 0,1\%$ da tensão de referência U_{din} , em um intervalo de 10% até 150% de U_{din} .
- **Avaliação e Agregação :** A avaliação dos parâmetros segue as equações 3.7 e 3.8 descritas a seguir:

- **Avaliação de Sub Desvio :**

$$U_{under} = \frac{U_{din} - \sqrt{\frac{\sum_{i=1}^n U_{under_rms_i}^2}{n}}}{U_{din}} \quad [\%] \quad (3.7)$$

onde n é o número de RMS de 12 ciclos obtidos durante o intervalo de agregação em consideração, e $U_{under_rms_i}$ é o i -ésimo RMS de 12 ciclos.

- **Avaliação de Sobre Desvio :**

$$U_{over} = \frac{\sqrt{\frac{\sum_{i=1}^n U_{over_rms_i}^2}{n}} - U_{din}}{U_{din}} \quad [\%] \quad (3.8)$$

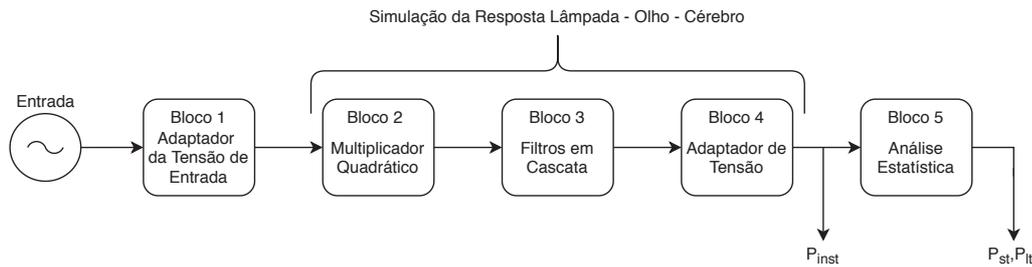
onde $U_{over_rms_i}$ é o i -ésimo RMS de 12 ciclos.

- A agregação dos parâmetros acima deve ser feita de acordo com os mesmos requisitos descritos anteriormente no presente capítulo.

3.8 FLUTUAÇÃO DE TENSÃO

Pode ser definido como efeito de cintilação luminosa causada pela flutuação da tensão. Todas as definições relativas a este fenômeno são definidas pela norma IEC 61000-4-15 (IEC, 2010), e seus aspectos mais relevantes são descritos a seguir.

- **Método de Medição :** O *Flickerímetro*, nome dado a estrutura responsável por quantificar os indicadores associados à flutuação de tensão, definido pela norma é composto por uma sequência de filtros e estruturas digitais que traduzem as modulações de baixa frequência do sinal como um efeito de sensibilidade, também chamada de resposta lâmpada-olho-cérebro, seguido por um tratamento estatístico do mesmo. O Diagrama 1 apresenta o esquema de funcionamento do medidor de parâmetros indicadores de flutuação de tensão, dividido em 5 blocos principais. As características de cada um destes blocos é apresentada abaixo.
 - **Bloco 1 - Adaptador da Tensão de Entrada :** Este bloco contém um circuito adaptador que escalona a entrada para um nível interno padrão. Desta

Diagrama 1 – Diagrama de blocos do *Flickerímetro*

Fonte: (IEC, 2010).

forma, as medições de flutuação de tensão podem ser feitas independentemente da tensão de entrada da onda portadora, sendo assim expressa em porcentagem. Para que seja possível reproduzir as flutuações do sinal de entrada, recomenda-se o uso de um filtro passa-baixa de primeira ordem resistivo/capacitivo, com constante de tempo igual a 27,3 s.

- **Bloco 2 - Multiplicador Quadrático :** Composto por um demodulador e um multiplicador quadrático, tem como objetivo recuperar a flutuação de tensão através da elevação do sinal de entrada, escalonado à referência interna, ao quadrado, emulando assim o comportamento de uma lâmpada.
- **Bloco 3 - Filtros em Cascata :** O bloco 3, por sua vez, é composto por uma cascata de três filtros : Um filtro passa-altas, um filtro passa-baixas e por fim um filtro *weighting*. O filtro passa-baixas tem como objetivo eliminar as componentes de corrente-contínua (CC) e as componentes com o dobro da frequência fundamental presentes na saída do demodulador. Já o filtro passa-altas, primeira ordem, com atenuação de -3 dB em 0,05 Hz, pode ser utilizado qualquer componente contínua (DC) presente no sinal. Por fim, o filtro *weighting* tem o intuito de simular a resposta do sistema visual humano a flutuações de tensão em uma lâmpada de filamento (60 W e 230 V e/ou 60 W e 120 V).

Para supressão das componentes indesejadas, a norma sugere um filtro passa-altas com frequência de corte de 3 dB em 0,05 Hz e um filtro passa-baixas do tipo *Butterworth* de sexta ordem, com frequência de corte de 42 Hz, para sistemas de 60 Hz.

O filtro *weighting*, por sua vez, segue a seguinte função de transferência:

$$F(s) = \frac{k w_1 s}{s^2 + 2\lambda s + w_1^2} \times \frac{1 + s/w_2}{(1 + s/w_3)(1 + s/w_4)} \quad (3.9)$$

onde s é a variável complexa de Laplace.

Os outros parâmetros são definidos de acordo com a tensão da lâmpada que se deseja emular. Para uma lâmpada de 120 V, por exemplo, a norma define que:

- * $k = 1,6357$
- * $\lambda = 2 \times \pi \times 4,167375$
- * $w_1 = 2 \times \pi \times 9,077169$
- * $w_2 = 2 \times \pi \times 2,939902$
- * $w_3 = 2 \times \pi \times 1,394468$
- * $w_4 = 2 \times \pi \times 17,315120$

- **Bloco 4 - Adaptador de Tensão :** Constituído de um bloco multiplicador quadrático e um filtro passa-baixas de primeira ordem, sua saída representa a sensação de cintilação instantânea, P_{inst} , um importante parâmetro na caracterização do fenômeno de flutuação de tensão, que será discutido em mais detalhes em breve. O filtro deve ser passa-baixas de primeira ordem resistivo/capacitivo, com constante de tempo de 300 ms.
- **Bloco 5 - Análise Estatística :** O bloco 5 realiza uma análise estatística *on-line* do nível de flutuação de tensão, o que permite o cálculo direto de importantes parâmetros, através da avaliação de uma função de probabilidade acumulada, construída a partir de cada P_{inst} .
- **Incerteza :** Para ser considerado em conformidade com a norma, o *Flickerímetro* deve ser submetido à uma série de testes. A classe do dispositivo é que determina quais dos testes são mandatórios ou não. As três classes existentes, à saber, são:
 - **Classe A1 :** *Flickerímetros* de uso geral, aplicados à qualidade da energia e/ou em testes de conformidade com normas. Por estarem sujeitos as mais diversas situações, como uma maior variação da tensão de entrada, saltos de fase e mudanças de frequência, exigem um maior número de testes.
 - **Classe A2 :** *Flickerímetros* que operam em ambiente controlado, onde há garantia de frequência e fase constantes, além de flutuação de tensão limitada. Exigem uma menor quantidade de testes.
 - **Classe B :** Geralmente usados quando não há necessidade de um alto grau de precisão, como pesquisas estatísticas e de *trouble-shooting*.

Desta forma, o *Flickerímetro* que integra o co-processador proposto visa enquadrar-se na classe A1. Em cada um dos testes, existe uma tabela com diferentes valores de frequência e amplitude da flutuação de tensão, que deve ser adicionado ao sinal de entrada. Alguns destes valores são ditos mandatórios, por estarem localizados nos (ou próximos aos) pontos de inflexão da curva de flutuação de tensão, o que os torna capaz de fornecer uma ótima estimativa do funcionamento do *Flickerímetro*. Sendo

assim, as fabricantes podem testar para todos os valores contidos na norma, mas nem todos são obrigatórios no processo de verificação do algoritmo. Cada teste é caracterizado por um parâmetro específico, e possui uma incerteza exigida. Existem 4 variações para tensões de lâmpada que se deseja emular e frequência do sistema. São elas: 230 V - 50 Hz, 230 V - 60 Hz, 120 V - 50 Hz e 120 V - 60 Hz, sendo esta última a adotada como padrão pelo presente trabalho. Desta forma, serão apresentados a seguir os requisitos mandatórios em cada um dos testes exigidos para dispositivos classe A1, que operem em 120 V - 60 Hz.

– **Resposta para Flutuações Senoidais e Quadráticas de Tensão (120 V - 60 Hz)**

Os valores exigidos pela norma são apresentados na Tabela 1, onde $\Delta U/U$ é a flutuação de tensão de entrada relativa para uma unidade de P_{inst} na saída. Nestes casos, o $P_{inst,max}$ deve ser 1,00, com tolerância de $\pm 5\%$.

Tabela 1 – Resposta normalizada de flutuação para variações de tensão senoidal e retangular

Frequência da Flutuação (Hz)	Flutuação $\Delta U/U$ [%]	
	Senoidal	Quadrada
0,5	2,453	0,598
1,5	1,126	-
3,5	-	0,408
8,8	0,321	0,252
18	-	0,626
22	-	0,851
25,5	-	1,072
33 1/3	2,570	1,823
37	-	1,304
40	4,393	3,451

Fonte: (IEC, 2010).

- **Mudanças Retangulares de Tensão e Teste de *Performance*** : Para todos os pontos presentes na Tabela 2 , o P_{st} deve ser 1,00, com tolerância de $\pm 5\%$. Além disso, o fabricante deve informar um intervalo de funcionamento do *Flickerímetro*. Para obtê-lo, os valores de flutuação presentes na Tabela 2 devem ser multiplicados por um k , e o P_{st} é determinado para este k . O intervalo é então construído a partir do menor e do maior k , para os quais o $P_{st,k}$ satisfaz

a tolerância especificada acima. Com isso, tem-se o *range* de funcionamento do dispositivo, i.e. $0,5 \leq k \leq 5$.

Tabela 2 – Teste de variação retangular e *performance* do *Flickerímetro*

Mudanças	
Retangulares Por Minuto	Flutuação $\Delta U/U$ [%]
1	3,181
2	2,564
7	1,694
39	1,040
110	0,844
1620	0,548
4000	Teste não exigido
4800	4,837

Fonte: (IEC, 2010).

- **Mudanças Combinadas de Frequência e Tensão :** Neste teste, a frequência e a tensão de entrada são alteradas simultaneamente em intervalos de 4 s, no momento de cruzamento por zero da tensão, de acordo com os valores presentes na tabela 3. O $P_{inst,max}$ observado deve ser 1,00, com tolerância de $\pm 5\%$.

Tabela 3 – Teste para mudanças combinadas de tensão e frequência

Frequência do Sistema Hz	Mudança Frequência f/Hz	Mudança Tensão U/V
60	59,75	120,000
	60,25	119,266

Fonte: (IEC, 2010).

- **Tensão Distorcida com Múltiplos *Zero Crossings* :** O sinal de tensão distorcido por múltiplos cruzamentos por zero (*Zero Crossings*) empregado neste teste consiste em um sinal com a componente fundamental U acrescida dos componentes harmônicos com as amplitudes descritas na Tabela 4. A tensão distorcida é então modulada senoidalmente em 8,8 Hz, com uma amplitude de 0,321%. O $P_{inst,max}$ observado deve ser 1,00, com tolerância de $\pm 5\%$.

Tabela 4 – Teste para tensão distorcida por múltiplos
zero crossings

Harmônico μ	3	5	7	9	11	13
U_μ em % de U	5,00	6,00	5,00	1,50	3,50	3,00
Harmônico μ	17	19	23	25	29	31
U_μ em % de U	2,00	1,76	1,41	1,27	1,06	0,97

Fonte: (IEC, 2010).

– **Teste de Largura de Banda Utilizando Harmônicos e Inter-Harmônicos:**

Para este teste, o sinal de entrada U deve ser modulado através da superposição com outros dois sinais de tensão, com frequências espaçadas de 10 Hz entre si. Ambas as tensões devem possuir uma amplitude de $u_i = 4,126$, para 120 V - 60 Hz. As frequências moduladoras f_v e $f_i = f_v - 10$ Hz, são incrementadas de 60 Hz e 50 Hz, respectivamente, com o intuito de se determinar a largura de banda máxima do *Flickerímetro*. A maior frequência f_v , para a qual $P_{inst,max} = 1,00 \pm 5\%$ é dita largura de banda de entrada do *Flickerímetro*. Exige-se que este f_v seja no mínimo 450 Hz.

- **Saltos de Fase :** O *Flickerímetro* deve ser testado com uma sequência de saltos de fase. Cada salto deve ocorrer em uma borda de subida de um cruzamento por zero, após 1 minuto, 3 minutos, 5 minutos, 7 minutos e 9 minutos (± 10 s) após o início de um período de observação de 10 minutos. O teste deve ser repetido para cada um dos saltos de ângulo de fase de $\Delta B = +30^\circ$, $\Delta B = -30^\circ$, $\Delta B = +45^\circ$, e $\Delta B = -45^\circ$. O P_{st} observado em cada 10 minutos deve estar de acordo com os valores apresentados na Tabela 5, com tolerância de $\pm 5\%$ ou ± 0.05 , o que for maior.

Tabela 5 – Teste para salto de fase

Salto de Fase ΔB	120 V - 60 Hz
$\pm 30^\circ$	0,587
$\pm 45^\circ$	0,681

Fonte: (IEC, 2010).

- **Mudanças retangulares de Tensão com 20% de *Duty Cycle* :** Neste teste, a tensão de análise U é modulada retangularmente em uma taxa de 28 Hz, e uma modulação agregada com *duty cycle* de 20%. Isto significa que em um período de 60 segundos, o sinal passa 12 segundos sendo modulado, e os outros 48 segundos, não. Neste caso, o P_{st} obtido deve ser igual a $1,00 \pm 5\%$. Para

o sistema considerado (120 V - 60 Hz), a flutuação de tensão que deve ser utilizada é 2,126%.

• **Avaliação e Agregação :** Caracterizado por três parâmetros principais. São eles:

- P_{inst} : Sensação de cintilação instantânea, utilizada na construção da função de probabilidade acumulada, que por sua vez é utilizada na obtenção dos percentis aplicados na equação 3.10.
- P_{st} : Severidade de curta duração, visa avaliar distúrbios causados por fontes individuais de curta duração. Normalmente obtido através de um período de observação de 10 minutos, a partir da expressão 3.10.

$$P_{st} = \sqrt{0,0314P_{0,1} + 0,0525P_{1s} + 0,0657P_{3s} + 0,28P_{10s} + 0,08P_{50s}} \quad (3.10)$$

onde os percentis $P_{0,1}$, P_{1s} , P_{3s} , P_{10s} e P_{50s} são os níveis de flutuação de tensão excedidos para 0, 1, 1, 3, 10 e 50% do tempo durante o período de observação. O sufixo s ná equação 3.10 indica o uso de um valor suavizado. Estes valores são obtidos através das expressões 3.11:

$$P_{50s} = (P_{30} + P_{50} + P_{80})/3 \quad (3.11a)$$

$$P_{10s} = (P_6 + P_8 + P_{10} + P_{13} + P_{17})/5 \quad (3.11b)$$

$$P_{3s} = (P_{2,2} + P_3 + P_4)/3 \quad (3.11c)$$

$$P_{1s} = (P_{0,7} + P_1 + P_{1,5})/3 \quad (3.11d)$$

- P_{lt} : Severidade de longa duração, tem como objetivo avaliar os efeitos de distúrbios de longa duração e variação, tipicamente gerados pela presença de fornos à arco no sistema. Deve ser obtido através dos valores de curta duração, P_{st} , durante um período grande o suficiente para cada caso, geralmente algumas horas, através da expressão 3.12.

$$P_{lt} = \sqrt[3]{\frac{\sum_{i=1}^N P_{sti}^3}{N}} \quad (3.12)$$

onde, P_{sti} , ($i = 1, 2, \dots$) são leituras consecutivas de P_{st} . Normalmente é adotado um período de avaliação de 2 horas, ou seja, $N = 12$.

3.9 CONCLUSÕES PARCIAIS

Este capítulo apresentou todos os aspectos relevantes ao processo de caracterização dos fenômenos de qualidade da energia, que serão avaliados pelo coprocessador de QEE proposto. Cada seção dissertou sobre o processo de medição, avaliação e incerteza permitida, de cada um dos parâmetros de QEE.

4 IMPLEMENTAÇÃO DO COPROCESSADOR DE QUALIDADE DA ENERGIA ELÉTRICA

O presente capítulo visa descrever e detalhar, a implementação e o funcionamento, de cada um dos elementos que compõem o coprocessador. Vale ressaltar que todos os blocos implementados em FPGA fazem parte do coprocessador, ou seja, todos os cinco processadores, as estruturas de controle e sincronismo entre eles, além do controle do Conversor analógico-digital (A/D), a estrutura de decodificação da mensagem transmitida pelo módulo de GPS e a estrutura de montagem e envio dos pacotes. Desta forma, mesmo que o conversor A/D seja externo ao FPGA, as estruturas que o controlam fazem parte do coprocessador.

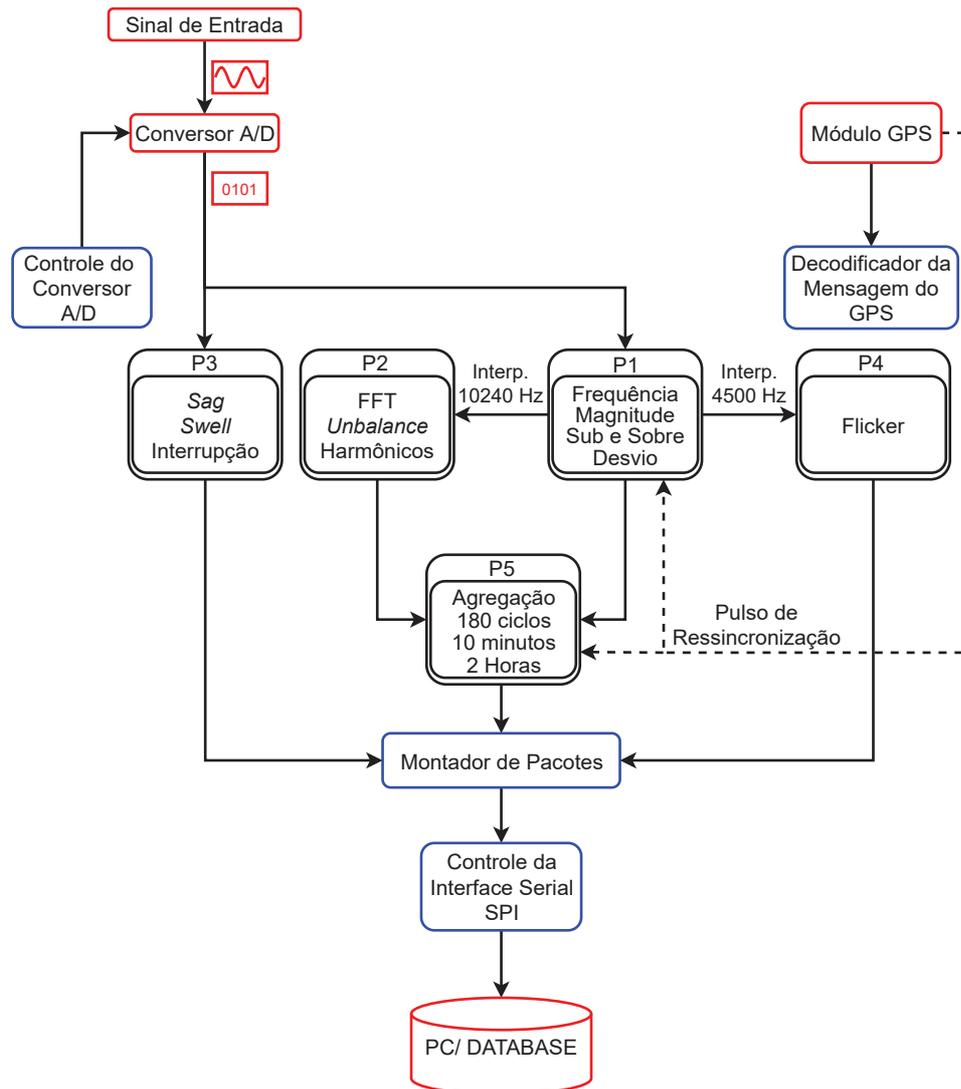
A utilização de processadores embarcados em FPGA não é algo tão incomum na literatura (LOZANO; ITO, 2014; SCHOEBERL, 2011), e representa uma estratégia interessante para economia de recursos de *hardware*. Além disso, esta abordagem proporciona uma maior flexibilidade de integração e rapidez de implementação de algoritmos, visto que os mesmos podem ser implementados em linguagem C, por exemplo.

O processador embarcado presente neste trabalho foi desenvolvido pelo grupo PSCOPE, da Universidade Federal de Juiz de Fora (UFJF). Possui um Conjunto Reduzido de Instruções (do inglês, *Reduced Instruction Set Computer*) (RISC), com arquitetura do tipo Harvard, onde tem-se as memórias de dados e de programas separadas. É capaz de executar as operações em aritmética de ponto flutuante em apenas um ciclo de *clock*, através de um formato de ponto flutuante simplificado também desenvolvido pelo grupo (SANTOS *et al.*, 2018). Mais detalhes sobre a topologia do processador podem ser obtidas em (KAPISCH *et al.*, 2016). Suas principais vantagens são:

- Pode ser utilizado para implementar qualquer algoritmo aplicável em DSP
- Por ser mais leve que os processadores comerciais, permite o acoplamento de ainda mais processadores em paralelo
- Utiliza uma quantidade baixa de recursos, quando comparado a outros processadores embarcados já existentes como o NIOS II, por exemplo (NIOS, 2014)
- As instruções sintetizadas pela Unidade Lógica e Aritmética (ULA), o tamanho das memórias de instrução e dados e os blocos de controle interno são apenas os necessários para a implementação do requerido algoritmo, economizando assim recursos de *hardware* do FPGA.
- Pode ser programado em uma linguagem própria, em constante atualização e otimização, cuja sintaxe deriva da linguagem C.

Sendo assim, cada uma das seções a seguir tratará especificamente sobre cada um dos blocos que constituem o coprocessador. O Diagrama 2 apresenta a visão geral do sistema. Os blocos destacados em vermelho representam dispositivos externos ao coprocessador. Os blocos em azul correspondem às estruturas auxiliares, embarcadas em FPGA. Os 5 processadores são representados pelos blocos em preto.

Diagrama 2 – Visão geral dos principais blocos e estruturas que compõem o sistema



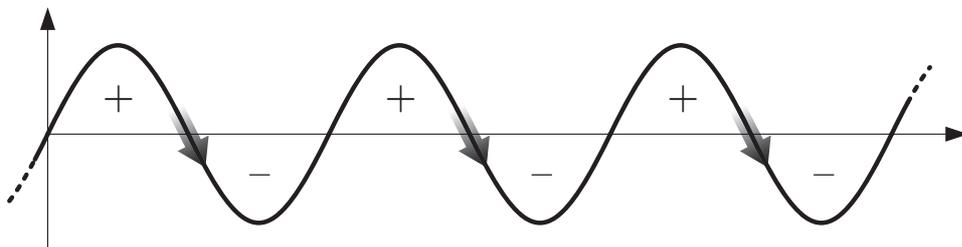
Fonte: Elaborado pelo autor (2021).

4.1 PROCESSADOR P1

O processador P1 é responsável pela estimação da frequência do sinal de entrada, e também pelos cálculos relativos à magnitude e parâmetros de sub e sobre desvio. Para tal, recebe em sua entrada o sinal amostrado à uma taxa de 7680 Hz, fornecido pelo conversor A/D.

O processo de estimação de frequência é feito através da técnica de *zero crossing*, ilustrada na Figura 9. Primeiramente o sinal passa por uma etapa de filtragem, de forma que as componentes de maior frequência sejam atenuadas. Em seguida compara-se a polaridade da amostra atual com a polaridade da amostra anterior, com o intuito de determinar uma mudança de polaridade, o que representa um cruzamento por zero. Quando dois cruzamentos por zero em uma mesma direção são detectados, isto é, duas mudanças de polaridade do tipo positivo para negativo, por exemplo, tem-se a indicação de que um ciclo do sinal foi completado.

Figura 9 – Mudança de polaridade da técnica de *zero crossing*



Fonte: Elaborado pelo autor (2021).

Cada vez que um ciclo é completado, um contador de ciclos inteiros é incrementado, e a duração de cada ciclo é acumulada. Como visto no capítulo anterior, a frequência estimada deve ser fornecida em intervalos de 10 segundos. Sendo assim, um circuito auxiliar sincronizado através de um módulo de Sistema de posicionamento global (do inglês, *Global Positioning System*) (GPS), gera um pulso a cada 10 segundos. Quando este pulso ocorre, o valor da frequência é dado através da razão entre o valor do contador de ciclos inteiros acumulados durante estes 10 segundos, e a duração acumulada dos mesmos. Este procedimento é executado para os três sinais de tensão de entrada, de forma independente.

O valor da magnitude da tensão de alimentação, por sua vez, é obtido através do cálculo do RMS de 12 ciclos do sinal de entrada. Este valor é também utilizado na obtenção dos parâmetros de sobre desvio (*overdeviation*) e sub desvio (*underdeviation*), através das equações apresentadas na seção 3.7.

Como visto no capítulo 3, a norma define que alguns dos parâmetros de QEE devem ser agregados em intervalos maiores, de 12 ciclos, 180 ciclos, 10 minutos e 2 horas. Além disso, estes valores devem ainda ser resincronizados a cada 10 minutos. Isto é, a cada 10 minutos, uma nova janela de cada uma das agregações é iniciada. Ao avaliar a Figura 3, é possível perceber que as agregações de maior duração são constituídas pela mesma base de 12 ciclos. Sendo assim, optou-se por realizar as agregações de 12 ciclos, seja em funcionamento normal ou em resincronização, no processador P1 e então fornecer estes valores ao processador P5, responsável pelas outras agregações.

A estrutura de controle desse processo segue a seguinte lógica de funcionamento: Para que possam determinar o momento exato de iniciar um novo processo de agregação, os processadores P1 e P5 recebem como entrada o sinal de resincronização. Devido à construção e as funções desempenhadas por estes processadores, o processador P1 é executado a cada nova amostra do sinal de entrada. O processador P5, por sua vez, é executado apenas de 12 em 12 ciclos. Por esta razão, para que seja percebido por todos os processadores envolvidos, o pulso de resincronização deve manter-se em nível alto até que todo o processo seja concluído. Sendo assim, quando o pulso ocorre, o processador P1 inicia uma nova agregação de 12 ciclos, que ocorre em paralelo com a agregação de 12 ciclos que estava sendo preenchida até então. O processador P5 por sua vez, antes de qualquer outro procedimento, checa se o pulso de resincronização está em nível alto. Em caso afirmativo, inicia uma nova agregação de 180 ciclos e de 10 minutos, e já acumula a amostra recém chegada nestas agregações. Quando uma nova amostra fornecida pelo processador P1 chegar, ela é combinada às novas agregações e às que estavam em aberto simultaneamente. Este processo é repetido até que as agregações que estavam em aberto se encerrem, o que sinaliza o fim do procedimento de resincronização.

O processador P1 é também responsável por reamostrar o sinal de entrada, com o intuito de adequá-lo às frequências de amostragem exigidas pelo algoritmo da FFT, executado pelo processador P2, e pelo *Flickerímetro*, executado pelo processador P4. Após uma etapa de filtragem, o sinal de entrada e o valor de frequência estimado são entregues à seis interpoladores de Lagrange, sendo dois a cada fase, responsáveis por reamostrar o sinal de entrada, inicialmente amostrado em 7680 Hz, em 10240 Hz para a FFT e 4500 Hz para o *Flickerímetro*.

Devido à sua natureza de construção, o algoritmo da FFT aguarda a janela de 12 ciclos (2048 amostras) estar completa para então executar seu código. Uma vez que estes dados também passam pelo processo de resincronização descrito anteriormente, faz-se necessário o uso de algumas estruturas de controle para gerenciar tal processo. Desta forma, faz-se o uso de 6 memórias do tipo Primeiro a entrar, primeiro a sair (do inglês, *First In First Out*) (FIFO) com 2048 posições cada, sendo um par de memórias para cada uma das três fases de tensão de entrada. O Diagrama 3 apresenta as ligações entre o processador P1, as estruturas de controle, as memórias FIFO e o processador P2.

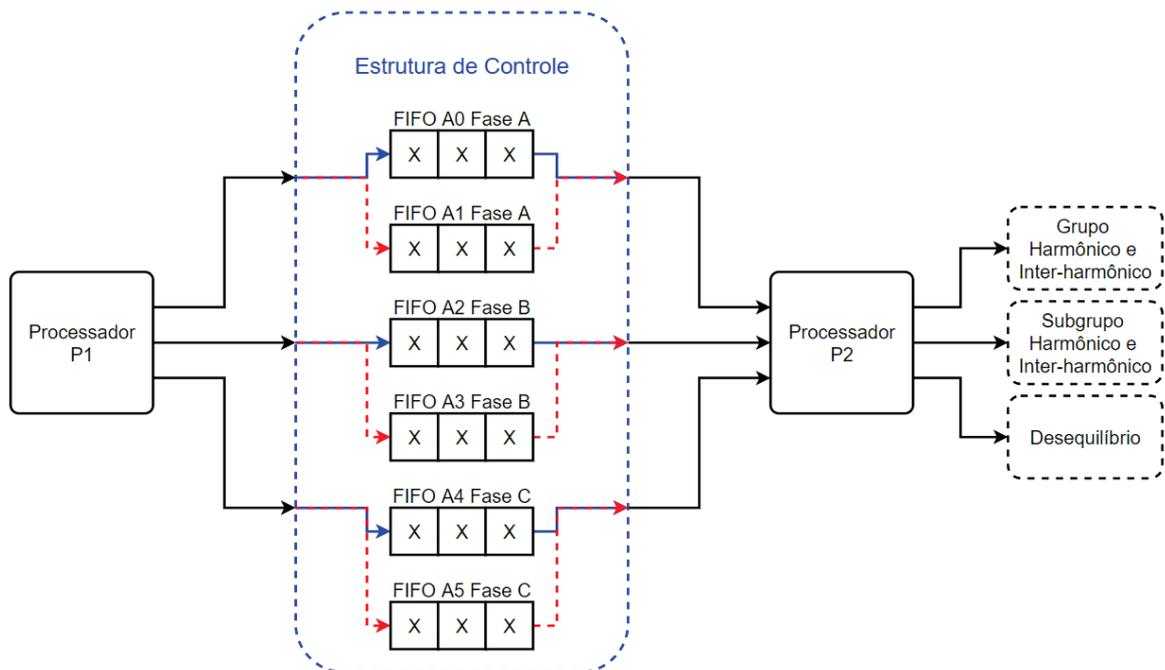
Denominando-se as FIFOs como A0 - A5, o processo de armazenamento, para uma fase, é descrito a seguir.

- Considere inicialmente que as FIFOs A0 e A1 referem-se à fase A.
- A princípio, apenas a FIFO A0 é utilizada para o armazenamento das amostras, sendo considerada como FIFO principal. Desta forma, cada vez que uma nova amostra é fornecida pelo interpolador (10240 Hz), a mesma é armazenada na FIFO

A0. Quando a memória é preenchida, um sinal de controle avisa ao processador P2 para que ele inicie a leitura da mesma.

- Ao ocorrer um pulso de resincronização, as novas amostras interpoladas passam a ser armazenadas em ambas as FIFOs, A0 e A1, simultaneamente. Além disso, nesse instante a FIFO A1 passa a ser considerada como principal. É fácil perceber que, como a FIFO A0 era a principal até este momento, ela será totalmente preenchida antes da FIFO A1.
- Assim, uma vez cheia, a FIFO A0 é lida pelo processador P2.
- Quando o processo de resincronização terminar, a FIFO A0 é limpa, e passa então a aguardar o próximo pulso de resincronização.
- A FIFO A1, agora principal, continua o processo de recebimento dos dados interpolados, fornecidos pelo processador P1, e entrega dos mesmos ao processador P2.

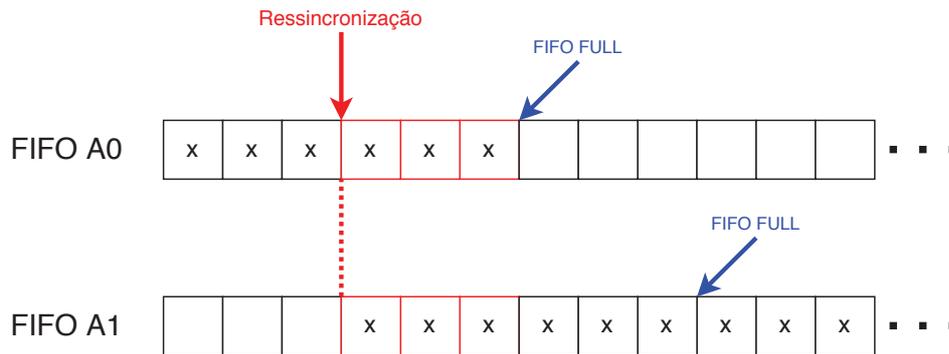
Diagrama 3 – Ligação entre os processadores P1 e P2



Fonte: Elaborado pelo autor (2021).

A Figura 10 ilustra o processo de mudança de FIFOs descrito acima, onde os X's representam as novas amostras. Este procedimento é executado, de forma análoga, para as três fases de tensão de entrada.

Figura 10 – Processo de mudança de FIFO



Fonte: Elaborado pelo autor (2021).

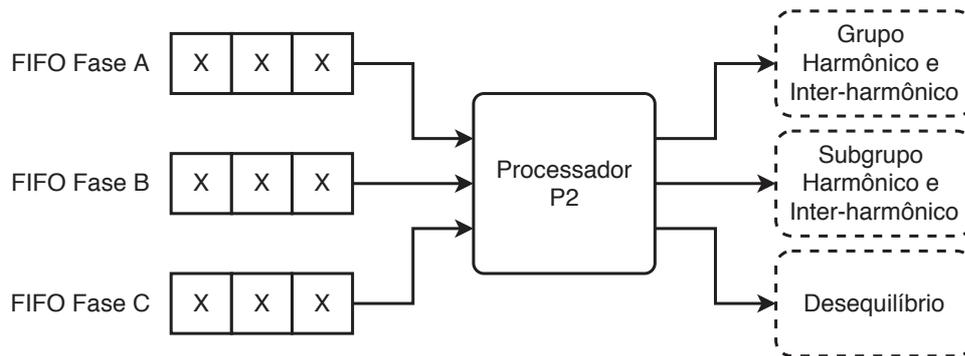
4.2 PROCESSADOR P2

O processador P2, por sua vez, é responsável por obter os parâmetros relacionados aos componentes harmônicos do sinal de entrada, como grupo e subgrupo, harmônico e inter-harmônico, além do desequilíbrio de tensão.

Inicialmente, o processador P2 aguarda o preenchimento das FIFOs principais, com os sinais interpolados em 10240 Hz, de cada uma das três fases. Uma vez preenchidas as três FIFOs, o processador é liberado para funcionar. Primeiro, é feita a leitura das 2048 posições de cada uma das FIFOs, de forma simultânea. Isto é, realiza-se uma operação de leitura nas três memórias principais, incrementa-se um contador de leituras, faz-se uma nova leitura, até que tenham sido feitas 2048 leituras em cada uma das FIFOs. Esta abordagem é interessante pois, a partir do momento que é realizada a primeira leitura, um espaço é logo liberado nas três FIFOs, e caso chegue uma nova amostra, haverá espaço para acomodá-la. Caso a leitura fosse executada de forma sequencial, isto é, faz-se a leitura das 2048 posições da FIFO referente à fase A, depois faz-se a leitura das 2048 posições da memória referente à fase B, e por último a leitura das 2048 posições da FIFO referente à fase C, poderia ocorrer perda de amostras.

Com os dados uma vez lidos, o processador pode então calcular a FFT para cada fase e utilizar seus bins para obter os parâmetros desejados. O Diagrama 4 ilustra as conexões de entrada e saída do processador P2.

Diagrama 4 – Entradas e saídas do processador P2



Fonte: Elaborado pelo autor (2021).

4.3 PROCESSADOR P3

Já o processador P3, tem como principal função a detecção dos distúrbios acionados pelo cruzamento de um limiar (afundamento, elevação e interrupção). Para executar tal função o processador recebe o sinal de entrada fornecido diretamente pelo conversor A/D, isto é, amostrado em 7680 Hz, e o valor de frequência atualizado a cada 10 segundos. Com estes dados, o processador então calcula o número de pontos por ciclo e o RMS de um ciclo, atualizado a cada meio ciclo ($RMS_{(1/2)}$), como descrito na seção 3.4. Estes valores de $RMS_{(1/2)}$ são então comparados com os limiares de afundamento, elevação e interrupção, e caso ultrapasse algum deles, um evento é detectado. Como visto anteriormente, distúrbios desta natureza são capazes de interferir na estimação dos demais parâmetros. Sendo assim, caso seja identificada a presença de algum destes distúrbios no sinal, o processador atualiza o valor de uma de suas saídas, com o intuito de avisar o módulo responsável pela operação de marcação dos pacotes, ou *flagging*, descrita no capítulo anterior. Os limiares adotados são : $0,9 \times U_{din}$ para afundamento, $1,10 \times U_{din}$ para elevação e $0,1 \times U_{din}$ para interrupção.

É categorizado o fim do evento quando o $RMS_{(1/2)}$ retorna para dentro dos limites descritos pela norma. A tensão de histerese adotada é $0,02 \times U_{din}$. Neste instante, o processador retorna o resíduo, representado pelo menor valor $RMS_{(1/2)}$ caso o evento seja um afundamento ou interrupção, ou pelo maior valor $RMS_{(1/2)}$, caso seja uma elevação e a duração do distúrbio, em segundos.

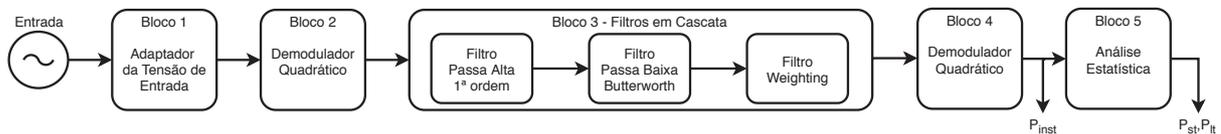
4.4 PROCESSADOR P4

O processador P4 destina-se à obtenção dos parâmetros relativos aos fenômenos de flutuação de tensão. Como discutido anteriormente, a flutuação de tensão é caracterizada pelo valor de sensação instantânea (P_{inst}), severidade de curta duração (P_{st}) e severidade de longa duração (P_{lt}). A implementação empregada para a obtenção de tais parâmetros,

primeiramente proposta e comprovada em (NETO, 2011), denomina-se modelo multitaxa e possui algumas diferenças com relação ao esquema sugerido pela norma, apresentado na seção 3.8. Esta abordagem mostra-se interessante devido à diminuição do processamento necessário e da memória ocupada pelo processador, ao mesmo tempo que atende os requisitos exigidos pela norma. O Diagrama 5 apresenta o modelo proposto pela norma, e o Diagrama 6 apresenta o modelo multitaxa, empregado neste trabalho.

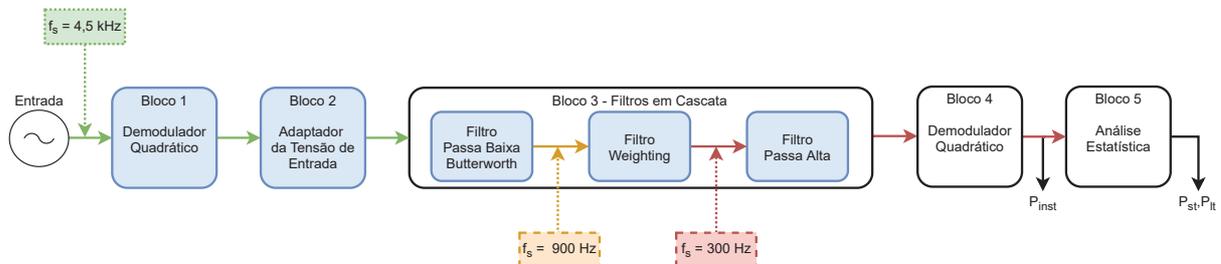
As principais diferenças entre os modelos estão presentes nos blocos destacados em azul, no Diagrama 6. Além disto, o modelo multitaxa exige que o sinal de entrada seja amostrado em 4,5 kHz, e sofra decimações, isto é, redução da frequência de amostragem, ao longo do processo. Cada mudança é representada pela diferença de cor das setas de entrada, em cada um dos blocos presentes.

Diagrama 5 – Diagrama de blocos do *flickerímetro* sugerido pela norma



Fonte: (IEC, 2010).

Diagrama 6 – Diagrama de blocos do *flickerímetro* multitaxa



Fonte: (NETO, 2011).

A primeira mudança entre as duas abordagens é a inversão da posição dos blocos 1 e 2, do modelo sugerido pela norma. Esta alteração tem como objetivo simplificar algumas operações de multiplicação, o que impacta diretamente no processamento exigido. No entanto, esta modificação exige que seja feita uma correção no valor de P_{st} ao final do cálculo, por um fator de correção dado por:

$$F_{corr} = \frac{RMS_1 \text{ Ciclo}}{RMS_{10} \text{ Minutos}}$$

Com o intuito de economizar recursos e processamento, o modelo multitaxa propõe uma mudança na posição dos filtros presentes no bloco 3, uma vez que nem todos necessitam

de 4,5 kHz para operar. Desta forma, são feitas decimações nas entradas dos filtros que exigem menor frequência de amostragem.

Por fim, na etapa de análise estatística, a norma sugere um modelo de histograma baseado em intervalos igualmente espaçados. Para que seja possível atingir os requisitos exigidos pela norma, seriam necessárias muitas classes. Desta forma, o modelo multitaxa propõe a utilização de um histograma com classes espaçadas de forma exponencial.

Após diversos testes, chegou-se a um número ideal de 500 classes. O modelo foi submetido à todos os testes exigidos pela norma IEC 61000-4-15 (IEC, 2010), e em todos eles os requisitos necessários foram atingidos. Em comparação ao modelo sugerido pela norma, o modelo multitaxa apresentou menor consumo de memória e menor exigência de processamento.

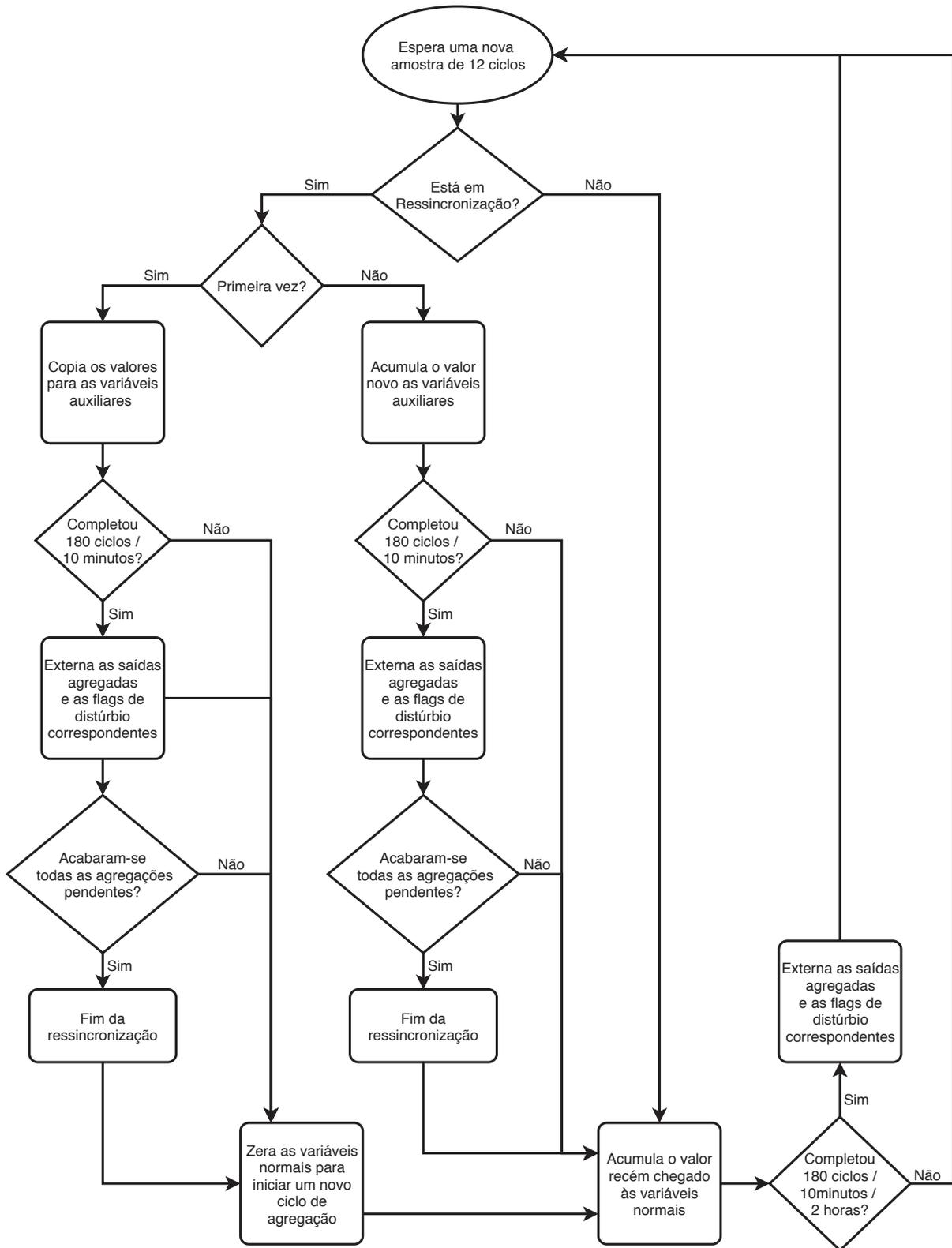
4.5 PROCESSADOR P5

O processador P5 tem como principal objetivo realizar as agregações restantes, em todos os parâmetros exigidos pela norma. Como descrito anteriormente, a norma especifica quatro intervalos de agregação : 12 ciclos, 180 ciclos, 10 minutos e 2 horas. A agregação de 12 ciclos é realizada pelo processador P1, e o processador P5 por sua vez encarrega-se de realizar as outras três, formadas a partir da agregação base de 12 ciclos. Por esta razão, este processador é executado apenas de 12 em 12 ciclos.

Cada parâmetro à ser agregado por P5 vem acompanhado de uma *flag* que, como visto anteriormente, indica se durante a obtenção do dado em questão houve a ocorrência de um ou mais eventos acionados por cruzamento de limiar, ou seja, afundamento, elevação ou interrupção. De posse desta informação, o processador P5 é capaz de marcar os pacotes de maior duração, que contém o pacote marcado recém chegado.

Além disso, este processador ainda tem acesso ao pulso de ressincronização, para que, uma vez que este ocorra, inicie novas agregações, que serão executadas em paralelo às que já estavam sendo calculadas, como descrito na seção 3.1. Sendo assim, o funcionamento do processador P5 pode ser descrito pelo fluxograma apresentado no Diagrama 7.

Diagrama 7 – Fluxo de operações executadas pelo processador P5



Fonte: Elaborado pelo autor (2021).

4.6 GPS

O módulo GPS tem como objetivo auxiliar na obtenção do pulso de resincronização, que atenda as exigências de precisão exigidas pela norma, além de fornecer informações de data e hora, que são utilizadas na construção da estampa de tempo, presente em cada pacote de informação, que será posteriormente enviado ao bloco PC\DATABASE. O módulo é capaz de prover as informações através de diferentes protocolos, por exemplo NMEA, UBX, RTCM, entre outros, e diferentes interfaces, como USB, UART, SPI, entre outras (U-BLOX, 2011). No presente trabalho optou-se pela utilização do protocolo NMEA, e a interface serial UART, e suas características são descritas a seguir.

4.6.1 Protocolo NMEA

Desenvolvido pela Associação Nacional de Eletrônicos Marinhos (do inglês, *National Marine Electronics Association*) (NMEA), define o interfaceamento entre os mais diversos equipamentos eletrônicos utilizados pela marinha. A ideia deste protocolo é enviar uma linha de dados que é completamente auto explicativa e independente de outras linhas. Existem linhas para cada categoria de dispositivo e cada uma delas possui um prefixo identificador de cinco letras, de acordo com o seu conteúdo e seu propósito. Este prefixo é dividido em duas partes: as primeiras 2 letras indicam o dispositivo, por exemplo para receptores GPS as letras são GP. As outras três referem-se ao conteúdo da linha de mensagem em questão. Todas as linhas de dados são iniciadas com o caractere \$, e encerradas com o caractere de fim de linha '\n', tem tamanho máximo de 80 caracteres de texto no padrão ASCII, sendo cada posição separada por vírgula. O Quadro 3 apresenta as possíveis linhas de dados transmitidas pelo receptor GPS. A linha em destaque será utilizada na obtenção da estampa de tempo (GPSWORLD, 2021).

Quadro 3 – Possíveis mensagens de saída do módulo GPS

Opção	Descrição
GGA	Tempo, posição e dado de tipo fixo
GLL	Latitude, longitude, tempo UTC de posição fixa e <i>status</i>
GSA	Modo de operação do receptor GPS
GSV	Número de satélites GPS, seus IDs, elevação e azimute
MSS	SNR, força, frequência e <i>bit rate</i> do sinal
RMC	Tempo, data, posição, curso e velocidade
VTG	Curso e velocidade relativas ao chão
ZDA	Mensagem de temporização de PPS
150	OK para enviar mensagem

Fonte: (TECHNOLOGY, 2007).

A estampa de tempo é formada por dois parâmetros, chamados UNIX e FRACSEC. O UNIX é o número de segundos desde 1º de Janeiro de 1970, e o FRACSEC é a fração

de segundo. O UNIX é obtido através dos valores de hora, minuto, segundo, dia, mês e ano, fornecidos pelo GPS, através da mensagem do tipo RMC, descrita em detalhes no Quadro 4 (TECHNOLOGY, 2007).

Quadro 4 – Formato da mensagem RMC

Nome	Exemplo	Unidade	Descrição
ID	\$GPRMC	-	Cabeçalho da mensagem RMC
Tempo UTC	161229.487	-	hhmmss.sss
Status	A	-	A = dado válido ou V = dado inválido
Latitude	3723.2475	-	ddmm.mmmm
Indicador N/S	N	-	N = Norte ou S = Sul
Longitude	12158.3416	-	dddmm.mmmm
Indicador E/W	W	-	E = Leste ou W = Oeste
Velocidade em relação ao chão	0,13	nós	-
Curso em relação ao chão	309,6	graus	-
Data	200220	-	ddmmaa
Varição Magnética	-	graus	E = Leste ou W = Oeste
Modo	A	-	A = autônomo, D = DGPS, E = DR
Checksum	*10	-	-
<CR> <LF>	-	-	Fim da mensagem

Fonte: (TECHNOLOGY, 2007).

Inicialmente, o FPGA recebe a mensagem através da interface serial e a salva em uma memória do tipo FIFO. Em seguida, esta mensagem é processada por um bloco responsável por extrair e salvar em variáveis auxiliares os valores de hora, minuto, segundo, dia, mês e ano. O cálculo do UNIX é dividido em diversas etapas. São elas :

1. Determinar o valor da variável auxiliar *dsby*, referente ao número de dias desde o início do ano, através da comparação entre o valor do mês recebido, e os valores predefinidos, como apresentado na Tabela 6.

Tabela 6 – Referência para determinação da variável *dsby*

(Mês - 1)	0	1	2	3	4	5
<i>dsby</i>	0	31	59	90	120	151
(Mês - 1)	6	7	8	9	10	11
<i>dsby</i>	181	212	243	273	304	334

Fonte: Elaborado pelo autor (2021).

2. Determinar o valor da variável auxiliar *leap_years*, através da expressão 4.1 .

$$leap_years = \frac{((ano - 1) - 1968)}{4} - \frac{((ano - 1) - 1900)}{100} + \frac{((ano - 1) - 1600)}{400} \quad (4.1)$$

3. Obter o valor da variável *days_since_1970*, que será utilizado diretamente na obtenção do UNIX, através da expressão 4.2.

$$days_since_1970 = (ano - 1970) \times 365 + leap_years + dsby + (dia - 1) \quad (4.2)$$

Antes de calcular o UNIX, deve-se ainda verificar se o ano é bissexto, e se for, adicionar mais um dia a variável *days_since_1970*.

4. Por fim, obtém-se o valor do UNIX através da expressão 4.3

$$UNIX = segundo + 60 \times (minuto + 60 \times (horas + 24 \times days_since_1970)) \quad (4.3)$$

Uma vez obtido o valor do UNIX, este valor é incrementado a cada segundo, através da utilização de um sinal fornecido pelo GPS chamado Pulso por Segundo (do inglês, *Pulse per Second*) (PPS). Este sinal é também utilizado na obtenção do valor de fração de segundo, ou FRACSEC. O sinal de PPS é utilizado como controle em uma máquina de estados, de tal forma que, no instante em que ocorrer uma borda de subida, isto é, o sinal alternar de nível lógico baixo para nível lógico alto, a máquina muda de estado e gera um sinal de *reset* para um contador auxiliar. Desta forma, a cada segundo, este contador auxiliar percorre sempre o mesmo intervalo de valores, e assim conseqüentemente pode-se converter o valor do contador para se obter uma fração daquele segundo. Por exemplo, considere que durante 1 segundo, o contador percorra de 0 até 50000, e que um pacote teve início quando o contador era 37500. Basta dividir o valor do contador, no instante de interesse, pelo valor máximo da contagem, e obter assim a fração de segundo, neste caso 0.75. Quanto maior o contador, maior o número de casas decimais possíveis.

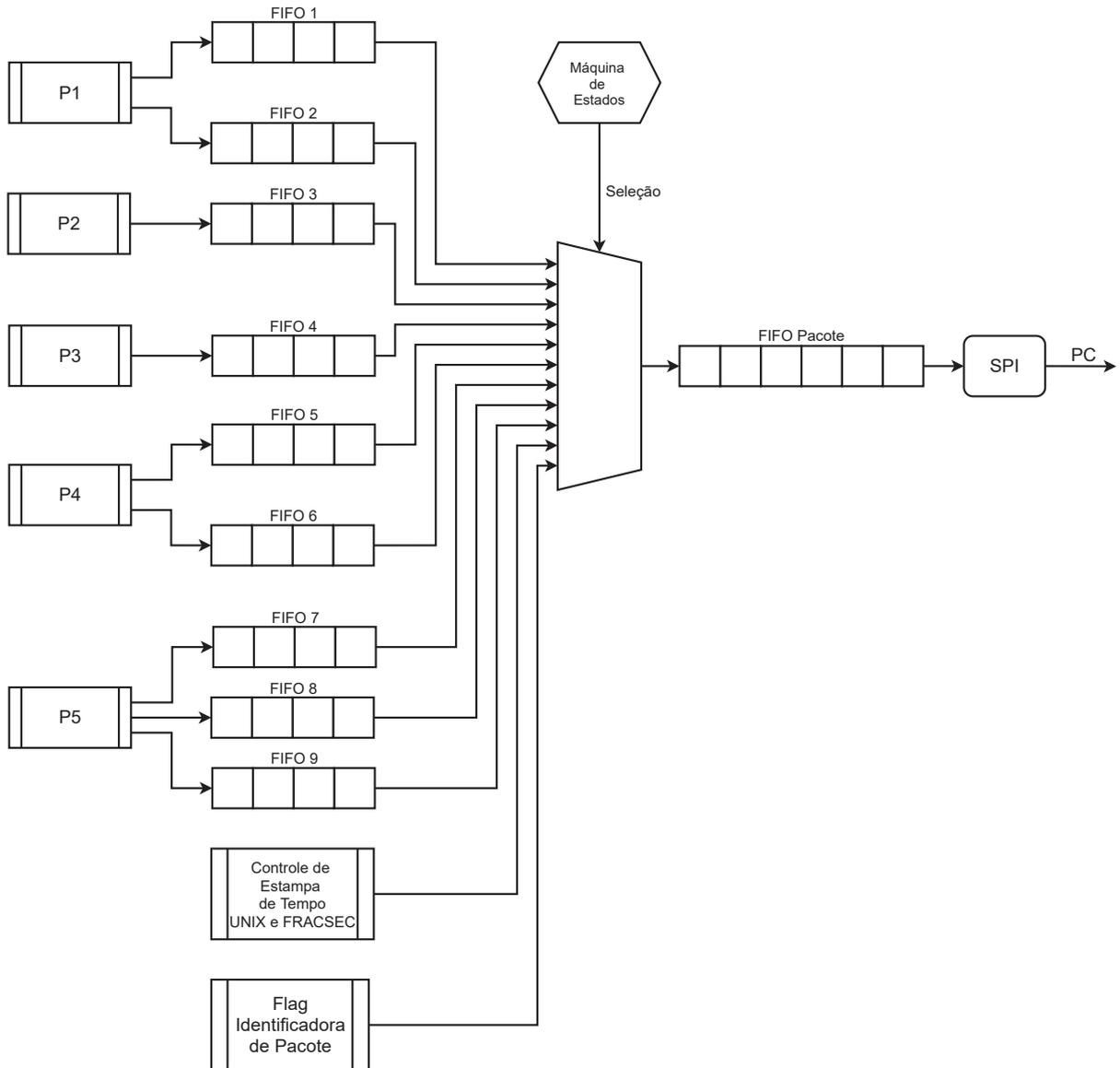
4.7 MONTADOR DE PACOTES

O bloco montador de pacotes, como o próprio nome sugere, tem por objetivo estruturar todos os parâmetros fornecidos pelos cinco processadores e encaminhá-los até o bloco de controle da Interface Periférica Serial (do inglês, *Serial Peripheral Interface*) (SPI), responsável por serializa-los.

Cada processador possui uma memória do tipo FIFO associada à ele, responsável por armazenar suas saídas, que serão posteriormente organizadas e enviadas para o banco de dados. Como cada processador disponibiliza as saídas em uma taxa diferente, é fácil perceber que cada FIFO será preenchida em momentos distintos. Por esta razão, é necessário que haja uma identificação em cada uma delas, para que o algoritmo decodificador, que será futuramente implementado no computador, seja capaz de interpretar os dados

de forma correta. O Diagrama 8 apresenta uma visão mais detalhada do processo de montagem e envio dos pacotes.

Diagrama 8 – Processo detalhado de montagem dos pacotes enviados



Fonte: Elaborado pelo autor (2021).

Os detalhes sobre cada uma das nove FIFOs, como tamanho, parâmetro armazenado e frequência com que são preenchidas são apresentados no Quadro 5.

Em cada um dos tópicos a seguir, são descritas as principais características de funcionamento dos outros blocos presentes no Diagrama 8.

- **Controle de Estampa de Tempo** : Para que seja possível alinhar e decodificar os dados de forma correta, a estampa de tempo presente em cada pacote é registrada no início da janela em que estes dados foram obtidos. Por exemplo, a frequência é

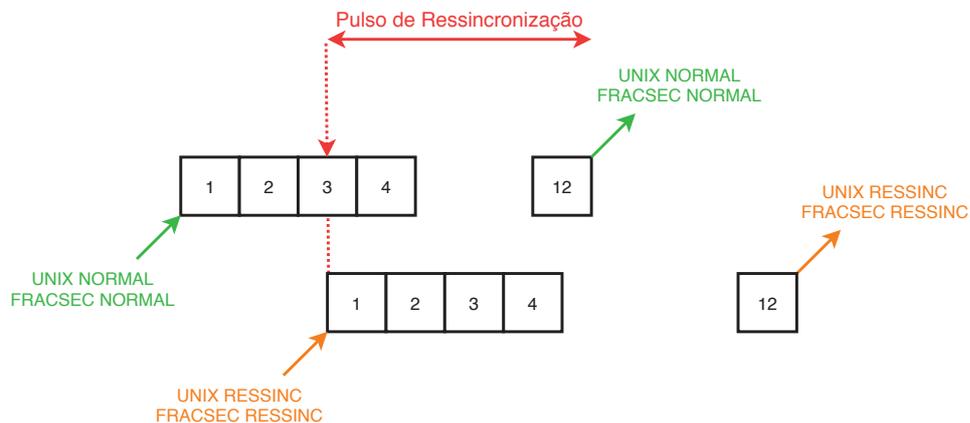
Quadro 5 – Características de cada uma das nove FIFOs utilizadas pela estrutura de montagem de pacotes.

FIFO	Parâmetro Armazenado	Tamanho	Frequência de Preenchimento
1	Frequência	3 posições	A cada 10 s
2	Magnitude, sub e sobre desvio	9 posições	A cada 12 ciclos
3	Harmônicos	526 posições	A cada 12 ciclos
4	Distúrbios	30 posições	Assíncrono
5	Flutuação de Tensão	3 posições	A cada 10 minutos
6	Flutuação de Tensão	3 posições	A cada 2 horas
7	Agregação	535 posições	A cada 180 ciclos
8	Agregação	535 posições	A cada 10 minutos
9	Agregação	535 posições	A cada 2 horas

Fonte: Elaborado pelo autor (2021).

fornecida a cada 10 s, então a estampa de tempo é registrada na primeira amostra destes 10 s. Como visto anteriormente, quando ocorre o pulso de resincronização, uma nova janela é iniciada, e desta forma, uma nova estampa de tempo deve ser registrada. Quando o pacote for enviado, é necessário associa-lo a estampa de tempo correta. Este gerenciamento, executado pela estrutura de controle de estampa de tempo, é mostrado na Figura 11.

Figura 11 – Exemplo do processo de controle de estampa de tempo



Fonte: Elaborado pelo autor (2021).

- **Máquina de Estados :** A máquina de estados é responsável por gerar o sinal de leitura de cada uma das FIFOs (FIFO 0 até FIFO 9), e o sinal de controle do multiplexador, de acordo com o que deve ser escrito na FIFO Pacote, que vai ser de fato enviada. Para isto, a máquina deve verificar se todos os dados à serem enviados por cada processador já foram escritos. Como as memórias são estruturas digitais, seu tamanho é sempre 2^n , $n = 1, 2, 3, \dots$. Porém, nem sempre o processador externa

uma quantidade de saídas que é exatamente uma potência de dois. Sendo assim, não adiantaria verificar quando a memória está cheia. Entretanto, as FIFOs possuem um sinal chamado *usedw*, o qual contém quantas posições estão ocupadas na memória naquele instante. Desta forma, uma vez que sabe-se quantos dados serão enviados pelo processador, com o auxílio desta variável, é possível saber o momento exato de executar a leitura da FIFO em questão.

Como cada processador fornece suas saídas em momentos e com frequência diferentes, a máquina de estados deve checar algumas das FIFOs com maior frequência do que outras. Por exemplo, a FIFO 4, responsável por armazenar as saídas referentes aos distúrbios, deve ser checada frequentemente, por ser um evento assíncrono, isto é, não se sabe quando, ou mesmo se, um distúrbio irá ocorrer. O Quadro 6 apresenta um exemplo de pacote onde cada posição possui 16 bits, valor este padrão em todos os tipos de pacotes enviados.

Quadro 6 – Exemplo de um pacote enviado

Identificador 0 + 15'h001	UNIX MSB 16'h5F3C	UNIX LSB 16'hA5E0	FRACSEC MSB 16'h0000	FRACSEC LSB 16'h021C	MAG_A 16'h03E8	MAG_B 16'h03FC	MAG_C 16'h0419
------------------------------	----------------------	----------------------	-------------------------	-------------------------	-------------------	-------------------	-------------------

Fonte: Elaborado pelo autor (2021).

Inicialmente, a seleção do multiplexador é alterada para que sua saída seja a variável chamada Identificador, a qual contém a *flag* que indica se houve algum distúrbio durante a obtenção destes dados (representada pelo bit mais significativo da palavra de 16 bits, onde 1 indica que houve distúrbio), e o valor do identificador do pacote a ser enviado, que segue a mesma nomenclatura das FIFOs, isto é, o identificador 1 corresponde à FIFO 1, e assim por diante. Em seguida, a seleção é alterada para que sejam enviados o UNIX e o FRACSEC do pacote em questão. Como o tamanho da palavra é 16 bits, e estas variáveis possuem 32 bits, elas ocupam duas posições cada, sendo UNIX MSB os 16 bits mais significativos do UNIX, e UNIX LSB os 16 bits menos significativos. O mesmo princípio se aplica ao FRACSEC. Em seguida, a seleção é novamente alterada para que agora seja escrita a saída do processador em questão, até que todos os dados sejam lidos.

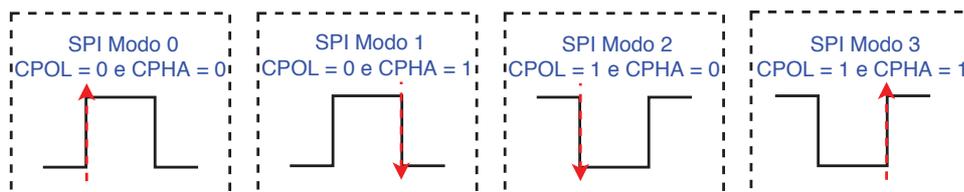
- **FIFO Pacote** : Memória responsável por receber todas as informações que saem do multiplexador. Deve possuir tamanho suficiente para reter estes dados enquanto o envio é realizado, de forma que não haja perda de informação.
- **SPI** : A SPI é a interface que permite a troca de dados de forma serial, isto é um bit por vez, entre dois ou mais dispositivos, sendo permitido apenas um mestre, responsável por controlar a comunicação, e um ou mais escravos, que são controlados,

e é normalmente operada de forma *full duplex*, ou seja, os dados podem fluir em ambas as direções, ao mesmo tempo.

A ligação SPI é constituída de pelo menos quatro canais distintos. São eles:

- **MOSI** : *Master Out Slave In*, ou saída do mestre entrada do escravo, é o canal utilizado pelo mestre para envio de dados aos escravos.
- **MISO** : *Master In Slave Out*, ou entrada do mestre saída do escravo, é o oposto do sinal MOSI, ou seja, é utilizado pelos escravos para o envio de dados ao mestre. Uma vez que o MISO de todos os escravos, caso haja mais de um, estão interligados, é necessário que o pino MISO de cada escravo seja do tipo *tri-state*, isto é, possua um estado de alta impedância, para que não haja qualquer interferência entre a comunicação de cada escravo.
- **SCLK** : *Serial Clock*, é o canal responsável por prover a sincronia da transmissão de dados. Desta forma, só há envio ou recebimento de informações quando este sinal existe, ou seja, comuta entre os níveis alto e baixo. Existem quatro modos de operação de acordo com a polaridade (CPOL), que está relacionada ao estado inicial do sinal, isto é, se quando não há nenhum envio sendo feito, se ele está em nível baixo ou em nível alto, e a fase (CPHA), que está relacionada com a borda, descida ou subida, que o sinal será interpretado. A Figura 12 apresenta os quatro modos possíveis de operação do sinal de SCLK na comunicação SPI.

Figura 12 – Possíveis modos de operação do sinal SCLK em uma comunicação SPI



Fonte: Elaborado pelo autor (2021).

- **SS** : *Slave Select*, ou seletor de escravo, tem como objetivo escolher com qual escravo a comunicação será efetuada. Para isto basta que o mestre envie um sinal de nível lógico baixo no canal SS do escravo com o qual ele deseja se comunicar.

No presente trabalho, optou-se pela utilização do FPGA como escravo. Toda vez que 64 palavras de 16 bits estão prontas para serem enviadas, o FPGA altera o valor de um sinal de controle para nível lógico alto, e então aguarda o comando do mestre, através do sinal SS. Para que não haja perda de dados, os sinais provenientes dos cinco processadores são armazenados em uma memória do tipo FIFO, antes de serem transmitidos de forma serial.

4.8 CONCLUSÕES PARCIAIS

O presente capítulo descreveu em detalhes o funcionamento de todos os elementos que compõem o coprocessador de qualidade da energia proposto, desde os mais simples, como máquinas de estado auxiliares, até os mais complexos, como os processadores. Foram apresentadas todas as técnicas e considerações utilizadas na obtenção dos parâmetros de QEE estudados.

5 RESULTADOS

O presente capítulo tem como objetivo apresentar os resultados fornecidos pelo coprocessador de QEE proposto, frente à uma série de sinais e condições, de forma a verificar e validar os algoritmos implementados e sua conformidade com a norma adotada. A primeira seção contém os resultados de simulação funcional, e a segunda seção contém os resultados de cunho mais prático, isto é, obtidos a partir do projeto embarcado no FPGA. Por fim são apresentadas algumas conclusões parciais acerca dos testes realizados.

5.1 RESULTADOS DE SIMULAÇÃO FUNCIONAL

Esta seção contém os resultados de simulação, a nível funcional, dos processadores implementados de acordo com o que foi descrito no capítulo anterior. Inicialmente é apresentada uma contextualização geral sobre o processo de simulação empregado, e em seguida, os resultados extraídos de cada um dos processadores.

5.1.1 Simulação Funcional

Os simuladores são normalmente divididos nas seguintes categorias:

1. Simulação Comportamental (*Behavioral Simulation*)
2. Simulação Funcional (*Functional Simulation*)
3. Análise de Tempo Estática (*Static Timing Analysis*)
4. Simulação à Nível de Porta (*Gate-Level Simulation*)
5. Simulação à Nível de Chave (*Switch-Level Simulation*)
6. Simulação à Nível de Transistor (*Transistor-Level Simulation*)

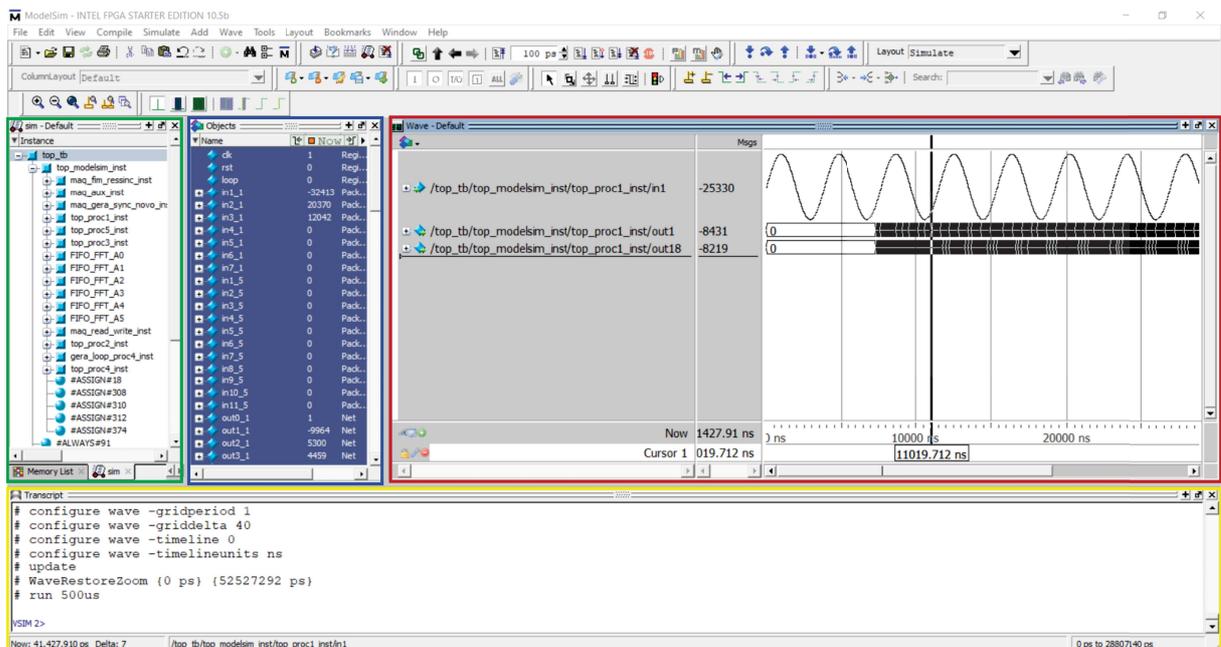
A lista acima é ordenada de acordo com o nível da simulação realizada, do maior para o menor. Simulações de alto nível, como a comportamental, são mais abstratas, enquanto as de menor nível, como a de nível de transistor, são mais detalhadas. Desta forma, simulações de menor nível são mais precisas, e por esta razão, mais complexas, o que acarreta em um maior tempo para a obtenção dos resultados. Por exemplo, é possível executar uma simulação comportamental em um sistema completo. Porém, é impossível executar uma simulação à nível de transistor em um sistema com mais de algumas centenas de transistores (EDACAFE, 2021).

A simulação funcional pode ser definida como a simulação de um projeto para avaliação de seu funcionamento lógico, isto é, se a lógica empregada no projeto em questão irá funcionar como esperado, sem levar em consideração seus aspectos de temporização.

Logo, em uma simulação funcional, atrasos e latências podem não corresponder aos resultados reais, ou seja, que seriam obtidos caso o circuito estivesse embarcado em *hardware*. A primeira etapa do processo de simulação funcional consiste na implementação da lógica desejada. Em seguida, o projetista deve desenvolver um arquivo chamado *testbench*, normalmente escrito em linguagem Verilog ou VHDL, responsável por descrever em detalhes todos os passos da simulação, isto é, definir a escala temporal à qual o circuito irá obedecer, os sinais de entrada e de controle, etc (XILINX, 2021). O fragmento de código presente no Apêndice A, escrito em Verilog, exemplifica algumas destas definições.

O FPGA utilizado no coprocessador proposto pertence a família de dispositivos *Cyclone V*, da fabricante Intel®. Mais detalhes sobre ele serão apresentados na seção de resultados práticos. Para o desenvolvimento e programação do módulo, a fabricante disponibiliza uma interface de desenvolvimento chamada Quartus Prime® (INTEL, 2018). Nessa interface tem-se acesso a ferramenta de simulação funcional, utilizada na obtenção de todos os resultados apresentados nesta seção, chamada Modelsim-Altera® (ALTERA, 2013). De forma simplificada, esta ferramenta interpreta os comandos descritos no arquivo de *testbench* e os aplica aos componentes do sistema, implementados em linguagem Verilog. O resultado final é apresentado através de um gráfico, que contém as formas de onda dos sinais previamente selecionados pelo usuário. É possível monitorar uma grande quantidade de sinais de forma simultânea, porém à um custo elevado de processamento e tempo de simulação. A Figura 13 apresenta a interface do *software*.

Figura 13 – Interface do *software ModelSim-Altera*®



Fonte: Elaborado pelo autor (2021).

A janela destacada em verde contém uma lista detalhada com todos os blocos

implementados no sistema. Ao selecionar um bloco, todos os sinais pertencentes à ele, que podem ser monitorados, são exibidos na janela destacada em azul. Uma vez escolhidos os sinais de interesse, as formas de onda simuladas para os mesmos aparecem na janela em vermelho. Ao clicar em um dos sinais, é possível alterar a forma de visualização e a base utilizada na representação do resultado. Por fim, a janela destacada em amarelo contém informações referentes à compilação do arquivo de *testbench*, se esta foi bem sucedida ou não, além dos dados de temporização da simulação, isto é, qual o tempo total e quanto deste já se passou. Vale ressaltar que o esquema de cores da janela de formas de onda foi alterado, dentro do próprio *software*, para uma melhor visualização.

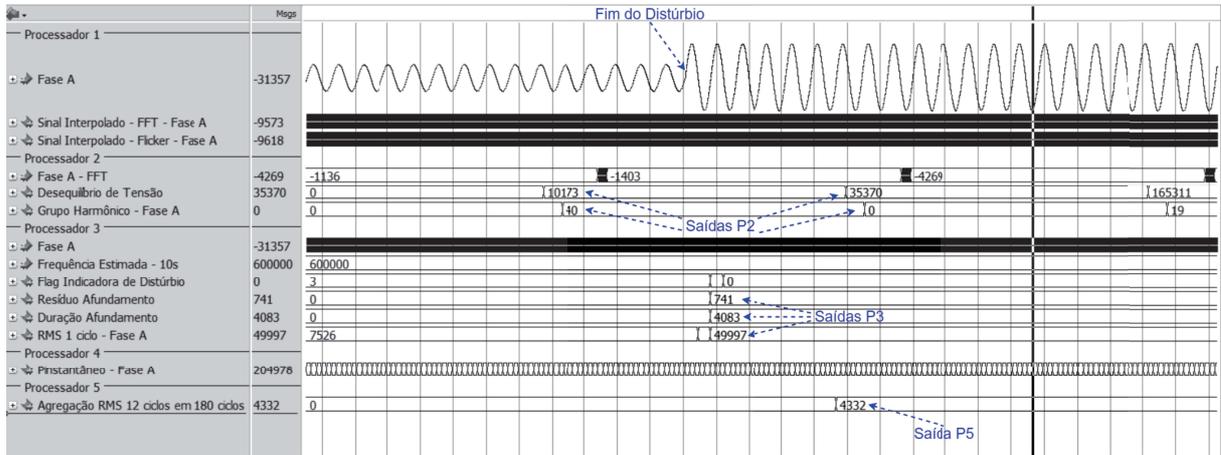
5.1.2 Resultados Obtidos

A seguir são apresentados os resultados obtidos através do *software Modelsim-Altera*[®]. Para obtê-los, inicialmente fez-se o uso do *software Matlab*[®]. Através dele, foram gerados diversos sinais de teste, com as mais diferentes características, com o intuito de verificar o comportamento dos processadores e validar os algoritmos implementados. Estes sinais foram então discretizados e salvos em arquivos de texto, que posteriormente seriam lidos pelos processadores, através da programação do arquivo de *testbench*. Uma vez que os sinais foram gerados em um ambiente controlado, é possível saber exatamente qual o resultado esperado na saída dos processadores, e portanto, conferir se toda a lógica desenvolvida, seja ela interna aos processadores ou pertencente as outras estruturas implementadas em linguagem Verilog, funciona da forma desejada. Por exemplo, ao executar a leitura de um sinal com afundamento, é possível conferir se o processador P3 reconhecerá o distúrbio e será capaz de determinar seu resíduo e duração de forma correta.

O primeiro resultado a ser apresentado, através da Figura 14, tem como objetivo elucidar o funcionamento paralelo dos processadores. Para uma melhor visualização, optou-se pela apresentação de apenas algumas das operações executadas pelos cinco processadores, as quais já são suficientes para demonstrar o paralelismo presente no projeto. Sendo assim, com relação à estes sinais temos: Inicialmente o sinal lido do arquivo de texto é aplicado ao processador P1 e P3 simultaneamente. A partir dele, o processador P1 gera os dois sinais interpolados, FFT e Flicker, que serão aplicados aos processadores P2 e P4, respectivamente. O processador P3, por sua vez, verifica se este sinal possui algum dos distúrbios caracterizados por *trigger*, discutidos na subseção 3.4. No caso em questão, o sinal possui um afundamento, e ao seu término, o processador P3 fornece o resíduo e a duração do mesmo. O processador P2 faz uso do sinal interpolado, fornecido por P1, para realizar os cálculos referentes à harmônicos, representados na imagem pelas variáveis de desequilíbrio de tensão e grupo harmônico. O processador P4, por sua vez, utiliza a outra saída interpolada por P1 para realizar os cálculos referentes à flutuação de tensão, representado na imagem através da saída de Pinstantâneo (cintilação instantânea). Por fim, o processador P5, responsável pelas agregações de maior duração (180 ciclos,

10 minutos e 2 horas), demonstra seu funcionamento através da saída que representa a agregação do valor da tensão RMS de 12 ciclos, da Fase A, em 180 ciclos.

Figura 14 – Funcionamento dos processadores em paralelo



Fonte: Elaborado pelo autor (2021).

A Figura 15, por sua vez, tem por objetivo exibir o comportamento do sistema frente à ocorrência de um pulso de resincronização, indicado através da linha vertical vermelha. Nela é possível ver o controle, descrito em mais detalhes na seção 4.1, em funcionamento para a fase A. O processo ocorre de forma análoga para as fases B e C.

Inicialmente, a FIFO A0 atuava como padrão. Uma vez que o pulso ocorre, há um período de transição, onde os dados são escritos em ambas as FIFOs simultaneamente, e então, após a última leitura ser feita na FIFO A0, a FIFO A1 torna-se a principal.

Figura 15 – Funcionamento das FIFOs em resincronização



Fonte: Elaborado pelo autor (2021).

A Tabela 7, apresenta os resultados referentes a sinais com distúrbios (elevações, afundamentos e interrupções). Para estes eventos, como visto anteriormente, a norma define que o erro máximo permitido na duração seja de 1 ciclo, ou 0,0167 s, e o erro máximo permitido no resíduo seja de 0,2% do valor nominal da tensão de entrada, que

nesse caso corresponde à $0,7071V$ (RMS) ou $0,0014142V$. Em todos os casos, os erros obtidos atenderam as especificações exigidas.

Tabela 7 – Testes com variação de tensão

Afundamento 1			
-	Entrada	Resultado	Erro
Resíduo (RMS)	0,6140 V	0,6145 V	0,0005
Duração (s)	2,0	2,0085	0,0085
Afundamento 2			
-	Entrada	Resultado	Erro
Resíduo (RMS)	0,3890 V	0,3888 V	0,0002
Duração (s)	0,7	0,6999	0,0001
Elevação			
-	Entrada	Resultado	Erro
Resíduo (RMS)	0,9550 V	0,9546 V	0,0004
Duração (s)	0,5	0,5083	0,0083
Interrupção			
-	Entrada	Resultado	Erro
Resíduo (RMS)	0,0260 V	0,0258	0,0002
Duração (s)	0,1	0,0920	0,0080

Fonte: Elaborado pelo autor (2021).

Com relação ao processo de estimação da frequência a norma exige que, para dispositivos classe A, o erro máximo seja de ± 10 mHz, em um intervalo de avaliação de 51 Hz a 69 Hz. O coprocessador foi testado para diversos valores dentro deste intervalo, e em todos eles a precisão exigida foi atingida. Alguns destes resultados estão presentes na Tabela 8.

A Tabela 9 contém os resultados de grupo e subgrupo, harmônico e inter-harmônico, para dois sinais distintos. O primeiro sinal é composto pelo componente fundamental com amplitude normalizada igual a 1 (100%) e por dois harmônicos ímpares, de terceira ordem com amplitude igual a 0,2 (20%) e quinta ordem com amplitude igual a 0,1 (10%). O segundo sinal, por sua vez, é composto por uma componente em 78 Hz, com amplitude de 0,15 (15%), harmônico de segunda ordem com amplitude de 0,08 (8%) e a componente fundamental, com amplitude unitária (100%).

Para o primeiro sinal de teste, pode-se observar que apenas os resultados referentes a harmônicos apresentam valores consideráveis, o que era esperado, uma vez que neste sinal não há a presença de componentes inter-harmônicas. Além disso, os valores dos grupos e

Tabela 8 – Estimação de frequência

Sinal de Entrada	Resultado Obtido	Erro (mHz)
51 Hz	50,9996 Hz	0,4
55 Hz	54,9987 Hz	1,3
60 Hz	60,0007 Hz	0,7
65 Hz	65,0067 Hz	6,7
69 Hz	69,0034 Hz	3,4

Fonte: Elaborado pelo autor (2021).

Tabela 9 – Resultados de harmônicos

Sinal 1				
Harmônico		Inter-harmônico		
Grupo	Subgrupo	Grupo	Subgrupo	
1	0,999812	0,999812	0	0
2	0	0	0	0
3	0,199922	0,199922	0	0
4	0	0	0	0
5	0,099964	0,099964	0	0
6	0	0	0	0
Sinal 2				
Harmônico		Inter-harmônico		
Grupo	Subgrupo	Grupo	Subgrupo	
1	1,006222	0,992926	0,164687	0,163191
2	0,085790	0,080815	0,009949	0,009219
3	0,006324	0,002646	0,003873	0,003464
4	0,003162	0,001413	0,002236	0,002146
5	0,002011	0,001003	0,002014	0,001853
6	0,001421	0	0,001054	0,001032

Fonte: Elaborado pelo autor (2021).

subgrupos 1, 3 e 5 correspondem aos valores de amplitude dos harmônicos presentes no sinal. Para este sinal $THD = THDG = THDS = 22,36\%$.

O sinal de teste 2 por sua vez, por apresentar componente inter-harmônica entre 60 Hz e 120 Hz, faz com que surjam valores no primeiro grupo e subgrupo inter-harmônico.

Para este sinal, $THD = 8,72\%$, $THDG = 8,56\%$ e $THDS = 8,15\%$.

Como discutido anteriormente, a norma 61000-4-15 (IEC, 2010) descreve em detalhes diversos testes necessários para validação de medidores de parâmetros indicadores de flutuação de tensão. O *flickerímetro* embarcado no coprocessador proposto foi testado para todos estes sinais, e cumpriu com os requisitos exigidos para cada um deles.

A Tabela 10 apresenta alguns dos resultados obtidos para o teste com flutuação senoidal de tensão. A Tabela 11, por sua vez, apresenta alguns dos resultados referentes ao teste de flutuação quadrada de tensão. A Tabela 12 apresenta alguns dos resultados obtidos no teste de variação de tensão retangular.

Tabela 10 – Flutuação senoidal de tensão

Flutuação Senoidal de Tensão	
Valor Esperado : $P_{inst,max} = 1,00 \pm 0,05$	
Frequência Flutuação (Hz)	$P_{inst,max}$
0,5	1,01
1,5	1,00
8,8	1,00
33 1/3	0,97
40	0,99

Fonte: Elaborado pelo autor (2021).

Tabela 11 – Flutuação quadrada de tensão

Flutuação Quadrada de Tensão	
Valor Esperado : $P_{inst,max} = 1,00 \pm 0,05$	
Frequência Flutuação (Hz)	$P_{inst,max}$
0,5	1,00
3,5	0,99
8,8	1,00
18	1,01
22	0,98
25,5	0,98
33 1/3	0,99
37	1,00
40	1,01

Fonte: Elaborado pelo autor (2021).

Tabela 12 – Variação de tensão retangular

Variação de Tensão Retangular			
Valor Esperado : Pst = 1,00 +/- 0,05			
Mudanças por minuto	Pst	Mudanças por minuto	Pst
1	0,99	110	1,01
2	1,02	1620	1,00
7	0,99	4800	1,03
39	1,01	-	-

Fonte: Elaborado pelo autor (2021).

Por fim, a Tabela 13 apresenta o consumo de recursos utilizados pelos processadores e todas as outras estruturas de controle implementadas. O FPGA considerado pertence à família *Cyclone V*, da fabricante Intel®.

Tabela 13 – Recursos utilizados da FPGA

Recurso	Total Utilizado	%
Lógica	8623	21
Pinos	73	23
Blocos de Memória	559293	10
Bloco DSP	5	4

Fonte: Elaborado pelo autor (2021).

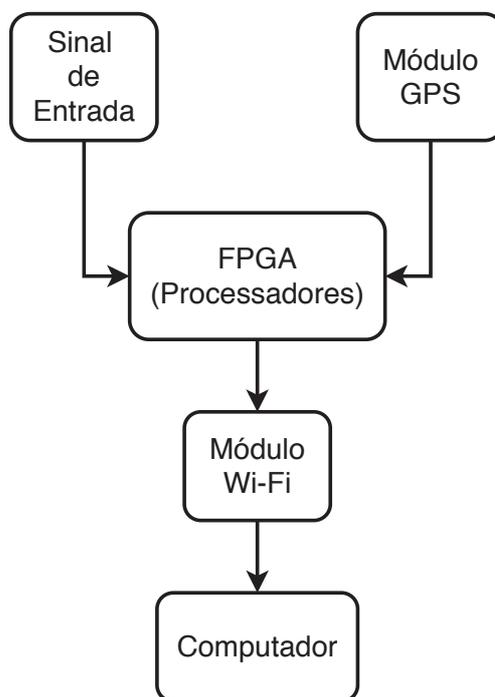
5.2 RESULTADOS PRÁTICOS

Esta seção tem como objetivo apresentar os resultados de cunho mais prático, isto é, obtidos com os algoritmos gravados e em execução de fato dentro do FPGA. Para tal, inicialmente serão descritas em detalhes todas as etapas percorridas até a obtenção dos resultados, ou seja, todos os componentes adicionais, que não estavam presentes nas etapas de simulação. E ao fim da seção, os resultados obtidos serão apresentados.

O Diagrama 9 tem como objetivo fornecer uma visão completa do sistema. Entretanto, diferentemente do Diagrama 2, presente no capítulo anterior, este possui um viés diferente, mais focado nas estruturas de interface entre o FPGA, os dados de entrada e o armazenamento dos resultados, do que nos processadores em si.

A geração do sinal de entrada pode ser feita através das mais diversas abordagens, desde que o sinal de saída do bloco seja digital. Sendo assim, para os resultados apresentados nesta seção, os sinais analógicos, com as características desejadas, foram gerados,

Diagrama 9 – Uma visão ainda mais geral do sistema



Fonte: Elaborado pelo autor.

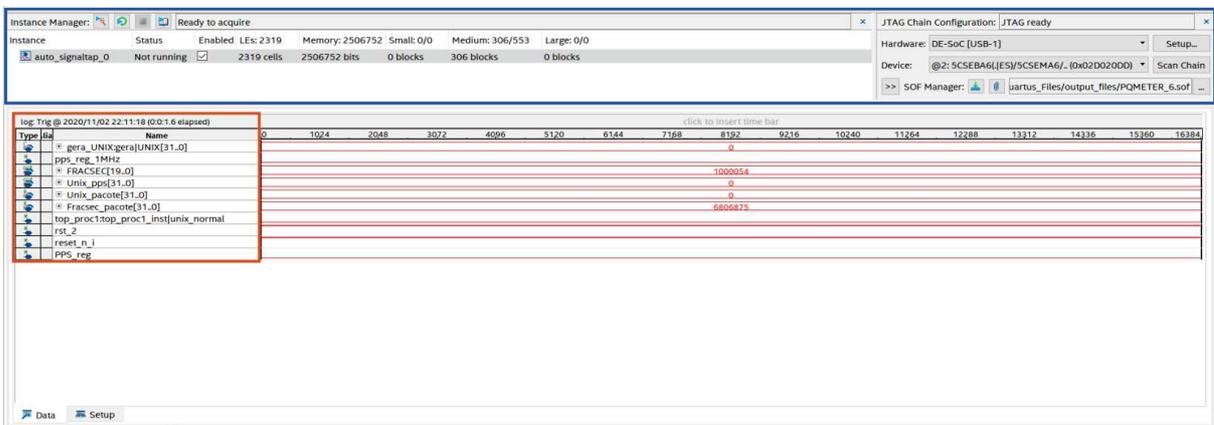
digitalizados e salvos em arquivos de texto, através do *software* Matlab[®]. Estes arquivos são carregados em três Memórias Somente de Leitura (do inglês, *Read-Only Memory*) (ROM), internas ao FPGA. Uma vez preenchidas, estas memórias são lidas e suas amostras são aplicadas às entradas correspondentes dos processadores.

O módulo GPS, como mencionado anteriormente, tem como objetivo fornecer a estampa de tempo e o pulso de resincronização, de acordo com as exigências de precisão da norma em questão. O módulo utilizado no presente trabalho é o modelo Neo 6M, da fabricante U-Blox (U-BLOX, 2011). O intermédio entre o FPGA e o computador, bem como o *software* de decodificação dos pacotes e armazenamento das informações, são considerados trabalhos futuros.

Para auxiliar na visualização e monitoramento dos sinais presentes no FPGA, a IDE Quartus Prime[®], utilizada para a programação do FPGA, oferece uma ferramenta chamada SignalTap[®]. A sua interface pode ser vista nas Figuras 16 e 17. A Figura 16 apresenta a aba de observação das formas de onda. As variáveis a serem observadas estão contidas na janela destacada em laranja. A Figura 17, por sua vez, apresenta a aba de configurações. Algumas definições referentes ao sinal de *trigger*, os sinais à serem observados e as definições do formato de saída são apresentadas na janela destacada em verde. O sinal de *clock*, a densidade de amostras a serem coletadas e algumas outras definições relacionadas ao sinal de *trigger* são definidas na janela destacada em amarelo. Para monitorar os sinais

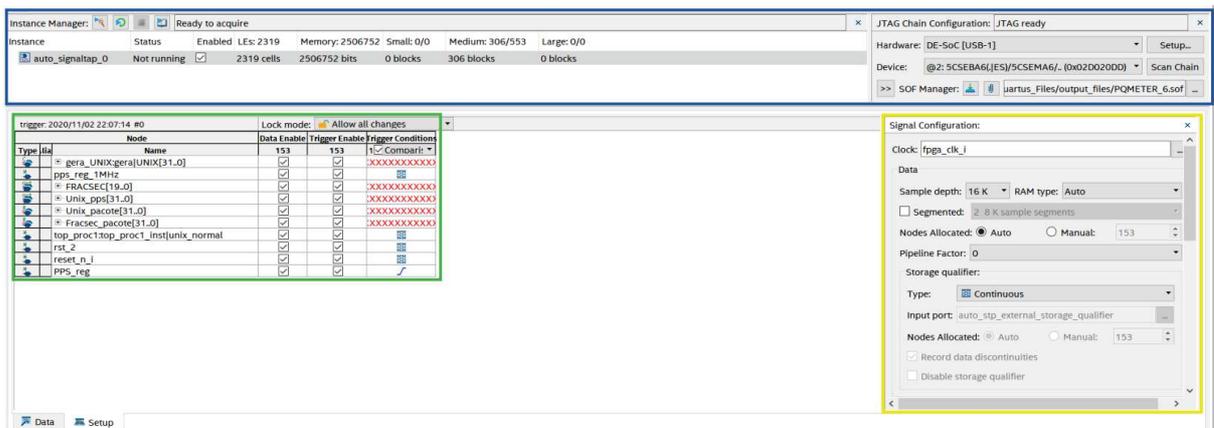
do FPGA, esta ferramenta faz uso da memória interna do dispositivo. Por esta razão, deve ser feito um compromisso entre o valor da densidade de amostras, definidas na janela destacada em amarelo, e a quantidade de variáveis a serem observadas, definidas na janela destacada em verde. Uma vez escolhidos estes parâmetros, as informações referentes ao consumo total de recursos são atualizadas e exibidas na janela destacada em azul. Para os parâmetros definidos na Figura 17, pode-se ver que são consumidos 306, dos 553 blocos disponíveis. Vale ressaltar que quanto maior o número de blocos utilizados, mais demorada é a compilação, e ainda, caso este valor exceda o limite disponível, o programa será incapaz de sintetizar o projeto. Além disso, a janela destacada em azul ainda contém informações sobre o dispositivo utilizado e qual o arquivo a ser programado.

Figura 16 – Signaltap - Aba de sinais (Data)



Fonte: Elaborado pelo autor (2021).

Figura 17 – Signaltap - Aba de configurações (Setup)



Fonte: Elaborado pelo autor (2021).

A Figura 18 apresenta alguns dos resultados entregues pelo processador P1, frente à um sinal senoidal com frequência igual a 60 Hz e amplitude unitária, sem nenhum distúrbio.

Nela é possível observar a medição de frequência, neste caso 60,01 Hz e o resultado da medição do valor RMS da entrada, calculado em uma janela de 12 ciclos, igual a 49984 na escala interna, o que corresponde a 0,99984 V de pico. Através de comparações, o processador atualiza e retorna os valores referentes a sub e sobre desvio. Os campos de UNIX e FRACSEC correspondem a estampa de tempo do início da janela de 12 ciclos, utilizada para o cálculo do valor RMS.

Figura 18 – Resultados entregues pelo processador P1

Name	0	1	2
⊕ Frequência - 10s - Fase A			60010
⊕ RMS 12 ciclos - Fase A			49984
⊕ Sub Desvio - Fase A			49984
⊕ Sobre Desvio - Fase A			50000
⊕ UNIX - RMS 12 ciclos - Fase A			1606146649
⊕ FRACSEC - RMS 12 ciclos - Fase A			118289
Sinal de Trigger			

Fonte: Elaborado pelo autor (2021).

A Tabela 14 apresenta alguns dos resultados obtidos pelo algoritmo de estimação de frequência, para sinais com as mais diferentes frequências, dentro da faixa de 51 Hz a 69 Hz, exigida pela norma. Em todos os casos testados, a exigência de erro máximo estipulada pela norma, que é de 10 mHz, foi atendida.

Tabela 14 – Resultados de medição de frequência

Esperado	Obtido	Erro	Esperado	Obtido	Erro
51 Hz	51,00096 Hz	0,96 mHz	61 Hz	61,00532 Hz	5,32 mHz
52 Hz	52,00218 Hz	2,18 mHz	62 Hz	62,00144 Hz	1,44 mHz
53 Hz	53,00138 Hz	1,38 mHz	63 Hz	63,00044 Hz	0,44 mHz
54 Hz	54,00193 Hz	1,93 mHz	64 Hz	64,00020 Hz	0,20 mHz
55 Hz	55,00163 Hz	1,63 mHz	65 Hz	65,00656 Hz	6,56 mHz
56 Hz	56,00169 Hz	1,69 mHz	66 Hz	66,00498 Hz	4,98 mHz
57 Hz	57,00044 Hz	0,44 mHz	67 Hz	67,00254 Hz	2,54 mHz
58 Hz	58,00547 Hz	5,47 mHz	68 Hz	68,00120 Hz	1,20 mHz
59 Hz	59,00184 Hz	1,84 mHz	69 Hz	69,00290 Hz	2,90 mHz
60 Hz	60,00091 Hz	0,91 mHz	60,78 Hz	60,78660 Hz	6,60 mHz
60,5 Hz	60,50596 Hz	5,96 mHz	63,28 Hz	63,28317 Hz	3,17 mHz

Fonte: Elaborado pelo autor (2021).

A Tabela 15 apresenta os resultados retornados pelo processador P2, referentes à dois sinais com características harmônicas distintas. O sinal utilizado na realização do primeiro teste é composto por : Componente fundamental com amplitude igual a 1 (100%), componente harmônica de terceira ordem, com amplitude igual a 0,12 (12%), componente harmônica de quarta ordem, com amplitude 0,08 (8%) e componente harmônica de sexta ordem, com amplitude 0,05 (5%). O sinal utilizado para o segundo teste, por sua vez, é constituído pela componente fundamental, com amplitude 1 (100%), uma componente harmônica de segunda ordem, com amplitude 0,18 (18%), uma componente interharmônica, em 135 Hz, com amplitude igual a 0,07 (7%) e uma componente harmônica de terceira ordem, a qual possui amplitude igual a 0,15 (15%).

Tabela 15 – Resultados de harmônicos

Sinal 1				
Harmônico		Inter-harmônico		
Grupo	Subgrupo	Grupo	Subgrupo	
1	0,999827	0,999827	0	0
2	0	0	0	0
3	0,119954	0,119954	0	0
4	0,079987	0,079987	0	0
5	0	0	0	0
6	0,049990	0,049990	0	0
Sinal 2				
Harmônico		Inter-harmônico		
Grupo	Subgrupo	Grupo	Subgrupo	
1	0,999817	0,999817	0	0
2	0,193122	0,180049	0,069843	0,069843
3	0,149953	0,149953	0	0
4	0	0	0	0
5	0	0	0	0
6	0	0	0	0

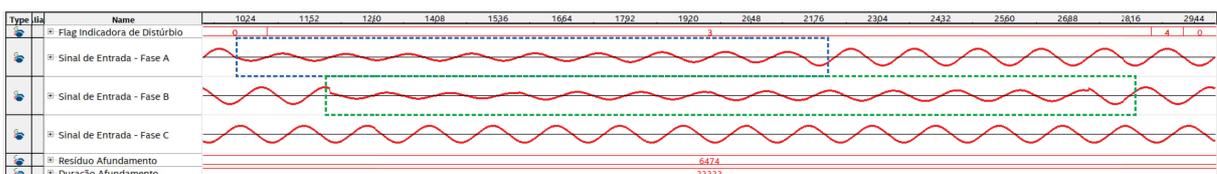
Fonte: Elaborado pelo autor (2021).

Com relação ao sinal de teste 1, devido a sua natureza de construção, era esperado que os valores de grupo e subgrupo inter-harmônico possuíssem valores bem próximos, ou iguais, a zero. Vale ainda notar que, os valores de grupo e subgrupo harmônico, correspondem às amplitudes dos componentes harmônicos presentes no sinal de teste. Neste caso, $THD = THDG = THDS = 15,27\%$.

Quanto aos resultados referentes ao sinal de teste 2, é possível perceber uma maior interferência do componente inter-harmônico no grupo harmônico 2, do que no subgrupo harmônico 2. Isto ocorre porque, apesar de ambos serem obtidos através da análise dos componentes no entorno do harmônico, neste caso 120 Hz, o cálculo de grupo considera uma quantidade maior de bins, o que inclui o componente em 135 Hz, enquanto o subgrupo considera apenas os componentes imediatamente vizinhos ao harmônico, onde a interferência é menor. Quanto aos grupos e subgrupos inter-harmônicos, os únicos que possuem valores diferentes de zero são o grupo e o subgrupo 2, os quais contém o componente inter-harmônico inserido em 135 Hz. Para este sinal, $THD = 29,21\%$, $THDG = 24,46\%$ e $THDS = 23,44\%$.

A Figura 19 apresenta o comportamento do processador P3 durante a ocorrência de um afundamento. O distúrbio tem início na fase A, e sua detecção pelo processador é representada através da mudança do valor da *flag* indicadora, de 0, que indica funcionamento normal, para 3, que indica início de um afundamento. Pouco tempo depois, a fase B também entra em regime de afundamento. Como o sistema já estava em afundamento, devido a fase A, isto não é considerado um novo evento, e sim parte do mesmo que estava em aberto. Alguns ciclos depois, a fase A retorna a faixa de funcionamento normal, mas isto não caracteriza o fim do evento, uma vez que a fase B ainda está em regime de afundamento. Em seguida, quando a fase B retorna a faixa de funcionamento normal, o algoritmo detecta o fim do distúrbio, altera o valor da *flag* indicadora para 4, que indica fim de um afundamento, e fornece os valores de resíduo e duração do evento que acabou de ser concluído. Por fim, a *flag* indicadora retorna ao seu valor padrão, 0.

Figura 19 – Comportamento do processador P3 durante a ocorrência de um afundamento



Fonte: Elaborado pelo autor (2021).

A Tabela 16 apresenta os resultados de resíduo e duração, fornecidos por P3, para alguns dos diferentes distúrbios testados. Em todos os casos avaliados, os erros obtidos tanto no resíduo, onde o máximo permitido é 0,2% do valor nominal da tensão de entrada (0,7071V (RMS)), ou 0,0014142V, quanto na duração, onde o máximo permitido é 1 ciclo, ou 0,0167 s, atenderam aos requisitos da norma adotada.

Como discutido no início deste seção, todos estes resultados foram obtidos através da leitura de dados carregados em uma memória ROM. Devido às limitações físicas do equipamento, não foi possível realizar os testes referentes a flutuação de tensão, uma vez que

Tabela 16 – Testes com variação de tensão

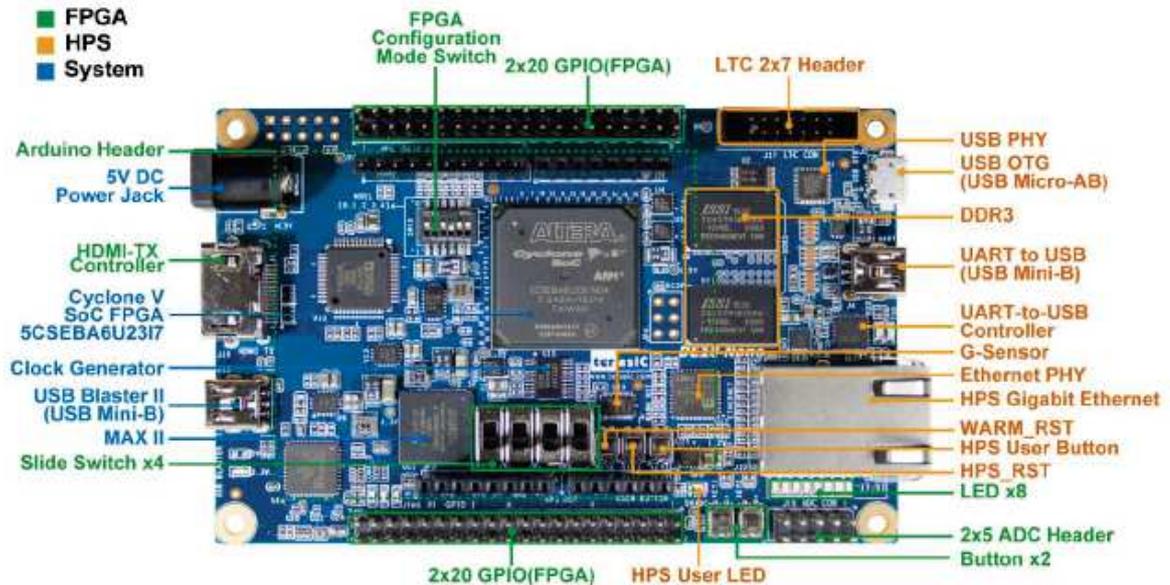
Afundamento 1			
-	Entrada	Resultado	Erro
Resíduo (RMS)	0,23688 V	0,23677 V	0,00011
Duração (s)	0,15	0,15833	0,00833
Afundamento 2			
-	Entrada	Resultado	Erro
Resíduo (RMS)	0,21000 V	0,20990 V	0,00010
Duração (s)	0,20	0,20833	0,00833
Elevação 1			
-	Entrada	Resultado	Erro
Resíduo (RMS)	1,00409 V	1,00397 V	0,00012
Duração (s)	0,175	0,18330	0,00830
Elevação 2			
-	Entrada	Resultado	Erro
Resíduo (RMS)	0,83439 V	0,83428 V	0,00011
Duração (s)	0,075	0,07499	0,00001
Interrupção			
-	Entrada	Resultado	Erro
Resíduo (RMS)	0,02333 V	0,02302	0,00031
Duração (s)	0,05	0,04167	0,00833

Fonte: Elaborado pelo autor (2021).

para obter o P_{st} seriam necessários 10 minutos de sinal, o que demandaria 4608000 amostras. Como os parâmetros de flutuação de tensão são extremamente sensíveis as variações de amplitude, apenas a leitura de uma memória de tamanho limitado, por exemplo 2048, repetidas vezes até completar os 10 minutos de sinal necessários, não representaria bem o sinal original. Portanto, a validação deste algoritmo é considerada trabalho futuro.

Por fim, a Tabela 17 apresenta o consumo de recursos utilizados pelo coprocessador embarcado. Foi utilizado o kit de desenvolvimento DE10-Nano (TERASIC, 2018), da fabricante Terasic[®]. Este kit embarca um FPGA pertencente à família *Cyclone V*, mais especificamente o modelo 5CSEBA6U2317, da fabricante Intel[®]. Este modelo possui 110K elementos lógicos programáveis, 5570 Kbits de memória embarcada e *clock* de 50 MHz. A Figura 20 apresenta o kit de desenvolvimento. Os componentes relacionados ao FPGA estão destacados em verde.

Figura 20 – Vista superior do kit de desenvolvimento DE10-Nano



Fonte: (TERASIC, 2018).

Tabela 17 – Recursos utilizados da FPGA

Recurso	Total Utilizado	%
Lógica	10807	26
Pinos	63	20
Blocos de Memória	846876	15
Bloco DSP	12	11

Fonte: Elaborado pelo autor (2021).

5.3 CONCLUSÕES PARCIAIS

Este capítulo apresentou os resultados obtidos pelo coprocessador, frente à uma série de sinais, com as mais diferentes características. Inicialmente, foi introduzido o conceito de simulação funcional, e em seguida foram apresentados os resultados referentes a mesma. Todos os testes considerados atingiram os requisitos exigidos pela norma em questão. Em seguida, foram apresentados os resultados de teor mais prático, com o projeto embarcado em *hardware*. Novamente todos os testes, com exceção da flutuação de tensão que, por questões de memória e abordagem escolhida não pode ser realizado, atenderam as exigências da norma adotada.

6 CONCLUSÕES

Este trabalho apresentou o desenvolvimento de um coprocessador de qualidade da energia padrão classe A, em conformidade com a norma IEC 61000-4-30. Este sistema tem como principal objetivo auxiliar na determinação dos níveis de QEE de um determinado ponto do sistema, através do cálculo de uma série de parâmetros, tais como magnitude e frequência, a partir do sinal de entrada medido no ponto de interesse.

Inicialmente, foram apresentadas as principais características do processo de monitoramento de parâmetros de QEE, e algumas das abordagens presentes na literatura, que fazem uso de FPGA. Em seguida, foi feita uma revisão sobre a medição e avaliação dos parâmetros de QEE considerados, de acordo com a norma internacional IEC 61000-4-30. Logo após, o sistema proposto foi apresentado, e todos os aspectos de implementação e funcionamento de seus componentes foram descritos. Por fim, foram apresentados os resultados obtidos para diferentes sinais de teste.

A simulação funcional mostrou-se uma importante aliada na verificação da lógica implementada, tanto nos processadores quanto nas estruturas auxiliares, durante todo o processo de desenvolvimento do coprocessador. Através dela foi possível comprovar a eficácia do trabalho proposto no monitoramento de parâmetros de QEE, uma vez que todos os requisitos exigidos pela norma adotada foram atendidos. No entanto, ela não é capaz de emular os efeitos de latência e temporização. Para tal, o projeto foi embarcado no FPGA *Cyclone V*, da Intel®, e testado com uma série de sinais. Novamente, em todos os casos avaliados o coprocessador atingiu os requisitos definidos pela norma em questão. É válido ressaltar que, a adição de novos processadores ou funções não interfere no funcionamento dos processadores já implementados, tornando o sistema ainda mais flexível.

Como mencionado anteriormente, a utilização de processadores embarcados proporciona uma economia de recursos de *hardware*, uma vez que será alocada somente a área necessária para a execução da função desejada, o que pode ser comprovado ao avaliarmos o consumo final obtido, que foi de 26% de elementos lógicos e 20% de blocos de memória. Vale ressaltar que na prática, isto significa que é possível embarcar o projeto do coprocessador em FPGAs menos poderosos, que consequentemente são mais baratos, o que torna ainda mais viável a abordagem proposta pelo trabalho, para a construção de um monitor de parâmetros de QEE padrão classe A.

6.1 TRABALHOS FUTUROS

Como trabalhos futuros propõe-se:

- Implementação de um *software* em computador, para decodificar, armazenar e exibir, de forma gráfica, os parâmetros de QEE fornecidos pelo coprocessador.

- Revisão das estruturas implementadas em FPGA, a fim de se otimizar ainda mais a utilização de recursos do *hardware*.
- Validação do coprocessador em bancada, com uma fonte adequada para geração dos sinais de entrada.
- Inclusão de mais processadores ou funções para o monitoramento de outros parâmetros.

APÊNDICE A – Exemplo de um arquivo de *Testbench* escrito em linguagem Verilog

Código A.1 – Exemplo de código de um arquivo de Testbench em linguagem Verilog

```

1
2 'timescale 1ps/1ps // Define a escala de tempo
3 module top_tp(); // Início do módulo de testbench
4
5 reg clk; // Registrador que será utilizado no processo de geração do clock
6 reg rst; // Registrador que será utilizado como sinal de reset
7 integer data_in = 32'd0; // Recebe o sinal de entrada, que neste caso será
   lido de um arquivo de texto
8 reg signed [22:0] in1; // Auxiliar que será utilizado como entrada do mó-
   dulo principal do sistema. Possui 23 bits e é sinalizado.
9 wire signed [31:0] out1; // Auxiliar que será utilizado como saída do mó-
   dulo principal do sistema. Possui 32 bits e é sinalizado.
10
11 initial
12 fork
13     clk <= 1'b0; // Sinal de clock é iniciado com nível lógico 0
14     rst <= 1'b1; // Sinal de reset é iniciado com nível lógico 1, ou seja,
   ativo
15     data_in = $fopen("FaseA.txt","r"); // Vincula a variável data_in com o
   arquivo de texto FaseA.txt. O parâmetro "r" indica leitura
16     #50 rst <= 1'b0; // Indica que, após 50 unidades da escala de tempo
   definida, o sinal de reset será desativado
17 join
18 always #10 clk = ~clk; // A cada 10 unidades da escala de tempo definida, a
   variável clk comutará de valor, tornando-se de fato um sinal de clock
19
20 // Lê uma amostra do arquivo de texto "FaseA", e copia seu valor para a
   variável in1, que será entregue ao módulo principal do sistema
21
22 always @ (posedge clk)
23 begin
24     $fscanf(data_in,"%d",in1);
25 end
26
27 // Instância do módulo principal do sistema
28 Top_level_sistema Top_level_sistema_inst(
29     .clk(clk),
30     .rst(rst),
31     .in1(in1),
32     .out1(out1)
33 )
34 endmodule // Fim do testbench

```

REFERÊNCIAS

- ALTERA. **ModelSim-Altera Software Simulation User Guide**. 2013.
- ANEEL. Resolução normativa nº 871/2020. **Agência Nacional de Energia Elétrica–ANEEL**, 2020.
- ARRAIS, E. *et al.* Fpga versus dsp for wavelet transform based voltage sags detection. In: IEEE. **2014 IEEE International Instrumentation and Measurement Technology Conference (I2MTC) Proceedings**. [S.l.], 2014. p. 643–647.
- BHANDARI, S. *et al.* Methodology for on the fly partial reconfiguration for computation intensive applications on fpga. In: IEEE. **2010 International Conference on Computer Applications and Industrial Electronics**. [S.l.], 2010. p. 597–601.
- BILETSKIY, Y. *et al.* An fpga-based power quality monitoring and event identifier. In: IEEE. **2017 IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)**. [S.l.], 2017. p. 1–6.
- BILIK, P.; KOVAL, L.; HAJDUK, J. Compactrio embedded system in power quality analysis. In: IEEE. **2008 International Multiconference on Computer Science and Information Technology**. [S.l.], 2008. p. 577–580.
- BOLLEN, M. *et al.* Guidelines for good practice on voltage quality monitoring. IET, 2013.
- BOLLEN, M. H. Understanding power quality problems. In: **Voltage sags and Interruptions**. [S.l.]: IEEE press, 2000.
- C4.112, C. J. Guidelines for power quality monitoring measurement locations, processing and presentation of data. 2011.
- CARDENAS, A.; GUZMAN, C.; AGBOSSOU, K. Real-time evaluation of power quality using fpga based measurement system. In: IEEE. **2010 IEEE International Symposium on Industrial Electronics**. [S.l.], 2010. p. 2777–2782.
- CARDENAS, A.; GUZMAN, C.; AGBOSSOU, K. Development of a fpga based real-time power analysis and control for distributed generation interface. **IEEE Transactions on Power Systems**, IEEE, v. 27, n. 3, p. 1343–1353, 2012.
- CHEN, C.-S.; TSAI, Z.-D. *et al.* The fpga based power monitoring system for tps facility. **IPAC2013, China**, 2013.
- CONG, J. *et al.* High-level synthesis for fpgas: From prototyping to deployment. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, IEEE, v. 30, n. 4, p. 473–491, 2011.
- DISTRIBUICAO, P. de. Modulo 8–qualidade da energia eletrica. **Agencia Nacional de Energia Eletrica–ANEEL**, 2010.
- DU, J.; LUO, Z.; WANG, J. High-speed real-time signal processing system design and implementation based on fpga. In: IEEE. **2011 2nd International Conference on Artificial Intelligence, Management Science and Electronic Commerce (AIMSEC)**. [S.l.], 2011. p. 7096–7099.

EDACAFE. **Types of Simulation**. 2021. <<https://www10.edacafe.com/book/ASIC/CH13/CH13.1.php>>. Acesso em : 10/01/2021.

ERIȘTI, B. *et al.* An fpga-based system for real-time monitoring of voltage harmonics. In: . [S.l.: s.n.], 2013.

ERIȘTI, H. *et al.* Optimal feature selection for classification of the power quality events using wavelet transform and least squares support vector machines. **International Journal of Electrical Power & Energy Systems**, Elsevier, v. 49, p. 95–103, 2013.

FERRIGNO, L.; LANDI, C.; LARACCA, M. Fpga-based measurement instrument for power quality monitoring according to iec standards. In: IEEE. **2008 IEEE Instrumentation and Measurement Technology Conference**. [S.l.], 2008. p. 906–911.

FINKER, R. *et al.* An intelligent embedded system for real-time adaptive extreme learning machine. In: IEEE. **2014 IEEE symposium on intelligent embedded systems (IES)**. [S.l.], 2014. p. 61–69.

FOLEA, S.; MOIS, G.; MICLEA, L. Power quality measurement system using fpgas. In: IEEE. **2012 13th International Conference on Optimization of Electrical and Electronic Equipment (OPTIM)**. [S.l.], 2012. p. 1280–1285.

FPGAMARKETSHARE. **FPGA Market Share 2019-2026 Forecasts**. 2021. <<https://www.gminsights.com/industry-analysis/field-programmable-gate-array-fpga-market-size>>. Acesso em : 10/01/2021.

GPSWORLD. **What exactly is GPS NMEA data**. 2021. <<https://www.gpsworld.com/what-exactly-is-gps-nmea-data/>>. Acesso em : 10/01/2021.

HUANG, S.-J.; YANG, T.-M.; HUANG, J.-T. Fpga realization of wavelet transform for detection of electric power system disturbances. **IEEE Transactions on Power Delivery**, IEEE, v. 17, n. 2, p. 388–394, 2002.

IEC. Iec 61000-4-7 electromagnetic compatibility (emc) - part 4-7: Testing and measurement techniques - general guide on harmonics and interharmonics measurements and instrumentation, for power supply systems and equipment connected. **IEC 61000-4-7**, 2009.

IEC. Iec 61000-4-15 electromagnetic compatibility (emc) - part 4-15 : Testing and measurement techniques - flickermeter - functional and design specifications. **IEC 61000-4-15**, 2010.

IEC. Iec 61000-4-30 electromagnetic compatibility (emc) - part 4-30: Testing and measurement techniques-power quality measurement methods. **Testing and Measurement Techniques Power Quality Measurement Methods**, 2015.

INTEL. **Intel Quartus Prime Standard Edition User Guide**. 2018. Updated for Intel Quartus Prime 18.1.

KAPISCH, E. *et al.* An implementation of a power system smart waveform recorder using FPGA and ARM cores. **Measurement**, Elsevier, v. 90, p. 372–381, 2016.

KAPISCH, E. B. **Detecção e compressão de distúrbios elétricos baseadas em plataforma FPGA**. 2015. Dissertação (Mestrado em Engenharia Elétrica) - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Juiz de Fora.

LEGARRETA, A. E.; FIGUEROA, J. H.; BORTOLIN, J. A. An iec 61000-4-30 class a power quality monitor: Development and performance analysis. In: IEEE. **11th International Conference on Electrical Power Quality and Utilisation**. [S.l.], 2011. p. 1–6.

LOPEZ-RAMIREZ, M. *et al.* Fpga-based reconfigurable unit for real-time power quality index estimation. In: IEEE. **2014 International Conference on ReConFigurable Computing and FPGAs (ReConFig14)**. [S.l.], 2014. p. 1–6.

LOZANO, H.; ITO, M. A deeply embedded processor for smart devices. In: IEEE. **2014 International Conference on Smart Computing Workshops**. [S.l.], 2014. p. 79–86.

MARTENS, O. *et al.* Dsp-based power-quality monitoring device. In: IEEE. **2007 IEEE International Symposium on Intelligent Signal Processing**. [S.l.], 2007. p. 1–5.

MARTINEZ-FIGUEROA, G. D. J. *et al.* Fpga-based smart sensor for detection and classification of power quality disturbances using higher order statistics. **IEEE Access**, IEEE, v. 5, p. 14259–14274, 2017.

MARZOUQI, H. *et al.* A high-speed fpga implementation of an rsd-based ecc processor. **IEEE Transactions on very large scale integration (vlsi) systems**, IEEE, v. 24, n. 1, p. 151–164, 2015.

MEYER-BAESE, U.; MEYER-BAESE, U. **Digital signal processing with field programmable gate arrays**. [S.l.]: Springer, 2007. v. 65.

MOHAMED, A. *et al.* A rule based expert system for identification of harmonics originating from single phase nonlinear loads. **International Journal of Emerging Electric Power Systems**, De Gruyter, v. 7, n. 2, 2006.

MOHIDEEN, F. Flexible fpga based embedded system for remote power quality analysis and impulse recording. In: IEEE. **2010 5th International Conference on Industrial and Information Systems**. [S.l.], 2010. p. 286–291.

NAIK, C. A.; KUNDU, P. Power quality index based on discrete wavelet transform. **International Journal of electrical power & energy systems**, Elsevier, v. 53, p. 994–1002, 2013.

NETO, E. F. **Medidor de Flicker Classe F1 em Conformidade com a IEC 61000-4-15 e com o Prodist**. 2011. Trabalho de conclusao de curso.

NIOS, I. **Processor Reference Handbook**. [S.l.]: Altera, 2014.

PALLARES-LOPEZ, V. *et al.* Fpga-based embedded system architecture for power quality measurements. In: IEEE. **2012 IEEE 15th International Conference on Harmonics and Quality of Power**. [S.l.], 2012. p. 507–511.

PARIMALA, K. V.; NISHA, K. Fpga based power quality monitoring using fft method for single phase power metering. In: IEEE. **2016 International Conference on Emerging Technological Trends (ICETT)**. [S.l.], 2016. p. 1–6.

PETROVIĆ, G. *et al.* Power quality meter based on fpga and labview. In: IEEE. **2017 11th International Conference on Measurement**. [S.l.], 2017. p. 151–154.

PUTNAM, A. *et al.* A reconfigurable fabric for accelerating large-scale datacenter services. In: IEEE. **2014 ACM/IEEE 41st International Symposium on Computer Architecture (ISCA)**. [S.l.], 2014. p. 13–24.

QIONG, C.; ZHAO-HUI, W. Research and design of portable fault recorder based on fpga. **Energy Procedia**, Elsevier, v. 12, p. 686–692, 2011.

SAHANI, M.; DASH, P. K. Fpga-based online power quality disturbances monitoring using reduced-sample hht and class-specific weighted rvfn. **IEEE Transactions on Industrial Informatics**, IEEE, v. 15, n. 8, p. 4614–4623, 2019.

SALEM, M. E. *et al.* Development of a dsp-based power quality monitoring instrument for real-time detection of power disturbances. In: IEEE. **2005 International Conference on Power Electronics and Drives Systems**. [S.l.], 2005. v. 1, p. 304–307.

SANTOS, V. A. M. *et al.* Implementao de circuitos aritmticos em ponto flutuante, utilizando formato com nmero de bits configuravel. In: **Anais do XXII Congresso Brasileiro de Automtica**. [S.l.: s.n.], 2018.

SCHOEBERL, M. Leros: A tiny microcontroller for FPGAs. In: IEEE. **2011 21st International Conference on Field Programmable Logic and Applications**. [S.l.], 2011. p. 10–14.

SHU, S.-B. *et al.* Design and implementation of a portable power quality monitoring device based on dsp and arm. **Power System Protection and Control**, Power System Protection and Control Press, a No. 1706 XJ Avenue c Xuchang, v. 38, n. 24, p. 185–189, 2010.

TAN, R. H.; WONG, S.; WONG, T. Design of virtual power frequency meter based on iec 61000-4-30 power quality standard. In: IEEE. **2013 IEEE International Conference on Smart Instrumentation, Measurement and Applications (ICSIMA)**. [S.l.], 2013. p. 1–5.

TECHNOLOGY, S. **NMEA Reference Manual**. 2007. Sirf Technology NMEA Reference Manual.

TERASIC. **DE10-Nano User Manual**. 2018.

TRIMBERGER, S. M. S. Three ages of fpgas: A retrospective on the first thirty years of fpga technology: This paper reflects on how moore’s law has driven the design of fpgas through three epochs: the age of invention, the age of expansion, and the age of accumulation. **IEEE Solid-State Circuits Magazine**, IEEE, v. 10, n. 2, p. 16–29, 2018.

U-BLOX. **Datasheet U-blox Neo-6M**. 2011.

XILINX. **Functional Simulation Xilinx**. 2021. <https://www.xilinx.com/support/documentation/sw_manuals/xilinx11/ise_c_simulation_functional.htm>. Acesso em : 10/01/2021.

YANG, G.; WEN, B. A device for power quality monitoring based on arm and dsp. In: IEEE. **2006 1ST IEEE Conference on Industrial Electronics and Applications**. [S.l.], 2006. p. 1–5.

YILDIRIM, O. *et al.* Fpga-based online power quality monitoring system for electrical distribution network. **Measurement**, Elsevier, v. 121, p. 109–121, 2018.

ZHANG, M.; LI, K. Dsp-fpga based real-time power quality disturbances classifier. In: IEEE. **IEEE PES T&D 2010**. [S.l.], 2010. p. 1–6.