UNIVERSIDADE FEDERAL DE JUIZ DE FORA
FACULDADE DE ENGENHARIA
ENGENHARIA ELÉTRICA — TELECOMUNICAÇÕES

Matheus Teixeira Perenciolo

Estudo de não linearidades em conversores para sistemas *in-band full-duplex* PLC banda larga

Juiz de Fora

2026

Ficha catalográfica elaborada através do Modelo Latex do CDC da UFJF com os dados fornecidos pelo(a) autor(a)

Perenciolo, Matheus Teixeira.

Estudo de não linearidades em conversores para sistemas *in-band full-duplex* PLC banda larga / Matheus Teixeira Perenciolo. – 2026.

40 f. : il.

Orientador: Moises Vidal Ribeiro

Coorientador: Yan Furtado Coutinho

Trabalho de Conclusão de Curso – Universidade Federal de Juiz de Fora, Faculdade de Engenharia. Engenharia Elétrica — Telecomunicações, 2026.

1. Cancelamento de eco. 2. Conversor analógico-digital. 3. Conversor digital-analógico. 4.In-band full-duplex. 5.Não linearidades. 6. PLC banda larga. I. Ribeiro, Moisés Vidal, orient. II. Coutinho, Yan Furtado, coorient.

Matheus Teixeira Perenciolo

Estudo de não linearidades em conversores para sistemas *in-band full-duplex* PLC banda larga

Monografia apresentada à Faculdade de Engenharia da Universidade Federal de Juiz de Fora, Habilitação em Telecomunicações, como requisito para aprovação na disciplina ENE064 - Trabalho de Conclusão de Curso.

Orientador: Prof. Dr. Moises Vidal Ribeiro

Coorientador: Me. Yan Furtado Coutinho

Juiz de Fora

2026

Matheus Teixeira Perenciolo

Estudo de não linearidades em conversores para sistemas *in-band full-duplex* PLC banda larga

Monografia apresentada à Faculdade de Engenharia da Universidade Federal de Juiz de Fora, Habilitação em Telecomunicações, como requisito para aprovação na disciplina ENE064 - Trabalho de Conclusão de Curso.

Aprovada em 30 de janeiro de 2026

BANCA EXAMINADORA

Prof. Dr. Moises Vidal Ribeiro - Orientador
Universidade Federal de Juiz de Fora

Me. Yan Furtado Coutinho - Coorientador
Universidade Federal de Juiz de Fora

Me. Thiago Fernandes do Amaral Nogueira
Universidade Federal de Juiz de Fora

Eng. Gustavo Moraes Campos
Universidade Federal de Juiz de Fora

À minha família, amigos, orientadores e colegas do LCOM.

AGRADECIMENTOS

Primeiramente, agradeço a Deus por me conceder saúde e determinação para realizar este trabalho.

Gostaria de agradecer à minha família e aos meus parentes, especialmente à minha mãe, Zelia Maria Teixeira Perenciolo, ao meu pai, Agenor Ricardo Perenciolo, aos meus irmãos, Lucas Teixeira Perenciolo e Ana Luiza Teixeira Perenciolo, e ao meu sobrinho, Bernardo Machado Perenciolo, por estarem sempre presentes, incentivando-me nos estudos e apoiando-me em momentos difíceis ao longo dessa jornada.

Agradeço sinceramente ao Prof. Dr. Moisés Vidal Ribeiro pela orientação, pelos conselhos e pelos ensinamentos valiosos que contribuíram para o meu crescimento pessoal e profissional, tanto durante a minha iniciação científica no Laboratório de Comunicações quanto ao longo do desenvolvimento deste Trabalho de Conclusão de Curso.

Expresso minha gratidão ao meu coorientador, Me. Yan Furtado Coutinho, que esteve sempre disposto a ajudar mesmo à distância. Sua orientação e apoio foram essenciais para a elaboração deste trabalho.

Também agradeço ao Me. Túlio Fernandes Moreira por estar sempre ao meu lado, pela amizade e pelo auxílio no meu primeiro artigo publicado, que, indiretamente, contribuiu para este trabalho.

Agradeço aos membros da banca examinadora, Me. Thiago Fernandes do Amaral Nogueira e Eng. Gustavo Moraes Campos, pela disponibilidade e pelas sugestões que enriqueceram esta pesquisa. Aos meus amigos e à excelente equipe do Laboratório de Comunicações, agradeço pelo apoio, pelos ensinamentos e pelas experiências compartilhadas ao longo destes anos de graduação.

Por fim, agradeço a todos os professores e funcionários da Universidade Federal de Juiz de Fora pela contribuição e pelo apoio à minha formação acadêmica e profissional.

"All models are wrong, but some are useful."
George E. P. Box

RESUMO

Neste trabalho, analisa-se o impacto das não linearidades dos conversores analógico-digitais (do inglês, *analog-to-digital converter*) (ADC) e digital-analógicos (do inglês, *digital-to-analog converter*) (DAC) em sistemas *in-band full-duplex* (IBFD) aplicados à comunicação via rede de energia elétrica (do inglês, *power line communication*) (PLC). Para tanto, considera-se o esquema de cancelamento de interferência analógica controlado digitalmente (do inglês, *digitally controlled analog interference cancellation*) (DCAIC) para mitigar a autointerferência (do inglês, *self-interference*) (SI), um dos maiores desafios para a viabilidade do IBFD. Estudos prévios indicam que o DCAIC é eficaz na supressão do ruído de quantização do ADC. Contudo, os estudos existentes não analisam as não linearidades introduzidas pelos conversores no *front-end*. Neste trabalho, essa lacuna é investigada considerando o emprego de um modelo polinomial sem memória para modelar as não linearidades de ADCs e DACs. Para realizar o EC no DCAIC, utiliza-se o algoritmo adaptativo *least mean squares* normalizado (do inglês, *normalized least mean squares*) (NLMS). Resultados numéricos obtidos com canais PLC medidos indicam que a presença de não linearidades nos sistemas IBFD PLC impacta a escolha de ADCs e DACs e, portanto, deve ser considerada na modelagem desses sistemas.

Palavras-chave: cancelamento de eco; conversor analógico-digital; conversor digital-analógico; in-band full-duplex; não linearidades; PLC banda larga.

ABSTRACT

This work investigates the impact of analog-to-digital converter (ADC) and digital-to-analog converter (DAC) nonlinearities for in-band full-duplex (IBFD) power line communication (PLC) systems. Specifically, we consider a digitally controlled analog interference cancellation (DCAIC) architecture to mitigate self-interference (SI), which is a key challenge for practical IBFD operation. Prior studies have shown that DCAIC can effectively suppress ADC quantization noise. However, they do not account for the nonlinear distortions introduced simultaneously by the converters in the front-end. In this work, we address this gap by modeling nonlinear distortions using a memoryless polynomial representation. Echo cancellation (EC) in the DCAIC scheme is implemented using a normalized least mean squares (NLMS) adaptive algorithm. Numerical results obtained with measured PLC channels indicate that the presence of nonlinearities in the IBFD PLC system impacts the choice of ADCs and DACs, something that must be considered when modeling these systems.

Keywords: echo cancellation; analog-to-digital converter; digital-to-analog converter; in-band full-duplex; nonlinearities; broadband PLC.

LISTA DE ILUSTRAÇÕES

Figura 1 – Diagrama de blocos simplificado do sistema IBFD BB-PLC ponto-a-ponto com EC analógico 18
Figura 2 – Diagrama de blocos simplificado do sistema IBFD BB-PLC ponto-a-ponto com EC digital 19
Figura 3 – Representação qualitativa das PSDs dos sinais transmitidos e do ruído e da DRG obtida pelo ECG alcançada para um dado valor de ω. 20
Figura 4 – Diagrama de blocos detalhado do sistema IBFD BB-PLC ponto-a-ponto com EC baseado na arquitetura DCAIC 21
Figura 5 – CFRs dos canais PLC #1, #2 e #3 e do canal SI. 27
Figura 6 – MSE × símbolo HS-OFDM para $k \in \{2, 5, 8, 11\}$ 28
Figura 7 – MSE × símbolo HS-OFDM para $b_{\mathrm{DAC}} = 16$ bits e $b_{\mathrm{ADC}} \in \{8,12,16\}$ bits. 29
Figura 8 – MSE × símbolo HS-OFDM para $b_{\mathrm{ADC}} = 12$ bits e $b_{\mathrm{DAC}} \in \{16,18\}$ bits. 31
Figura 9 – ECG($e^{j\omega}$) para $b_{\mathrm{DAC}} = 16$ bits e $b_{\mathrm{ADC}} \in \{8,12,16\}$ bits. 33
Figura 10 – ECG($e^{j\omega}$) para $b_{\mathrm{ADC}} = 12$ bits e $b_{\mathrm{DAC}} \in \{16,18\}$ bits. 34

LISTA DE TABELAS

Tabela 1 – THD e coeficientes a_3 do modelo polinomial para $b \in \{8,12,16,18\}$ bits. 27

LISTA DE ABREVIATURAS E SIGLAS

ADC	conversor analógico-digital (do inglês, *analog-to-digital converter*)
AF	filtro adaptativo (do inglês, *adaptive filter*)
AWGN	ruído aditivo Gaussiano branco (do inglês, *additive white Gaussian noise*)
BB-PLC	PLC banda larga (do inglês, *broadband* PLC)
CA	atenuação do canal (do inglês, *channel attenuation*)
CFR	resposta em frequência do canal (do inglês, *channel frequency response*)
CIR	resposta ao impulso do canal (do inglês, *channel impulse response*)
DAC	conversor digital-analógico (do inglês, *digital-to-analog converter*)
DCAIC	cancelamento de interferência analógico controlado digitalmente (do inglês, *digitally controlled analog interference cancellation*)
DIC	cancelamento de interferência digital (do inglês, *digital interference cancellation*)
DR	faixa dinâmica (do inglês, *dynamic range*)
DRG	ganho de taxa de dados (do inglês, *data rate gain*)
EC	cancelamento de eco (do inglês, *echo cancellation*)
ECG	ganho de cancelamento de eco (do inglês, *echo cancellation gain*)
HD	*half-duplex*
HS-OFDM	modulação por divisão ortogonal em frequência hermitiana simétrica (do inglês, *hermitian symmetric orthogonal frequency division multiplexing*)
IBFD	*in-band full duplex*
IoT	Internet das Coisas (do inglês, *Internet of Things*)
LMS	*least mean squares*
LPTV	linear e periodicamente variante no tempo (do inglês, *linear periodically time varying*)
LTI	linear e invariante no tempo (do inglês, *linear time-invariant*)
LTV	linear e variante no tempo (do inglês, *linear time-variant*)
MSE	erro quadrático médio (do inglês, *mean squared error*)
NLMS	*least mean squares* normalizado (do inglês, *normalized least mean squares*)
PLC	comunicação via rede de energia elétrica (do inglês, *power line communication*)
PSD	densidade espectral de potência (do inglês, *power spectral density*)
RF	rádio-frequência
RLS	*recursive least squares*
RSI	SI residual (do inglês, *residual self-interference*)
SI	auto-interferência (do inglês, *self-interference*)

SINR	relação sinal ruído mais interferência (do inglês, *signal-to-interference-plus-noise ratio*)
SNR	relação sinal ruído (do inglês, *signal-to-noise ratio*)
SOI	sinal de interesse (do inglês, *signal-of-interest*)
THD	distorção harmônica total (do inglês, *total harmonic distortion*)
TIADC	ADC com intercalação no tempo (do inglês, *time-interleaved* ADC)
WSS	estacionário no sentido amplo (do inglês, *wide-sense stationary*)

LISTA DE SÍMBOLOS

$\in$	Pertence
$\star$	Convolução
$(\cdot)^\intercal$	Operador de transposição
$\max\{\cdot\}$	Operador de máximo
$\min\{\cdot\}$	Operador de mínimo
$\sum$	Operador somatório
$\prod$	Operador produtório
$\delta[\cdot]$	Função impulso no tempo discreto
$\arg\min\{\cdot\}$	Argumento mínimo
$\mathbb{E}\{\cdot\}$	Valor esperado de uma variável aleatória

SUMÁRIO

1 INTRODUÇÃO 14
1.1 OBJETIVOS 16
1.2 ORGANIZAÇÃO DO TRABALHO 16
2 CANCELAMENTO DE ECO EM SISTEMAS *IN-BAND FULL-DUPLEX* PLC BANDA LARGA 17
2.1 CONTEXTUALIZAÇÃO 17
2.2 MODELO DO SISTEMA 20
3 MODELAGEM DAS NÃO LINEARIDADES EM CONVERSORES DAC/ADC 23
3.1 MODELO POLINOMIAL SEM MEMÓRIA 23
3.2 MODELO DE QUANTIZAÇÃO 24
4 RESULTADOS NUMÉRICOS 26
4.1 ANÁLISE DE CONVERGÊNCIA 27
4.2 ANÁLISE DO GANHO DE CANCELAMENTO DE ECO 30
5 CONSIDERAÇÕES FINAIS 35
REFERÊNCIAS 36
APÊNDICE A – Publicações 40

1 INTRODUÇÃO

Nas últimas décadas, tem-se presenciado uma transformação profunda impulsionada pelo avanço das tecnologias de informação e comunicação [1, 2]. A crescente digitalização de processos industriais [3], o uso massivo de dispositivos conectados [4], a popularização da Internet das Coisas (do inglês, *Internet of Things*) (IoT) [5] e o surgimento de novas aplicações baseadas em grandes volumes de dados colocam uma pressão significativa sobre as infraestruturas de comunicação existentes. Essas redes, muitas vezes projetadas para demandas menores, enfrentam o desafio de garantir velocidades de transmissão mais altas, maior confiabilidade e menor latência, sem comprometer a viabilidade econômica de sua expansão.

Nesse contexto, a busca por soluções alternativas e complementares tem se intensificado. Uma dessas alternativas é a comunicação via rede de energia elétrica (do inglês, *power line communication*) (PLC), uma tecnologia que se destaca por aproveitar a infraestrutura elétrica já existente para fins de comunicação de dados [6]. Por meio do uso das redes de distribuição de energia, o PLC possibilita a comunicação em locais onde seria economicamente inviável ou tecnicamente complexo implantar novas infraestruturas de telecomunicações. Essa característica confere à tecnologia um grande potencial de disseminação, especialmente em regiões afastadas de centros urbanos ou em aplicações que exigem baixo custo e ampla cobertura [7].

A tecnologia PLC tem sido amplamente estudada e aplicada em diferentes faixas de frequência, variando desde sistemas de baixa velocidade voltados à automação residencial e à medição inteligente, até sistemas PLC banda larga (do inglês, *broadband* PLC) (BB-PLC), capazes de oferecer taxas de dados mais elevadas [8]. Apesar de suas vantagens, a tecnologia PLC ainda enfrenta desafios intrínsecos à rede elétrica, que não foi originalmente projetada para a transmissão de sinais de alta frequência. A presença de ruídos impulsivos, o aumento da atenuação dos sinais com a frequência e a forte seletividade em frequência são alguns dos fatores que tornam o canal PLC particularmente desafiador do ponto de vista da comunicação de dados.

Diante dessas limitações, novas estratégias vêm sendo propostas para aumentar a eficiência e a capacidade dos sistemas PLC. Uma abordagem promissora é a comunicação *in-band full-duplex* (IBFD) [9], que permite a transmissão e a recepção simultâneas de dados dentro da mesma banda de frequência. Diferentemente dos sistemas *half-duplex* (HD) convencionais, nos quais a comunicação ocorre alternadamente no tempo ou em diferentes faixas de frequência, a tecnologia IBFD elimina essa separação, possibilitando o uso mais eficiente do espectro. Em teoria, o uso de IBFD pode dobrar a taxa de dados sem necessidade de aumentar a potência de transmissão ou ocupar faixas adicionais de frequência, o que representa um avanço significativo em termos de eficiência espectral.

Contudo, a implementação prática da comunicação IBFD não é trivial [10]. Um dos principais desafios está na necessidade de cancelar a auto-interferência (do inglês, *self-interference*) (SI) que o próprio transmissor gera no receptor. Esse problema, denominado cancelamento de eco (do inglês, *echo cancellation*) (EC), requer soluções sofisticadas de hardware e processamento de sinais para que a recepção seja possível sem degradação significativa [11, 12]. Embora a literatura apresente uma extensa gama de trabalhos sobre sistemas sem fio e redes cabeadas convencionais, a aplicação dessa tecnologia em sistemas PLC demanda investigações mais aprofundadas.

Estudos recentes apresentam soluções de EC para sistemas IBFD implementadas por meio de algoritmos adaptativos. Nesse contexto, os autores em [13] propõem uma modificação no algoritmo *least mean squares* (LMS) para reconhecer o comportamento linear e periodicamente variante no tempo (do inglês, *linear periodically time varying*) (LPTV) do canal PLC, reduzindo os impactos sobre a convergência. Porém, a solução proposta em [13] ainda é limitada pelo faixa dinâmica (do inglês, *dynamic range*) (DR) dos conversores, especialmente do conversor analógico-digital (do inglês, *analog-to-digital converter*) (ADC). Sendo assim, os mesmos autores introduziram, em [14], uma solução que mitiga o ruído de quantização adicionado pelo ADC ao sistema IBFD BB-PLC, ao realizar o cancelamento da SI. Além disso, em [15] mostrou-se que o algoritmo *recursive least squares* (RLS) é uma boa alternativa para cenários em que o canal apresente forte comportamento linear variante no tempo (do inglês, *linear time-variant*) (LTV), quando comparado ao LMS utilizado em trabalhos prévios. Contudo, essa vantagem está associada a um custo computacional mais elevado e a uma maior exigência quanto à capacidade de processamento do hardware empregado.

Além dos desafios relacionados ao EC, outro aspecto fundamental para o desempenho dos sistemas IBFD BB-PLC está associado às limitações de hardware, em especial as do ADC e do conversor digital-analógico (do inglês, *digital-to-analog converter*) (DAC). As análises de desempenho da literatura sobre sistemas de comunicação IBFD consideram apenas os efeitos de quantização, assumindo conversores com distorções desprezíveis. No entanto, na prática, esses dispositivos apresentam não linearidades no *front-end* que introduzem distorções significativas nos sinais transmitidos e recebidos, impactando diretamente no desempenho das técnicas de EC [16].

Além disso, a maioria dos trabalhos que investigam os efeitos de não linearidades concentra-se em amplificadores de potência [16, 17, 18], apresentando, em comum, a modelagem baseada na expansão em série de Volterra. Os autores de [16] descrevem uma solução para mitigar o impacto das não linearidades no EC em sistemas IBFD, que consiste em inserir uma etapa de pré-distorção do sinal na banda base, antes da transmissão, e uma etapa de pós-distorção logo na entrada do receptor, no mesmo transceptor. Contudo, [16] aborda IBFD em rádio-frequência (RF). Em [19], é realizada uma modelagem de ADCs com intercalação no tempo (do inglês, *time-interleaved* ADCs) (TIADCs) baseada em

uma série de Volterra híbrida, que combina sinais nos domínios de tempo contínuo e discreto. Além disso, os autores de [19] também apresentam modelos derivados da série de Volterra, com diferentes aplicações: modelo polinomial com memória [16], modelo de Wiener [20], entre outros. No entanto, apesar de sua relevância, a modelagem de não linearidades de conversores ainda é um tema pouco explorado na literatura, especialmente em sistemas IBFD BB-PLC, constituindo um importante tópico a ser investigado para o aprimoramento do desempenho desses sistemas de comunicação.

1.1 OBJETIVOS

Com base no contexto apresentado, o presente trabalho possui os seguintes objetivos:

- Utilizar o algoritmo *least mean squares* normalizado (do inglês, *normalized least mean squares*) (NLMS), pois, ao aumentar a velocidade de convergência em relação ao algoritmo LMS, permite que o sistema PLC IBFD reduza o tempo necessário para estimação do canal de autointerferência, o qual é usado pelo EC;
- Modelar as não linearidades no *front-end* dos conversores ADC e DAC, visando avaliar como os efeitos dessas distorções, juntamente com a quantização, afetam o desempenho de sistemas IBFD BB-PLC.

1.2 ORGANIZAÇÃO DO TRABALHO

Este trabalho está organizado da seguinte forma:

- Capítulo 2: apresenta-se uma contextualização sobre EC e sobre sistemas IBFD BB-PLC e introduz-se o modelo do sistema;
- Capítulo 3: formula-se a modelagem dos conversores para incluir suas não linearidades;
- Capítulo 4: discutem-se os resultados numéricos em termos de convergência do algoritmo adaptativo e ganho de cancelamento de eco (do inglês, *echo cancellation gain*) (ECG);
- Capítulo 5: discutem-se as considerações finais.

2 CANCELAMENTO DE ECO EM SISTEMAS *IN-BAND FULL-DUPLEX* PLC BANDA LARGA

Neste capítulo, contextualiza-se o EC em sistemas IBFD BB-PLC e apresenta-se o modelo do sistema considerado ao longo do trabalho. Inicialmente, na Seção 2.1, são discutidos os desafios inerentes à operação simultânea de transmissão e recepção sobre o mesmo canal físico, com ênfase na SI decorrente do acoplamento entre os sinais transmitido e recebido. Além disso, são detalhadas as principais etapas do processo de EC, composto pelo isolamento proporcionado pelo acoplador híbrido, pelo EC analógico e pelo EC digital, cada uma contribuindo de forma complementar para a mitigação da SI. Por fim, na Seção 2.2, é apresentado o modelo do sistema IBFD BB-PLC considerado neste trabalho, o qual será adotado para a análise em capítulos seguintes.

2.1 CONTEXTUALIZAÇÃO

A eficiência do EC depende de diversos fatores. Entre eles, destacam-se a faixa de frequência adotada, a densidade espectral de potência (do inglês, *power spectral density*) (PSD) do sinal transmitido (que deve obedecer a requisitos regulatórios e normativos) e a PSD do ruído aditivo [21]. Assim, é possível determinar o EC necessário como

$$\mathrm{EC}(e^{j\omega}) = \frac{S_{\mathrm{X}}(e^{j\omega})}{S_{\mathrm{V}}(e^{j\omega})}\,, \tag{2.1}$$

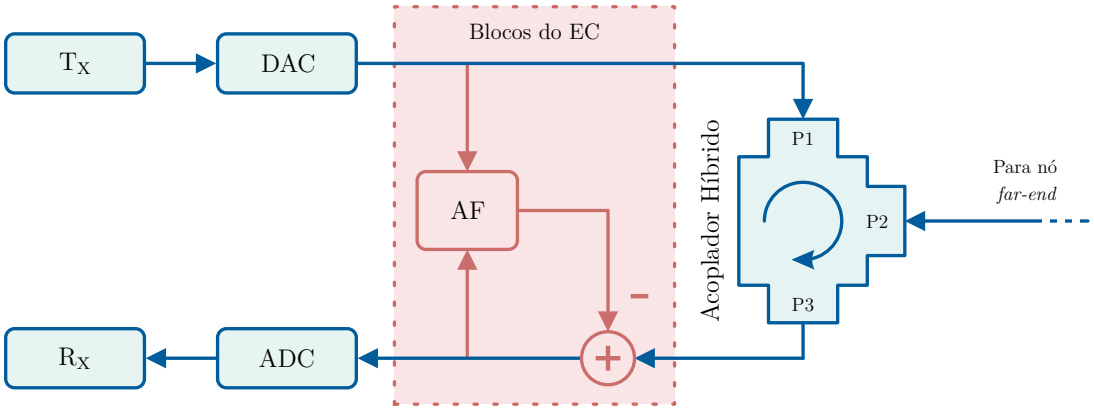
em que $S_{\mathrm{X}}(e^{j\omega})$ representa a PSD do sinal transmitido e $S_{\mathrm{V}}(e^{j\omega})$ é a PSD do ruído aditivo. Na prática, $S_{\mathrm{V}}(e^{j\omega})$ é adotado como uma faixa de valores de PSD, uma vez que o ruído aditivo no meio PLC pode variar significativamente conforme as condições do canal, com base em níveis típicos de ruído de fundo já documentados [22, 23].

Para alcançar esses níveis de EC, geralmente combinam-se três etapas aplicadas de forma sequencial: isolamento do acoplador híbrido, EC analógico e EC digital [9, 10]. Estudos indicam que o isolamento do acoplador híbrido, implementado por meio de um circuito de acoplamento direcional de três portas, pode proporcionar uma mitigação de SI entre 15 e 20 dB quando se utiliza um acoplador híbrido ativo [24, 25]. Dessa forma, as etapas adicionais de cancelamento são necessárias para atingir o nível ideal de supressão de SI.

O EC analógico visa atenuar a SI remanescente após o isolamento proporcionado pelo acoplador híbrido em sistemas IBFD. Embora o acoplador híbrido proporcione um primeiro nível de isolamento entre transmissor e receptor, essa medida geralmente não é suficiente para eliminar completamente a SI, especialmente na presença de SI proveniente do descasamento de impedância na interface com a rede elétrica, também conhecida como SI de reflexão. Dessa forma, o EC analógico atua antes do ADC com o propósito de reduzir o nível da SI residual, como apresentado na Figura 1. Essa etapa é normalmente

implementada por meio da geração de uma réplica analógica do sinal transmitido, cuja amplitude, fase e atraso são ajustados por um filtro adaptativo (do inglês, *adaptive filter*) (AF) de modo a reproduzir a SI, permitindo sua subtração do sinal recebido.

Figura 1 – Diagrama de blocos simplificado do sistema IBFD BB-PLC ponto-a-ponto com EC analógico.



Fonte: Baseado em [13].

Após isolamento passivo do acoplador híbrido e do EC analógico, a SI residual remanescente precisa ser tratado por meio do EC digital, implementado após o ADC, conforme ilustrado na Figura 2. Como se espera, o processamento de sinais no tempo discreto enfrenta limitações impostas pela DR[1] do ADC. Assim sendo, a eficiência do EC digital depende diretamente da capacidade do ADC de quantizar com precisão suficiente a amplitude do sinal recebido, composto tanto pelo sinal de interesse (do inglês, *signal-of-interest*) (SOI) quanto pelo sinal SI. Essas distorções, de natureza não linear, comprometem a eficácia do EC no domínio do tempo discreto, já que fazem uso da versão digitalizada do sinal recebido para suprimir o SI adequadamente [18, 26, 27].

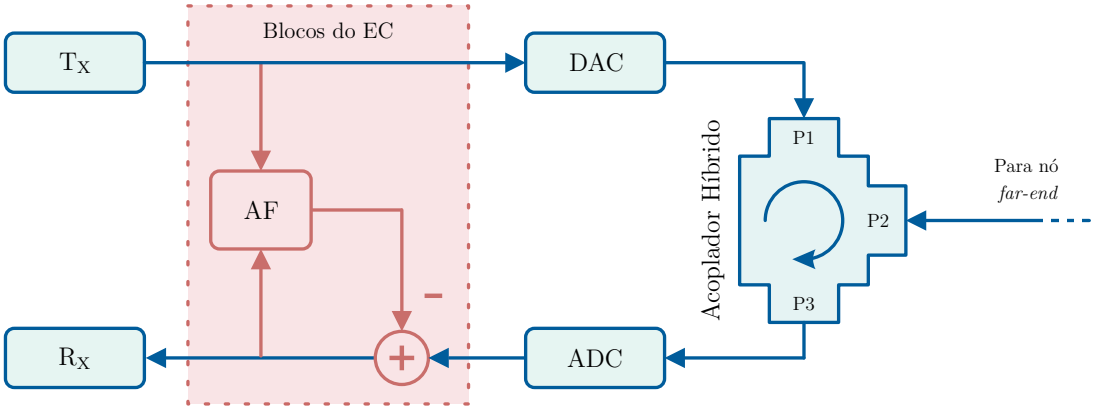
Para ilustrar as limitações do EC digital, considere, por exemplo, uma faixa de frequência de 1,7 a 30 MHz, em que a PSD do sinal transmitido é dada por $S_X(e^{j\omega}) = -50$ dBm/Hz e se utiliza um ADC de $b = 12$ bits com DR aproximada de 60 dB [13, 24]. Assim, a PSD do ruído de quantização introduzido pelo ADC, $S_{QN}(e^{j\omega})$, está 60 dB abaixo da PSD do sinal transmitido, o que pode ser expresso como:

$$\begin{aligned} S_{QN}(e^{j\omega})[\text{dBm/Hz}] &= S_X(e^{j\omega})[\text{dBm/Hz}] - \text{DR[dB]} \\ &= -50 - 60 \\ &= -110 \text{ dBm/Hz}\,. \end{aligned} \tag{2.2}$$

Observe que se a PSD do ruído aditivo $S_V(e^{j\omega}) > -110$ dBm/Hz, a PSD do ruído de quantização introduzido pelo ADC de 12 bits permanece abaixo da PSD do ruído aditivo, o que torna a especificação desse ADC adequada para essa situação. Entretanto,

[1] A DR de um conversor é uma associação da resolução (número de bits) com a amplitude de corte.

Figura 2 – Diagrama de blocos simplificado do sistema IBFD BB-PLC ponto-a-ponto com EC digital.



Fonte: Baseado em [13].

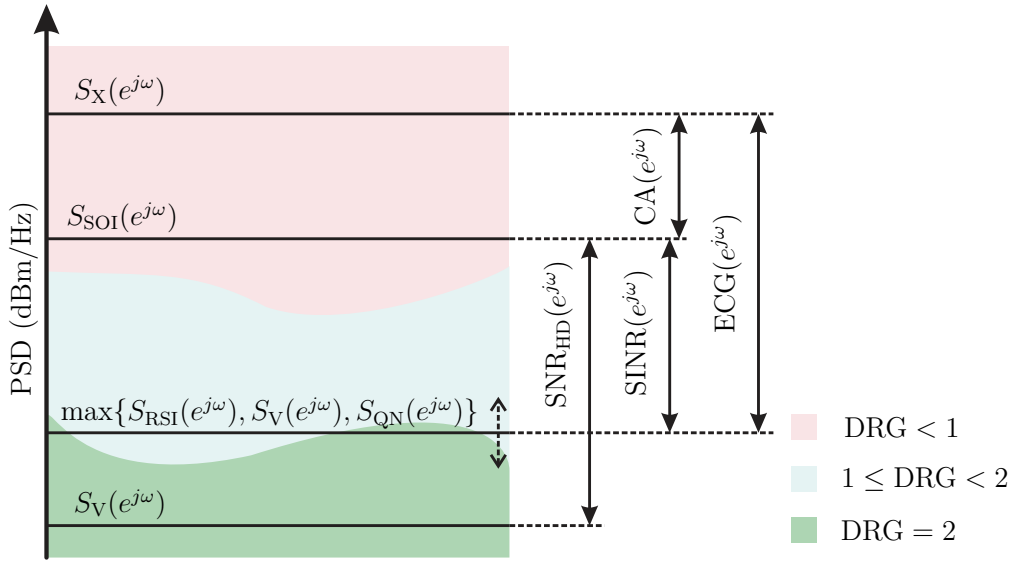
se $S_{\mathrm{V}}(e^{j\omega}) \leq -110$ dBm/Hz, o ADC passa a ser o principal fator de degradação de desempenho do sistema IBFD BB-PLC. Considerando o sinal recebido no tempo discreto, utiliza-se o parâmetro ECG para quantificar o ganho máximo que o EC pode proporcionar. O ECG no domínio da frequência é expresso por

$$\begin{aligned} \mathrm{ECG}(e^{j\omega}) &= \frac{S_{\mathrm{X}}(e^{j\omega})}{S_{\mathrm{RSI}}(e^{j\omega}) + S_{\mathrm{V}}(e^{j\omega}) + S_{\mathrm{QN}}(e^{j\omega})} \\ &\approx \frac{S_{\mathrm{X}}(e^{j\omega})}{\max\left\{S_{\mathrm{RSI}}(e^{j\omega}), S_{\mathrm{V}}(e^{j\omega}), S_{\mathrm{QN}}(e^{j\omega})\right\}}, \end{aligned} \tag{2.3}$$

em que $S_{\mathrm{RSI}}(e^{j\omega})$ é a PSD do sinal SI residual (do inglês, *residual* SI) (RSI) após a aplicação das três etapas de cancelamento (isolamento do acoplador híbrido, EC analógico e EC digital). É importante observar que o $\mathrm{ECG}(e^{j\omega})$ exato resulta da soma das três PSDs no denominador de (2.3). Porém, seguindo a abordagem de [14], adota-se uma aproximação que simplifica a análise, preservando as relações fundamentais entre as PSDs no contexto do sistema IBFD BB-PLC.

A Figura 3 apresenta uma ilustração qualitativa do $\mathrm{ECG}(e^{j\omega})$ obtido a partir de (2.3). Nela, $\mathrm{CA}(e^{j\omega})$ representa a atenuação do canal (do inglês, *channel attenuation*) (CA) PLC. Além disso, $\mathrm{SINR}(e^{j\omega})$ representa a relação sinal ruído mais interferência (do inglês, *signal-to-interference-plus-noise ratio*) (SINR), e $\mathrm{SNR}_{\mathrm{HD}}(e^{j\omega})$ corresponde à relação sinal-ruído (do inglês, *signal-to-noise ratio*) (SNR) em modo HD, todos no domínio da frequência. É importante notar que, quando $S_{\mathrm{V}}(e^{j\omega})$ é o fator limitante em (2.3), o ganho de taxa de dados (do inglês, *data rate gain*) (DRG) do sistema IBFD BB-PLC tende a dobrar. Por outro lado, quando $S_{\mathrm{RSI}}(e^{j\omega})$ ou $S_{\mathrm{QN}}(e^{j\omega})$ se torna predominante, o desempenho do sistema começa a se afastar de seu potencial máximo.

Figura 3 – Representação qualitativa das PSDs dos sinais transmitidos e do ruído e da DRG obtida pelo ECG alcançada para um dado valor de ω.



Fonte: Baseado em [13].

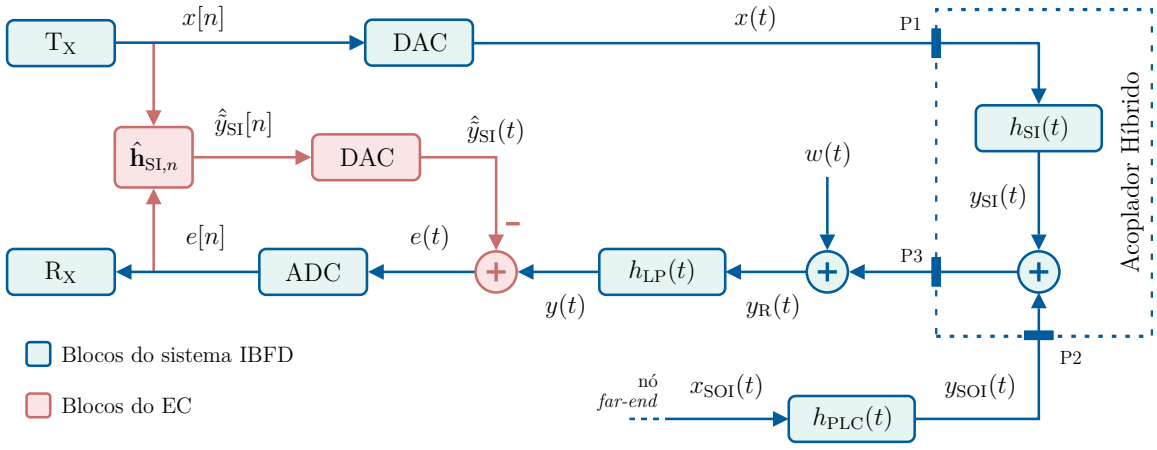
2.2 MODELO DO SISTEMA

Dado o contexto de sistemas IBFD BB-PLC apresentado na Seção 2.1, essa seção visa, primeiramente, detalhar o sistema IBFD BB-PLC no domínio do tempo e, em seguida, apresentar a arquitetura de cancelamento de interferência analógico controlado digitalmente (do inglês, *digitally controlled analog interference cancellation*) (DCAIC), introduzida por [14] e que será utilizada como base de análise ao longo do trabalho. A Figura 4 ilustra, de forma detalhada, um sistema IBFD BB-PLC ponto-a-ponto sob a perspectiva do nó *near-end*, enquanto o nó oposto é denominado *far-end*. Ambos os nós operam em um tempo de coerência que permite modelar o canal PLC como um sistema linear e invariante no tempo (do inglês, *linear time-invariant*) (LTI), com resposta ao impulso $h_{\mathrm{PLC}}(t) \in \mathbb{R}$. Os sinais transmitidos pelo nó *near-end* e *far-end*, $x(t)$ e $x_{\mathrm{SOI}}(t)$, respectivamente, são ambos limitados em banda B e modelados como processos aleatórios estacionários no sentido amplo (do inglês, *wide-sense stationary*) (WSS) e de média zero. O sinal recebido $y_{\mathrm{R}}(t)$ é corrompido por ruído aditivo $w(t)$, modelado como um processo gaussiano branco.

Em relação ao acoplador híbrido, considera-se que as respostas ao impulso do canal (do inglês, *channel impulse responses*) (CIRs) $h_{\mathrm{P1}\to\mathrm{P2}}(t)$ e $h_{\mathrm{P2}\to\mathrm{P3}}(t)$ são idealmente modeladas, $h_{\mathrm{P2}\to\mathrm{P1}}(t) = h_{\mathrm{P3}\to\mathrm{P2}}(t) = h_{\mathrm{P3}\to\mathrm{P1}}(t) = 0$ e $h_{\mathrm{P1}\to\mathrm{P3}}(t) = h_{\mathrm{SI}}(t)$. Assumindo sincronização perfeita no nó *near-end*, o sinal $y_{\mathrm{R}}(t)$ é dado por

$$\begin{aligned} y_{\mathrm{R}}(t) &= y_{\mathrm{SI}}(t) + y_{\mathrm{SOI}}(t) + w(t) \\ &= \underbrace{x(t) \star h_{\mathrm{SI}}(t)}_{\mathrm{SI}} + \underbrace{x_{\mathrm{SOI}}(t) \star h_{\mathrm{PLC}}(t)}_{\mathrm{SOI}} + \underbrace{w(t)}_{\substack{\text{ruído} \\ \text{aditivo}}}, \end{aligned} \tag{2.4}$$

Figura 4 – Diagrama de blocos detalhado do sistema IBFD BB-PLC ponto-a-ponto com EC baseado na arquitetura DCAIC.



Fonte: Baseado em [14].

em que $y_{SI}(t) = x(t) \star h_{SI}(t)$ e $y_{SOI}(t) = x_{SOI}(t) \star h_{PLC}(t)$. Considerando que $y_R(t)$ é filtrado por um filtro passa-baixas ideal $h_{LP}(t)$ com largura de banda B, tem-se

$$\begin{aligned} y(t) &= y_R(t) \star h_{LP}(t) \\ &= \tilde{y}_{SI}(t) + \tilde{y}_{SOI}(t) + v(t)\,, \end{aligned} \tag{2.5}$$

em que $\tilde{y}_{SI}(t) = y_{SI}(t) \star h_{LP}(t) = x(t) \star h_{SI}(t)$, $\tilde{y}_{SOI}(t) = y_{SOI}(t) \star h_{LP}(t) = x_{SOI}(t) \star h_{PLC}(t)$ e $v(t) = w(t) \star h_{LP}(t)$ é o ruído aditivo filtrado. Como $y(t)$ é um sinal de banda limitada igual a $B = 1/(2T_s)$, em que T_s é o período de amostragem, sua versão no tempo discreto é dada por

$$\begin{aligned} y[n] &= y(t)|_{t=nT_s} \\ &= \tilde{y}_{SI}(t)|_{t=nT_s} + \tilde{y}_{SOI}(t)|_{t=nT_s} + v(t)|_{t=nT_s} \\ &= \tilde{y}_{SI}[n] + \tilde{y}_{SOI}[n] + v[n] \\ &= \sum_{\ell=0}^{L_{h_{SI}}-1} x[\ell]\, h_{SI}[n-\ell] + \sum_{\ell=0}^{L_{h_{SOI}}-1} x_{SOI}[\ell]\, h_{PLC}[n-\ell] + v[n] \\ &= \boldsymbol{x}_n^{\intercal}\, \mathbf{h}_{SI} + \boldsymbol{x}_{SOI,n}^{\intercal}\, \mathbf{h}_{PLC} + v[n]\,, \end{aligned} \tag{2.6}$$

em que $h_{SI}[n] = h_{SI}(t)|_{t=nT_s}$ e $h_{PLC}[n] = h_{PLC}(t)|_{t=nT_s}$, $\boldsymbol{x}_n = \begin{bmatrix} x[n] & x[n-1] & \cdots & x[n-L_{h_{SI}}+1] \end{bmatrix}^{\intercal}$, $\boldsymbol{x}_{SOI,n} = \begin{bmatrix} x_{SOI}[n] & x_{SOI}[n-1] & \cdots & x_{SOI}[n-L_{h_{PLC}}+1] \end{bmatrix}^{\intercal}$, $\mathbf{h}_{SI} = \begin{bmatrix} h_{SI}[0] & h_{SI}[1] & \cdots & h_{SI}[L_{h_{SI}}-1] \end{bmatrix}^{\intercal}$, $\mathbf{h}_{PLC} = \begin{bmatrix} h_{PLC}[0] & h_{PLC}[1] & \cdots & h_{PLC}[L_{h_{PLC}}-1] \end{bmatrix}^{\intercal}$ e $v[n]$ é um processo aleatório WSS, de média zero e variância σ_v^2.

O EC é realizado pela arquitetura DCAIC, proposta em [14] e apresentada na Figura 4. Trata-se de uma solução mista, na qual o canal SI é estimado no domínio do tempo discreto, enquanto o EC é realizado no domínio do tempo contínuo. Dessa forma, a eficácia do AF não é comprometida pelo ADC. Como o EC é implementado no domínio

do tempo contínuo, o sinal de erro, $e(t)$, é dado por

$$\begin{aligned} e(t) &= y(t) - \hat{\tilde{y}}_{\mathrm{SI}}(t) \\ &= x(t) \star \Big(h_{\mathrm{SI}}(t) - \hat{h}_{\mathrm{SI}}(t)\Big) + x_{\mathrm{SOI}}(t) \star h_{\mathrm{PLC}}(t) + v(t)\,, \end{aligned} \tag{2.7}$$

em que $\hat{\tilde{y}}_{\mathrm{SI}}(t)$ e $\hat{h}_{\mathrm{SI}}(t)$ são as estimativas da SI e do canal SI, respectivamente, no domínio do tempo contínuo. A digitalização de (2.7) resulta em

$$\begin{aligned} e[n] &= e(t)|_{t=nT_{\mathrm{s}}} \\ &= y(t)|_{t=nT_{\mathrm{s}}} - \hat{\tilde{y}}_{\mathrm{SI}}(t)|_{t=nT_{\mathrm{s}}} \\ &= y[n] - \hat{\tilde{y}}_{\mathrm{SI}}[n] \\ &= \boldsymbol{x}_n^{\intercal} \left(\mathbf{h}_{\mathrm{SI}} - \hat{\mathbf{h}}_{\mathrm{SI},n}\right) + \boldsymbol{x}_{\mathrm{SOI},n}^{\intercal}\, \mathbf{h}_{\mathrm{PLC}} + v[n]\,, \end{aligned} \tag{2.8}$$

em que $\hat{\mathbf{h}}_{\mathrm{SI},n} = \Big[\hat{h}_{\mathrm{SI}}[n]\ \hat{h}_{\mathrm{SI}}[n-1]\ \cdots\ \hat{h}_{\mathrm{SI}}[n-L_f+1]\Big]^{\intercal}$ e $L_f \geq L_{h_{\mathrm{SI}}}$.

Finalmente, conforme a Figura 4, as sequências $\{x[n]\}$ e $\{\hat{\tilde{y}}_{\mathrm{SI}}[n]\}$ são submetidas aos conversores DAC, enquanto o sinal $e(t)$ é submetido ao conversor ADC. Consequentemente, a análise detalhada da influência dos processos de conversão analógico-digital e digital-analógico é relevante para compreender melhor algumas das limitações do EC. Essa discussão é apresentada no Capítulo 3.

3 MODELAGEM DAS NÃO LINEARIDADES EM CONVERSORES DAC/ADC

Uma das consequências da utilização da arquitetura DCAIC e, consequentemente, da redução de $S_{\mathrm{QN}}(e^{j\omega})$ é que as componentes não lineares da SI deixam de ser desprezíveis para o EC, ao contrário do que ocorria na arquitetura de EC digital [13]. As não linearidades em sistemas de comunicação geralmente são introduzidas por elementos ativos do transceptor. Embora os amplificadores de potência em sistemas PLC também contribuam para esses efeitos, nesse trabalho vamos focar unicamente nas distorções não lineares geradas pelos DACs e ADCs. A operação desses dispositivos implica limitações inerentes à quantização, o que faz com que parte do sinal convertido apresente componentes adicionais não desejados.

Portanto, na Seção 3.1, é apresentado o modelo polinomial sem memória e sua versão truncada até a terceira ordem como uma simplificação da série de Volterra para modelar sistemas não lineares invariantes no tempo. Segue-se a descrição do processo para obter os coeficientes do polinômio em função das especificações de distorção harmônica total (do inglês, *total harmonic distortion*) (THD) dos DACs e ADCs. Na Seção 3.2, detalha-se a etapa de quantização uniforme com base nos parâmetros de operação dos conversores.

3.1 MODELO POLINOMIAL SEM MEMÓRIA

Sistemas não lineares invariantes no tempo podem ser descritos de forma geral por meio da série de Volterra [19], que permite modelar sistemas não lineares com memória arbitrária, incluindo efeitos dinâmicos dependentes de múltiplos atrasos. Contudo, a complexidade paramétrica cresce exponencialmente com a ordem e o comprimento da memória, o que motiva simplificações quando possível.

Para simplificar as análises, desconsideram-se os efeitos de memória e as não linearidades introduzidos pelos conversores DAC e ADC empregados em sistemas IBFD BB-PLC. Sob essas condições, a relação entre a entrada $x[n]$ e a saída $y[n]$ de um DAC/ADC é representada por um polinômio dado por [19]

$$y_{\mathrm{NL}}[n] = \sum_{p=1}^{P} a_p x^p[n]\,. \tag{3.1}$$

Conversores diferenciais modernos apresentam antissimetria na curva de transferência em torno da origem. Como consequência, os coeficientes associados a potências pares tornam-se desprezíveis em relação aos termos ímpares [28]. Em regime de não linearidade moderada, o termo cúbico é o principal responsável pela geração de harmônicos e produtos de intermodulação relevantes, permitindo truncar o modelo em terceira ordem

e obter

$$y_{\mathrm{NL}}[n] = a_1 x[n] + a_3 x^3[n]\,. \tag{3.2}$$

Os coeficientes do modelo polinomial podem ser obtidos a partir das especificações de THD do conversor. Considerando uma entrada senoidal

$$x[n] = A\cos(\omega n) \tag{3.3}$$

e aplicando o modelo cúbico sem memória, a saída analógica intermediária torna-se

$$\begin{aligned} y_{\mathrm{NL}}[n] &= a_1 A\cos(\omega n) + a_3 A^3\cos^3(\omega n) \\ &= \left(a_1 A + \frac{3}{4}a_3 A^3\right)\cos(\omega n) + \frac{1}{4}a_3 A^3\cos(3\omega n)\,. \end{aligned} \tag{3.4}$$

Em regime de fraca não linearidade, a contribuição cúbica para a componente fundamental é pequena em relação ao termo linear. Sendo assim, a razão entre a amplitude da terceira harmônica e a amplitude da fundamental fornece uma aproximação direta para o THD dominante, levando à relação

$$\begin{aligned} \mathrm{THD} &\approx \frac{\left|\frac{1}{4}a_3 A^3\right|}{|a_1 A|} \\ &= \frac{|a_3| A^2}{4\,|a_1|}\,. \end{aligned} \tag{3.5}$$

Isolando o coeficiente cúbico, obtém-se

$$a_3 \approx \frac{4a_1}{A^2}\,\mathrm{THD}\,, \tag{3.6}$$

em que o valor de THD deve ser utilizado em escala linear. Na ausência de especificações adicionais sobre o ganho analógico, é comum adotar $a_1 = 1$ após a normalização do sinal de entrada. A amplitude A deve corresponder ao nível de excitação empregado na medição de THD do conversor.

3.2 MODELO DE QUANTIZAÇÃO

Considerando o emprego de um quantizador uniforme simétrico com b bits, o passo de quantização é expresso por

$$\Delta = \frac{2A}{2^b}\,. \tag{3.7}$$

Como o quantizador é simétrico em torno da origem, o número de níveis positivos é dado por

$$K = 2^{b-1} - 1 \tag{3.8}$$

e o maior valor representável antes da saturação é $A = K\Delta$, enquanto o limite efetivo da região de quantização é dada por

$$T = A + \frac{\Delta}{2}\,. \tag{3.9}$$

Considerando que a operação de quantização realizada pelo conversor é uniforme *mid-tread*, ou seja, tem nível em zero, tem-se que a saída do conversor $y_{\mathrm{q}}[n]$ é expressa por

$$\begin{aligned} y_{\mathrm{q}}[n] &= \mathcal{Q}(y_{\mathrm{NL}}[n]) \\ &= \begin{cases} A, & y_{\mathrm{NL}}[n] \geq T\,, \\ \Delta\,\mathrm{round}\left(\frac{y_{\mathrm{NL}}[n]}{\Delta}\right), & \text{caso contrário}\,, \\ -A, & y_{\mathrm{NL}}[n] \leq -T\,, \end{cases} \end{aligned} \tag{3.10}$$

em que $\mathcal{Q}(\cdot)$ é a função de quantização. Note que

$$\mathrm{round}(u) = \begin{cases} \left\lfloor u + \dfrac{1}{2} \right\rfloor, & u \geq 0, \\ \left\lceil u - \dfrac{1}{2} \right\rceil, & u < 0. \end{cases} \tag{3.11}$$

sendo que $\lfloor z \rfloor = \max\{m \in \mathbb{Z} \mid m \leq z\}$ e $\lceil z \rceil = \min\{n \in \mathbb{Z} \mid n \geq z\}$. Como (3.11) é uma função ímpar, então

$$\mathcal{Q}(-y[n]) = -\mathcal{Q}(y[n])\,, \tag{3.12}$$

revelando a antissimetria do quantizador.

A formulação em (3.10) separa explicitamente duas fontes distintas de degradação: a distorção não linear determinística associada ao *front-end* e o ruído de quantização decorrente da resolução finita do conversor. O termo polinomial modela a compressão de ganho e a geração de harmônicos coerentes com o sinal, enquanto a quantização introduz um erro dependente do passo de quantização e da DR. Observe que, adotando-se $y_{\mathrm{q}}[n] = \mathcal{Q}(x[n])$, a distorção não linear no *front-end* do conversor é ignorada.

Essa construção conduz a um modelo alinhado às propriedades estruturais dos conversores. A composição do polinômio com o operador de quantização permite capturar simultaneamente distorções não lineares e efeitos de resolução finita, constituindo uma base mais próxima da realidade para a análise dos efeitos de não linearidades introduzidas pelos conversores em sistemas IBFD BB-PLC.

4 RESULTADOS NUMÉRICOS

Neste capítulo, discutem-se resultados numéricos referentes às simulações computacionais do sistema IBFD BB-PLC, considerando tanto a arquitetura de EC totalmente digital [13], aqui denominada cancelamento de interferência digital (do inglês, *digital interference cancellation*) (DIC), quanto a arquitetura DCAIC [14], detalhada na Seção 2.2. Inicialmente, na Seção 4.1, obtém-se o *input back-off* (IBO) que resulta na menor distorção decorrente da saturação. Em seguida, discutem-se os resultados em termos de erro quadrático médio (do inglês, *mean squared error*) (MSE) sob diversos cenários, considerando três modelos de DACs e ADCs: precisão infinita, modelo com não linearidades e quantização, vide (3.2) e (3.10), e o modelo que considera somente o quantizador ao considerar $y_{\mathrm{q}}[n] = \mathcal{Q}(x[n])$, dado $x[n]$ na entrada do conversor. Na Seção 4.2 estuda-se o ECG sob os mesmos cenários, arquiteturas de EC e modelos de conversores da Seção 4.1.

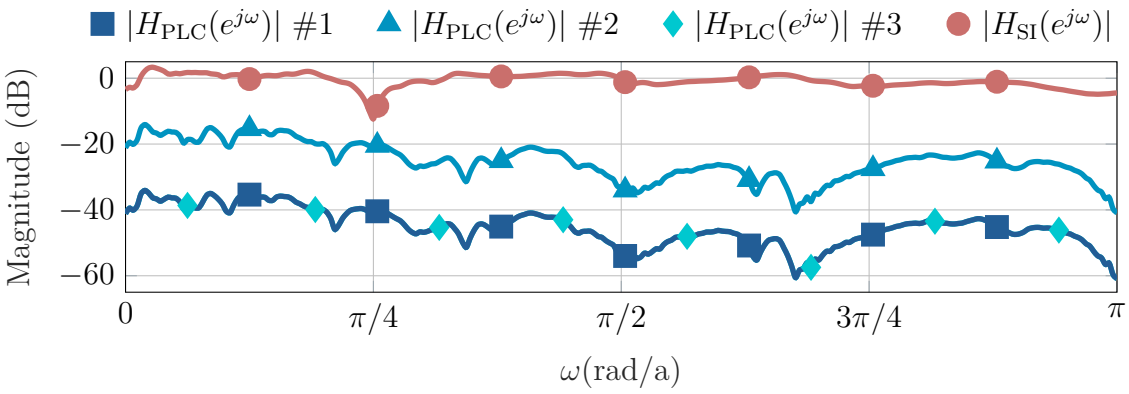
A fim de diversificar a análise dos resultados aqui apresentados, são considerados três cenários de canal PLC, variando a PSD do ruído ruído aditivo Gaussiano branco (do inglês, *additive white Gaussian noise*) (AWGN) e a atenuação da seguinte forma:

- **Cenário** #1: PSD do ruído AWGN $S_{\mathrm{V},\#1}(e^{j\omega}) = -130$ dBm/Hz e canal PLC #1 com elevada atenuação em relação ao canal SI;
- **Cenário** #2: PSD do ruído AWGN $S_{\mathrm{V},\#2}(e^{j\omega}) = S_{\mathrm{V},\#1}(e^{j\omega}) = -130$ dBm/Hz e canal PLC #2 com atenuações menores que o canal PLC #1 em relação ao canal SI;
- **Cenário** #3: PSD do ruído AWGN $S_{\mathrm{V},\#3}(e^{j\omega}) = -110$ dBm/Hz e canal PLC #3 com atenuações iguais às do canal #1.

As respostas em frequência dos canais (do inglês, *channel frequency responses*) (CFRs) tanto do canal SI quanto dos dois canais PLC considerados para gerar os resultados foram obtidas a partir de uma campanha de medição realizada em sete residências na cidade de Juiz de Fora, a qual seguiu a metodologia discutida em [29], e são mostradas na Figura 5, em que o comprimento das CIRs utilizadas foi $L_f = L_{h_{\mathrm{SI}}} = L_{h_{\mathrm{PLC}}} = 200$. Note que, desconsiderando $S_{\mathrm{QN}}(e^{j\omega})$ em (2.3), a PSD limitante é a do ruído AWGN nos cenários #1 e #3, de modo que o máximo ECG alcançável é de 80 dB e 60 dB, respectivamente. Por outro lado, no cenário #2, a RSI é a limitante tal que o máximo ECG alcançável depende da CFRs do canal PLC #2.

Em todos esses cenários, foi utilizada a técnica de modulação por divisão ortogonal em frequência hermitiana simétrica (do inglês, *hermitian symmetric orthogonal frequency division multiplexing*) (HS-OFDM) com constelação 4-QAM, largura de banda $B = 100$ MHz, $N = 2048$ subportadoras nessa faixa de frequência e comprimento de prefixo cíclico $L_{\mathrm{CP}} = 512$. A frequência de amostragem utilizada foi $f_s = 200$ MHz, o

Figura 5 – CFRs dos canais PLC #1, #2 e #3 e do canal SI.



Fonte: Acervo do autor.

que resulta em um período de símbolo $T_{\text{sym}} = (2N + L_{\text{CP}})/f_s = 23{,}04$ μs. A PSD do sinal transmitido foi de $S_{\text{X}}(e^{j\omega}) = -50$ dBm/Hz.

Para compatibilização da modelagem estatística com a DR do quantizador, considera-se na entrada dos conversores uma variável normalizada em $[-1, 1]$ de forma que $A = 1$, dada por

$$\tilde{x} = \frac{x}{k\,\sigma_x}\,, \tag{4.1}$$

em que σ_x é o desvio-padrão de $x[n]$ na entrada do conversor e $k \in \mathbb{R} \mid k > 0$ é o IBO, responsável por controlar a probabilidade de saturação dos conversores. Desse modo, os valores de THD [30, 31, 32, 33] teóricos e de a_3 calculados a partir de (3.6), considerando $a_1 = 1$, para $b \in \{8{,}12{,}16{,}18\}$ bits, são apresentados na Tabela 1.

Tabela 1 – THD e coeficientes a_3 do modelo polinomial para $b \in \{8{,}12{,}16{,}18\}$ bits.

b	THD [dBc]	a_3
8	-50	$1{,}264911 \times 10^{-2}$
12	-70	$1{,}264911 \times 10^{-3}$
16	-90	$1{,}264911 \times 10^{-4}$
18	-100	$4{,}000000 \times 10^{-5}$

Fonte: Acervo do autor.

4.1 ANÁLISE DE CONVERGÊNCIA

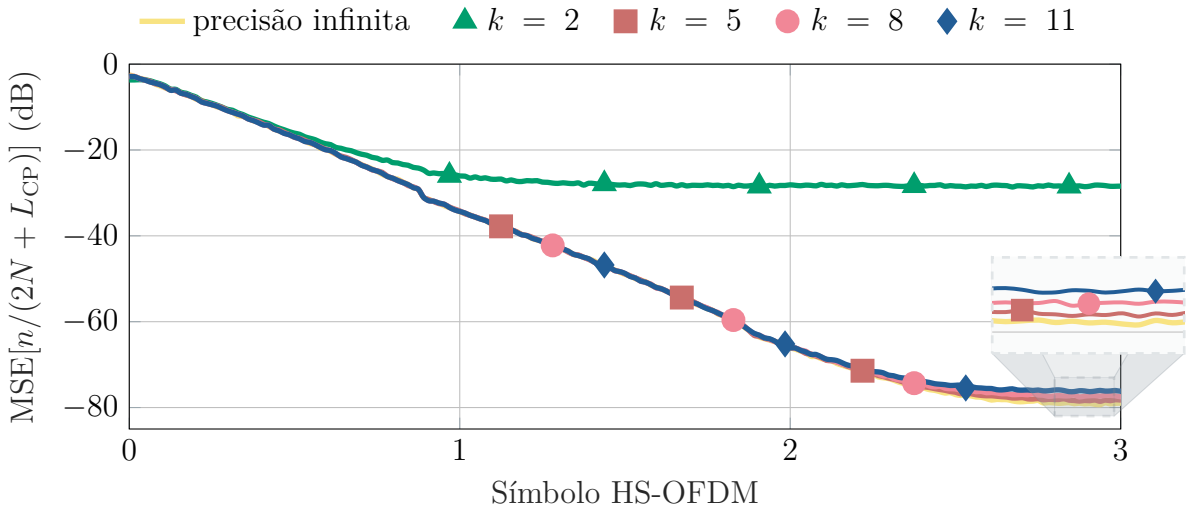
Primeiramente, analisam-se os resultados em termos de convergência do AF, sob os cenários #1, #2 e #3, nas arquiteturas DIC e DCAIC e considerando diferentes números de bits dos DACs (b_{DAC}) e dos ADCs (b_{ADC}). O AF escolhido para gerar os resultados foi o NLMS [34], com passo de adaptação $\mu = 0{,}15$. A métrica escolhida para análise foi a aproximação estocástica de MSE, obtida a partir de 6000 simulações de Monte Carlo,

expressa por

$$\mathrm{MSE}[n] = \mathbb{E}\left\{e^2[n]\right\} . \tag{4.2}$$

Na Figura 6 é apresentado o MSE por símbolo HS-OFDM na arquitetura DCAIC, considerando $b_{\mathrm{DAC}} = 16$ bits e $b_{\mathrm{ADC}} = 12$ bits, sob o cenário #1, e $k \in \{2, 5, 8, 11\}$. Verifica-se que, para $k = 2$, o MSE não converge adequadamente, uma vez que há um ceifamento significativo do sinal na entrada dos conversores. Por outro lado, para $k > 5$, a resolução dos conversores torna-se excessiva, comprometendo a convergência. Dentre esses valores, o menor MSE é obtido para $k = 5$, situação em que a distorção provocada pela saturação é minimizada. Sendo assim, as simulações subsequentes foram realizadas adotando $k = 5$.

Figura 6 – MSE × símbolo HS-OFDM para $k \in \{2, 5, 8, 11\}$.

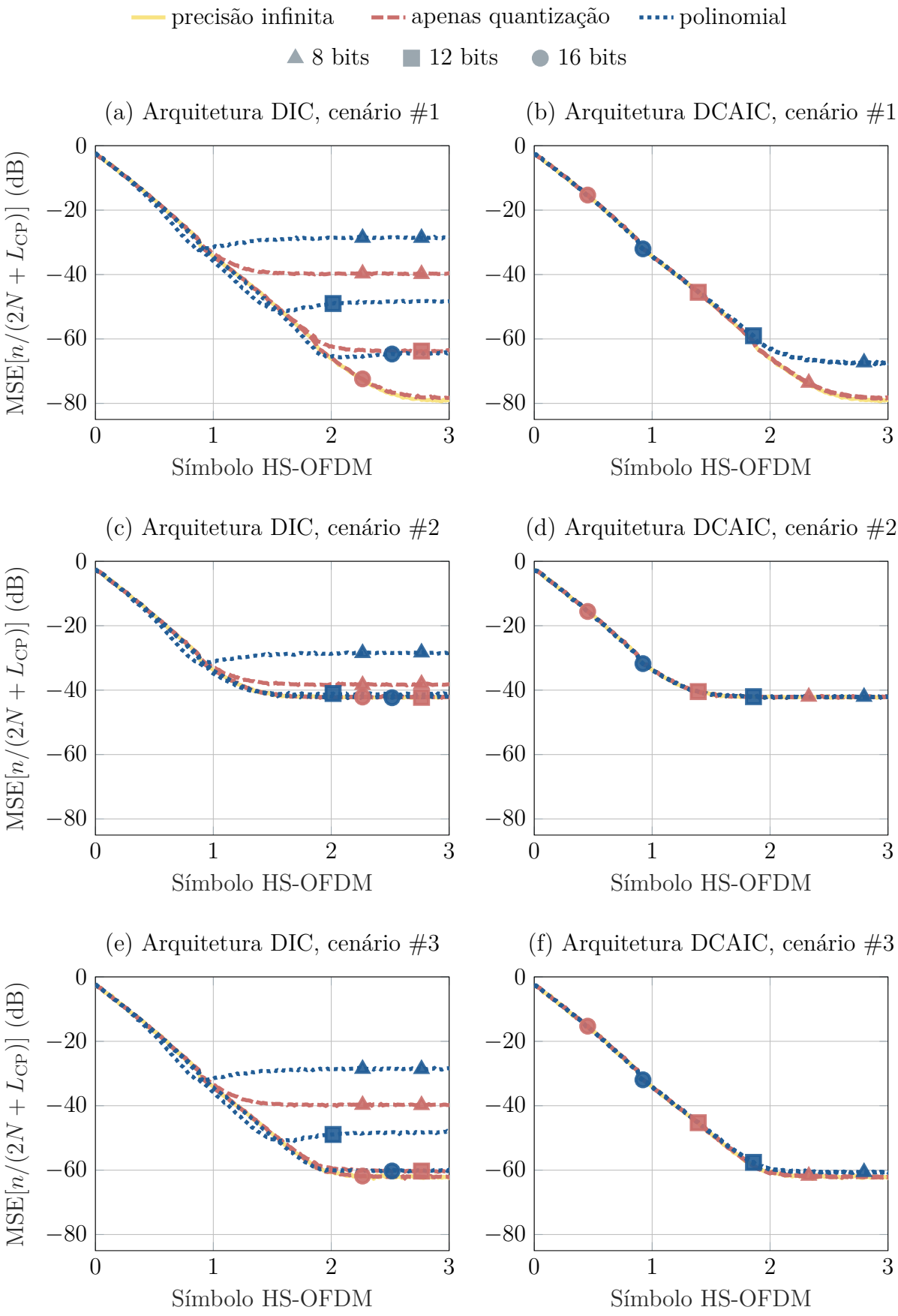


Fonte: Acervo do autor.

Na Figura 7 é ilustrado o MSE por símbolo HS-OFDM nas arquiteturas DIC e DCAIC, considerando $b_{\mathrm{DAC}} = 16$ bits e $b_{\mathrm{ADC}} \in \{8{,}12{,}16\}$ bits, nos cenários #1, #2 e #3. Nota-se que, no caso de conversores com precisão infinita, ambas as arquiteturas apresentam resultados equivalentes, uma vez que não há inserção de ruído de quantização pelos conversores, de modo que o MSE convirja para o menor valor possível no cenário considerado. Além disso, os valores de MSE obtidos após a convergência com o modelo polinomial são maiores que os do modelo de quantização, o que demonstra o impacto das distorções não lineares no *front-end* dos conversores.

Em todos os cenários da arquitetura DIC, observa-se a limitação do desempenho do sistema quando $S_{\mathrm{QN}}(e^{j\omega})$ é maior que $S_{\mathrm{V}}(e^{j\omega})$ e $S_{\mathrm{RSI}}(e^{j\omega})$ em (2.3). À medida que b_{ADC} aumenta, $S_{\mathrm{QN}}(e^{j\omega})$ é reduzido. O MSE, entretanto, permanece limitado a um valor superior ao piso do ruído na entrada do receptor (nos cenários #1 e #3) ou do RSI (no cenário #2):

Figura 7 – MSE × símbolo HS-OFDM para $b_{\text{DAC}} = 16$ bits e $b_{\text{ADC}} \in \{8,12,16\}$ bits.



Fonte: Acervo do autor.

- No cenário #1, considerando o modelo de quantização, o MSE converge para o valor mínimo de -80 dB apenas quando $b_{\mathrm{ADC}} = 16$ bits, em que $S_{\mathrm{QN}}(e^{j\omega}) > S_{\mathrm{V},\#1}(e^{j\omega})$. Entretanto, a partir do modelo polinomial, observa-se um valor de MSE maior devido às distorções não lineares, o que demonstra que um ADC de 16 bits na verdade limita a convergência;

- No cenário #2, a convergência é adequada com ADCs de 12 e de 16 bits, porém é limitada para o ADC de 8 bits, visto que $S_{\mathrm{QN}}(e^{j\omega})$ é maior que $S_{\mathrm{RSI}}(e^{j\omega})$ nesse caso;

- No cenário #3, um ADC de 16 bits é adequado, considerando as distorções não lineares, pois $S_{\mathrm{V},\#3}(e^{j\omega}) > S_{\mathrm{V},\#1}(e^{j\omega})$. Por outro lado, um ADC de 12 bits limita a convergência nesse cenário, especialmente diante de distorções não lineares.

Na arquitetura DCAIC, o impacto de $S_{\mathrm{QN}}(e^{j\omega})$ no EC é reduzido. Especialmente no cenário #1, em que se visualizam melhor os efeitos do ruído gerado pelos conversores, verifica-se que o MSE final obtido pelo modelo de quantização é o mesmo que o obtido pelo modelo de precisão infinita, independentemente de b_{ADC}; porém, há uma discrepância em relação ao MSE final obtido pelo modelo polinomial. Isso permite concluir que a arquitetura DCAIC é eficaz na mitigação do ruído gerado pela quantização, mas ineficaz contra distorções não lineares.

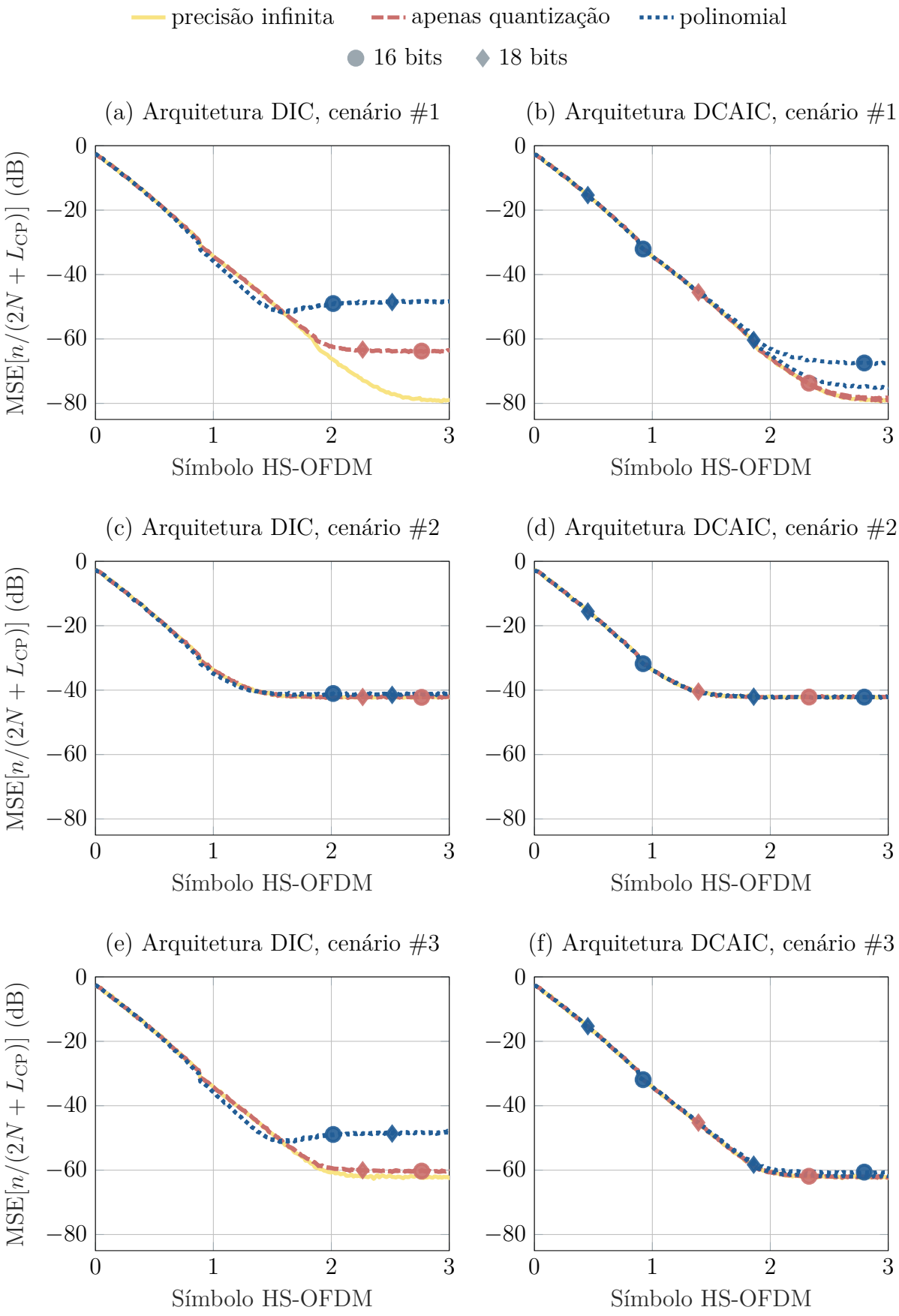
Ademais, foi realizada a análise de convergência considerando $b_{\mathrm{ADC}} = 12$ bits e $b_{\mathrm{DAC}} \in \{16{,}18\}$ bits, conforme mostrado na Figura 8. Na arquitetura DIC, tanto para o modelo de quantização quanto para o polinomial, os valores de MSE obtidos para DACs de 16 e 18 bits são muito próximos, indicando que o DAC influencia pouco na convergência. Sendo assim, a convergência não ocorre adequadamente nos cenários #1 e #3, que requerem $b_{\mathrm{ADC}} \geq 16$ bits, enquanto, no cenário #2, ocorre adequadamente. Por outro lado, na arquitetura DCAIC, o ruído de quantização é suprimido e, especialmente no cenário #1, observa-se que a distorção não linear introduzida pelo DAC influencia o desempenho do sistema, sendo menor quanto maior b_{DAC}.

4.2 ANÁLISE DO GANHO DE CANCELAMENTO DE ECO

Analisa-se, agora, o desempenho do sistema IBFD BB-PLC em termos de ECG. O ECG é calculado também por meio de uma aproximação estatística, obtida a partir de 6000 simulações de Monte Carlo, ao final da convergência do algoritmo.

Na Figura 9 é apresentado o $\mathrm{ECG}(e^{j\omega})$ nas arquiteturas DIC e DCAIC, considerando $b_{\mathrm{DAC}} = 16$ bits e $b_{\mathrm{ADC}} \in \{8{,}12{,}16\}$ bits, nos cenários #1, #2 e #3. No caso de conversores com precisão infinita, os resultados de ECG são equivalentes em ambas arquiteturas e correspondem aos valores máximos de ECG possíveis para cada cenário considerado. Além disso, verifica-se o impacto das distorções não lineares no *front-end* dos

Figura 8 – MSE × símbolo HS-OFDM para $b_{\text{ADC}} = 12$ bits e $b_{\text{DAC}} \in \{16{,}18\}$ bits.



Fonte: Acervo do autor.

conversores pelas diferenças entre os valores de ECG obtidos com o modelo de quantização e com o modelo polinomial.

Na arquitetura DIC, observa-se a limitação do ECG alcançado em cada cenário devido à DR do ADC. Os valores de ECG aumentam à medida que b_{ADC} aumenta, até que $S_{\mathrm{QN}}(e^{j\omega})$ seja menor que a PSD limitante em cada cenário:

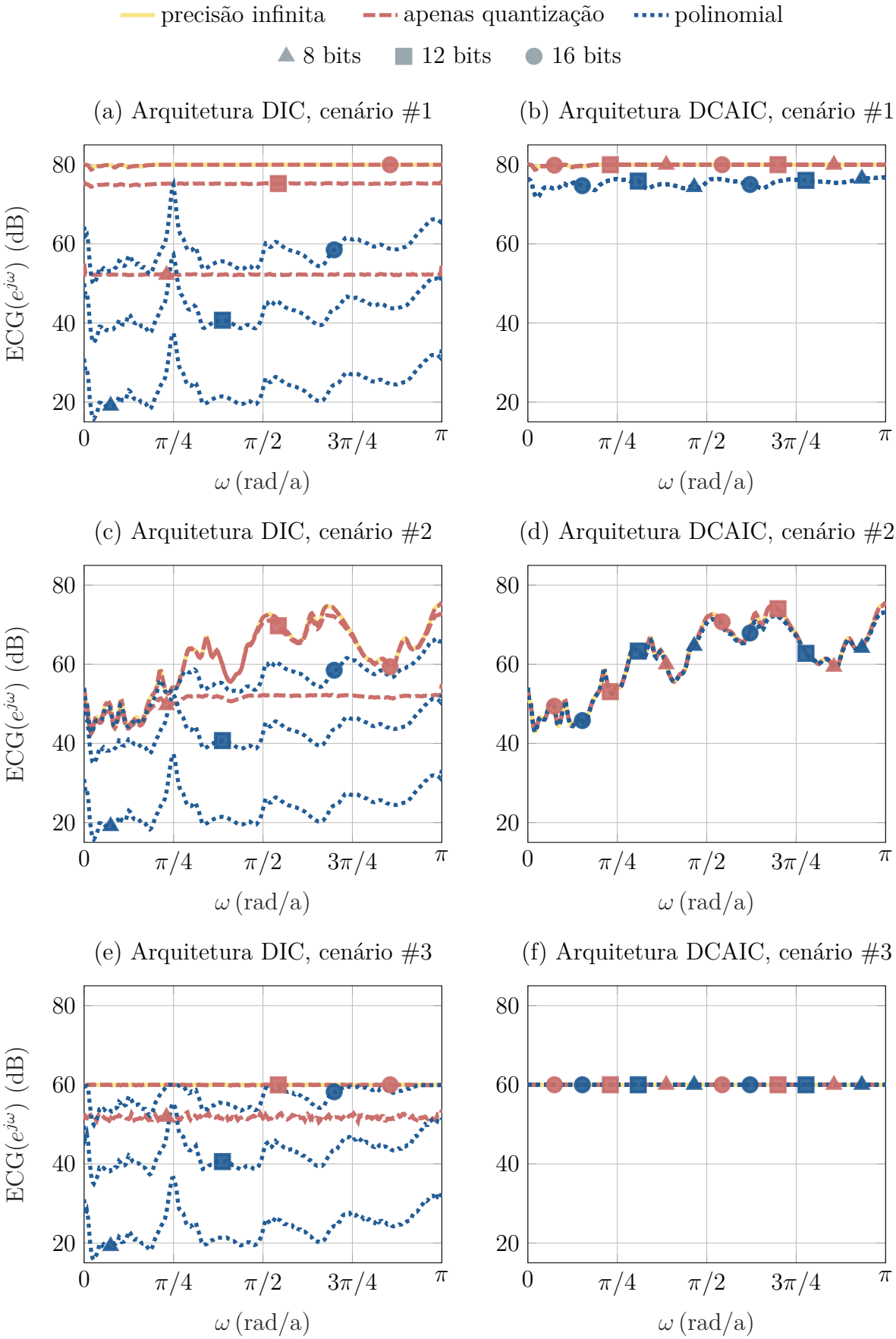
- No cenário #1, o ECG máximo de 80 dB é obtido com $b_{\mathrm{ADC}} = 16$ bits considerando o modelo de quantização, o que não ocorre ao utilizar o modelo polinomial. Portanto, é necessário que $b_{\mathrm{ADC}} > 16$ bits para obter o ECG máximo;
- No cenário #2, o ECG é limitado pelo RSI e é obtido, a partir do modelo de quantização, com $b_{\mathrm{ADC}} = 16$ bits em todas as frequências e com $b_{\mathrm{ADC}} = 12$ bits em quase todas. Por outro lado, a partir do modelo polinomial, o ECG máximo apenas é obtido em $\omega < \pi/4$ rad/a com $b_{\mathrm{ADC}} = 16$ bits;
- No cenário #3, desconsiderando as distorções não lineares, ADCs de 12 e 16 bits são adequados para obter o ECG de 60 dB. Por outro lado, a partir do modelo polinomial, o ECG é afetado, apresentando valores menores que 60 dB na maior parte da banda para os valores de b_{ADC} considerados.

As observações das Figuras 7 e 9 em relação à arquitetura DIC demonstram que o desempenho do sistema pode ser degradado mesmo que o MSE convirja para próximo do valor mínimo de cada cenário.

Na arquitetura DCAIC, novamente verifica-se que o impacto de $S_{\mathrm{QN}}(e^{j\omega})$ no EC é reduzido. Especialmente no cenário #1, observa-se que o ECG obtido desconsiderando não linearidades é o mesmo do que o obtido pelo modelo de precisão infinita independentemente de b_{ADC}. Em contraste, os valores de ECG obtidos pelo modelo polinomial são menores devido às distorções não lineares, o que reforça que a arquitetura DCAIC não é eficaz em suprimir as distorções não lineares no *front-end* dos conversores.

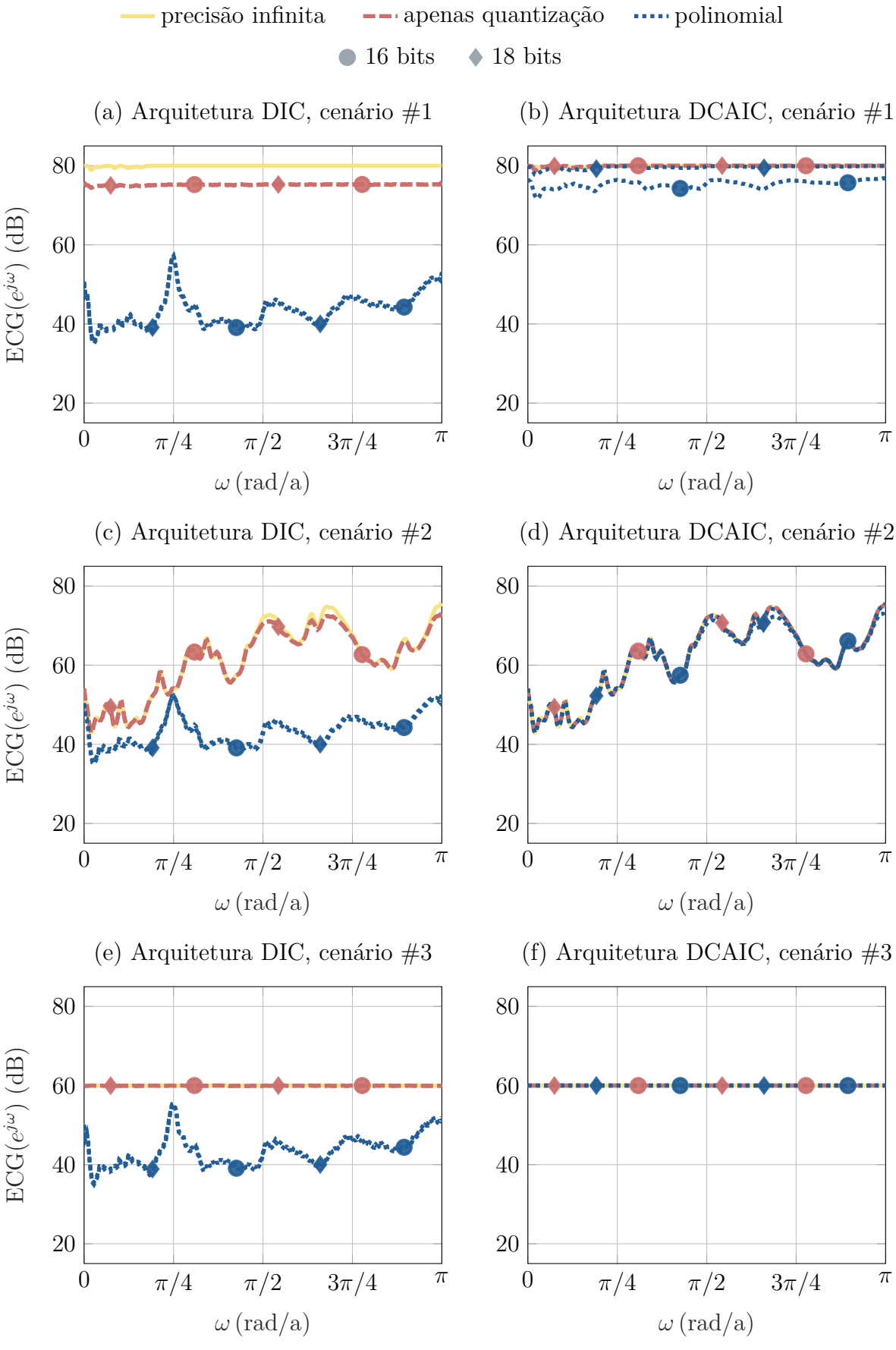
Por fim, na Figura 10 é mostrado o ECG$(e^{j\omega})$ considerando $b_{\mathrm{ADC}} = 12$ bits e $b_{\mathrm{DAC}} \in \{16{,}18\}$ bits. Observa-se a pouca influencia do DAC no desempenho do sistema, uma vez que, em ambas as arquiteturas, tanto para o modelo de quantização quanto polinomial, os valores de ECG obtidos em qualquer frequência para DACs de 16 e 18 bits são muito próximos. Como $b_{\mathrm{ADC}} = 12$ bits, o ECG obtido é menor que o limitante nos três cenários na arquitetura DIC. Por outro lado, na arquitetura DCAIC, o ECG obtido é igual ao limitante nos cenários #2 e #3 mas não no cenário #1, em que se observa a distorção não linear introduzida pelo ADC no desempenho do sistema.

Figura 9 – ECG($e^{j\omega}$) para $b_{\text{DAC}} = 16$ bits e $b_{\text{ADC}} \in \{8,12,16\}$ bits.



Fonte: Elaborado pelo autor.

Figura 10 – ECG($e^{j\omega}$) para $b_{\text{ADC}} = 12$ bits e $b_{\text{DAC}} \in \{16{,}18\}$ bits.



Fonte: Acervo do autor.

5 CONSIDERAÇÕES FINAIS

Neste trabalho, analisou-se o impacto das não linearidades dos conversores em sistemas IBFD BB-PLC. Embora a arquitetura DCAIC seja eficaz contra o erro de quantização, a literatura carecia de uma análise detalhada das distorções não lineares em conversores. A partir disso, adotou-se um modelo polinomial de terceira ordem, cujos coeficientes foram obtidos com base em valores típicos de THD de conversores. Adicionalmente, o algoritmo NLMS foi adotado para garantir uma convergência mais rápida do EC.

As simulações foram realizadas nas arquiteturas DIC e DCAIC, em três cenários de canal PLC distintos e comparando o modelo não linear polinomial de conversores com o modelo de quantização. A arquitetura DIC mostrou-se altamente sensível à DR do ADC, e o MSE converge melhor quanto maior o número de bits. Considerando o modelo de quantização, determinadas resoluções se mostraram adequadas para atingir o valor mínimo de MSE; contudo, a inclusão de não linearidades evidenciou que tais resoluções não atingiram os valores esperados. A arquitetura DCAIC comprovou sua eficiência em lidar com os erros de quantização, visto que o MSE convergiu para valores mínimos em cada cenário, independentemente da resolução do ADC. Porém, mesmo a arquitetura DCAIC é afetada pelas distorções não lineares introduzidas pelos conversores.

A análise de ECG revelou que as não linearidades introduzem variações elevadas no domínio da frequência, indicando um impacto significativo na degradação do EC. Novamente, o DCAIC mitigou esses efeitos em parte, tendo pequenas diferenças entre o modelo de quantização e o modelo não linear polinomial. Por fim, observou-se que variações na resolução do DAC têm pouco impacto no desempenho global, confirmando que o ADC é uma fonte relevante de degradação do sinal nos sistemas IBFD BB-PLC.

Como proposta para trabalhos futuros, sugere-se a investigação de modelos mais sofisticados, utilizando valores de THD em conversores comerciais, estendendo a análise a amplificadores de potência e a outros elementos ativos utilizados no *front-end* de transceptores em sistemas IBFD BB-PLC.

REFERÊNCIAS

[1] R.-J. Essiambre and R. W. Tkach, "Capacity trends and limits of optical communication networks," *Proceedings of the IEEE*, vol. 100, no. 5, pp. 1035–1055, maio 2012.

[2] Q. C. Li, H. Niu, A. T. Papathanassiou, and G. Wu, "5G network capacity: Key elements and technologies," *IEEE Vehicular Technology Magazine*, vol. 9, no. 1, pp. 71–78, março 2014.

[3] C. Perera, C. H. Liu, and S. Jayawardena, "The emerging Internet of Things marketplace from an industrial perspective: A survey," *IEEE Transactions on Emerging Topics in Computing*, vol. 3, no. 4, pp. 585–598, dezembro 2015.

[4] L. Atzori, A. Iera, and G. Morabito, "The Internet of Things: A survey," *Computer Networks*, vol. 54, no. 15, pp. 2787–2805, outubro 2010.

[5] A. Zanella, N. Bui, A. Castellani, L. Vangelista, and M. Zorzi, "Internet of Things for smart cities," *IEEE Internet of Things Journal*, vol. 1, no. 1, pp. 22–32, fevereiro 2014.

[6] Y. F. Coutinho, Â. Camponogara, M. de L. Filomeno, M. L. R. de Campos, A. M. Tonello, and M. V. Ribeiro, "Two decades of research progress in resource allocation for PLC systems: From core concepts to frontiers," *IEEE Communications Surveys & Tutorials*, vol. 26, no. 3, pp. 1710–1747, terceiro trimestre 2024.

[7] S. Galli, A. Scaglione, and Z. Wang, "For the grid and through the grid: The role of power line communications in the smart grid," *Proceedings of the IEEE*, vol. 99, no. 6, pp. 998–1027, junho 2011.

[8] L. Lampe, A. M. Tonello, and T. G. Swart, *Power Line Communications: Principles, Standards and Applications from Multimedia to Smart Grid*, 2nd ed. John Wiley & Sons Ltd, 2016.

[9] D. Kim, H. Lee, and D. Hong, "A survey of in-band full-duplex transmission: From the perspective of PHY and MAC layers," *IEEE Communications Surveys & Tutorials*, vol. 17, no. 4, pp. 2017–2046, quarto trimestre 2015.

[10] A. Sabharwal, P. Schniter, D. Guo, D. W. Bliss, S. Rangarajan, and R. Wichman, "In-band full-duplex wireless: Challenges and opportunities," *IEEE Journal on Selected Areas in Communications*, vol. 32, no. 9, pp. 1637–1652, setembro 2014.

[11] S. Hong, J. Brand, J. I. Choi, M. Jain, J. Mehlman, S. Katti, and P. Levis, "Applications of self-interference cancellation in 5G and beyond," *IEEE Communications Magazine*, vol. 52, no. 2, pp. 114–121, fevereiro 2014.

[12] K. E. Kolodziej, B. T. Perry, and J. S. Herd, "In-band full-duplex technology: Techniques and systems survey," *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, no. 7, pp. 3025–3041, julho 2019.

[13] G. Prasad, L. Lampe, and S. Shekhar, "In-band full duplex broadband power line communications," *IEEE Transactions on Communications*, vol. 64, no. 9, pp. 3915–3931, setembro 2016.

[14] G. Prasad, L. Lampe, and S. Shekhar, "Digitally controlled analog cancellation for full duplex broadband power line communications," *IEEE Transactions on Communications*, vol. 65, no. 10, pp. 4419–4432, outubro 2017.

[15] M. T. Perenciolo, Y. F. Coutinho, T. F. Moreira, and M. V. Ribeiro, "Estudo comparativo dos algoritmos LMS e RLS em PLC in-band full duplex banda larga," in *XLIII Simpósio Brasileiro de Telecomunicações e Processamento de Sinais*, setembro 2025.

[16] A. C. M. Austin, A. Balatsoukas-Stimming, and A. Burg, "Digital predistortion of power amplifier non-linearities for full-duplex transceivers," in *Proc. IEEE International Workshop on Signal Processing Advances in Wireless Communications*, julho 2016, pp. 1–5.

[17] A. Zhu, J. C. Pedro, and T. J. Brazil, "Dynamic deviation reduction-based volterra behavioral modeling of RF power amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 12, pp. 4323–4332, dezembro 2006.

[18] D. Korpi, T. Riihonen, V. Syrjälä, L. Anttila, M. Valkama, and R. Wichman, "Full-duplex transceiver system calculations: Analysis of ADC and linearity challenges," *IEEE Transactions on Wireless Communications*, vol. 13, no. 7, pp. 3821–3836, julho 2014.

[19] W. Wei, P. Ye, J. Song, H. Zeng, J. Gao, and Y. Zhao, "A behavioral dynamic nonlinear model for time-interleaved ADC based on volterra series," *IEEE Access*, vol. 7, pp. 41 860–41 873, 2019.

[20] R. V. Saniika Devi, B. M. Nandini, M. Niharika, P. Anusha, and D. G. Kurup, "Broadband RF power amplifier modeling using an enhanced wiener model," in *2017 IEEE International Conference on Computational Intelligence and Computing Research (ICCIC)*, 2017, pp. 1–4.

[21] *IEEE Standard for Broadband over Power Line Networks: Medium Access Control and Physical Layer Specifications*, IEEE Std 1901-2020 (Revision of IEEE Std 1901-2010), janeiro 2021.

[22] T. Bai *et al.*, "Fifty years of noise modeling and mitigation in power-line communications," *IEEE Communications Surveys & Tutorials*, vol. 23, no. 1, pp. 41–69, primeiro trimestre 2021.

[23] M. Katayama, T. Yamazato, and H. Okada, "A mathematical model of noise in narrowband power line communication systems," *IEEE Journal on Selected Areas in Communications*, vol. 24, no. 7, pp. 1267–1276, julho 2006.

[24] F. Passerini and A. M. Tonello, "In band full duplex PLC: The role of the hybrid coupler," in *Proc. IEEE International Symposium on Power Line Communications and its Applications*, março 2016, pp. 52–57.

[25] D. Righini and A. M. Tonello, "MIMO in-band-full-duplex PLC: Design, analysis and first hardware realization of the analog self-interference cancellation stage," *IEEE Open Journal of the Communications Society*, vol. 2, pp. 1344–1357, 2021.

[26] H. Li, *et al.*, "Self-interference cancellation enabling high-throughput short-reach wireless full-duplex communication," *IEEE Transactions on Wireless Communications*, vol. 17, no. 10, pp. 6475–6486, outubro 2018.

[27] H. Ehm, S. Winter, and R. Weigel, "Analytic quantization modeling of OFDM signals using normal Gaussian distribution," in *Proc. Asia-Pacific Microwave Conference*, dezembro 2006, pp. 847–850.

[28] D. Korpi, L. Anttila, V. Syrjälä, and M. Valkama, "Widely linear digital self-interference cancellation in direct-conversion full-duplex transceiver," *IEEE Journal on Selected Areas in Communications*, vol. 32, no. 9, pp. 1674–1687, 2014.

[29] T. Oliveira, C. Marques, W. Finamore, S. Netto, and M. Ribeiro, "A methodology for estimating frequency responses of electric power grids," *Journal of Control, Automation and Electrical Systems*, vol. 25, pp. 720–731, setembro 2014.

[30] *ADC08200 8-Bit, 20 Msps to 200 Msps, Low Power A/D Converter with Internal Sampleand-Hold*, Texas Instruments, acessed on Mar. 05, 2026. [Online]. Available: https://www.ti.com/lit/ds/symlink/adc08200.pdf

[31] *ADS5401 Single 12-Bit 800-Msps Analog-to-Digital Converter*, Texas Instruments, acessed on Mar. 05, 2026. [Online]. Available: https://www.ti.com/lit/ds/symlink/ads5401.pdf

[32] *16-Bit, 80/105/135-MSPS Analog-to-Digital Converters*, Texas Instruments, acessed on Mar. 05, 2026. [Online]. Available: https://www.ti.com/lit/ds/symlink/ads5481.pdf

[33] *DAC34SH84 Quad-Channel, 16-Bit, 1.5 GSPS Digital-to-Analog Converter (DAC)*, Texas Instruments, acessed on Mar. 05, 2026. [Online]. Available: https://www.ti.com/lit/ds/symlink/dac34sh84.pdf

[34] P. S. Diniz, *Adaptive Filtering: Algorithms and Practical Implementation*, 5th ed. Springer, 2020.

APÊNDICE A – Publicações

Durante a graduação, o autor deste trabalho participou da elaboração e desenvolvimento do seguinte artigo:

- **M. T. Perenciolo**, Y. F. Coutinho, T. F. Moreira, and M. V. Ribeiro, "Estudo comparativo dos algoritmos LMS e RLS em PLC in-band full duplex banda larga," in *XLIII Simpósio Brasileiro de Telecomunicações e Processamento de Sinais*, setembro 2025.