UNIVERSIDADE FEDERAL DE JUIZ DE FORA
FACULDADE DE ENGENHARIA
ENGENHARIA ELÉTRICA - SISTEMAS ELETRÔNICOS

Luís Karlos Mendes de Oliveira

Projeto de uma matriz de sensores APS usando o PDK Sky130 e ferramentas *Open Source*

Juiz de Fora

2026

Luís Karlos Mendes de Oliveira

Projeto de uma matriz de sensores APS usando o PDK Sky130 e ferramentas *Open Source*

Trabalho de conclusão de curso apresentado à Faculdade de Engenharia da Universidade Federal de Juiz de Fora como requisito parcial à obtenção do título de grau de bacharel em Engenharia Elétrica.

Orientador: Prof. Dr. Estêvão Coelho Teixeira

Juiz de Fora

2026

Ficha catalográfica elaborada através do Modelo Latex do CDC da UFJF
com os dados fornecidos pelo(a) autor(a)

Oliveira, Luís Karlos Mendes de.
Projeto de uma matriz de sensores APS usando o PDK Sky130 e ferramentas *Open Source* / Luís Karlos Mendes de Oliveira. – 2026.
60 f. : il.

Orientador: Estêvão Coelho Teixeira
Trabalho de Conclusão de Curso (graduação) – Universidade Federal de Juiz de Fora, Faculdade de Engenharia. Engenharia Elétrica - Sistemas Eletrônicos, 2026.

1. Sensor de imagem CMOS. 2. PDK Sky130. 3. Ferramentas de código aberto. I. Teixeira, Estêvão Coelho, orient. II. Título.

Luís Karlos Mendes de Oliveira

Projeto de uma matriz de sensores APS usando o PDK Sky130 e ferramentas *Open Source*

Trabalho de conclusão de curso apresentado à Faculdade de Engenharia da Universidade Federal de Juiz de Fora como requisito parcial à obtenção do título de grau de bacharel em Engenharia Elétrica.

Aprovada em 28 de janeiro de 2026

BANCA EXAMINADORA

Prof. Dr. Estêvão Coelho Teixeira - Orientador
Universidade Federal de Juiz de Fora

Prof. Dr. Augusto Santiago Cerqueira
Universidade Federal de Juiz de Fora

Prof. Dr. Marcelo Antônio Alves Lima
Universidade Federal de Juiz de Fora

AGRADECIMENTOS

Aos meus pais, Maiza Aparecida Mendes Fonseca de Oliveira e José Carlos de Oliveira. Agradeço pelo amor incondicional e por serem meus alicerces. A presença de vocês ao meu lado em todos os momentos, especialmente naqueles de maior adversidade e fragilidade, foi a força que me permitiu superar os obstáculos e chegar até aqui. Esta conquista também é de vocês.

À minha irmã, Letícia Estefane Mendes de Oliveira, pelo carinho e companheirismo, e à minha sobrinha Maitê Mendes de Oliveira Vilela, cuja chegada há pouco mais de um ano trouxe muita alegria para a nossa família.

Ao meu orientador, Prof. Dr. Estêvão Coelho Teixeira, pela paciência e condução desta pesquisa ao longo destes últimos dois anos. Agradeço também ao Dr. Filipe Vinci dos Santos, diretor da Vinci Consulting, pela colaboração essencial desde o início do projeto. A orientação de ambos foi fundamental não apenas para este trabalho, mas para os frutos acadêmicos decorrentes deste trabalho, incluindo dois artigos em congressos e um capítulo de livro.

Aos meus amigos Augusto, Bernardo, Elian, Luan e Otton. Nossa amizade, construída desde o ensino médio e fortalecida durante a graduação, tornou esta jornada mais leve e significativa.

Aos membros da banca examinadora, agradeço pela disponibilidade em avaliar este trabalho, pela leitura atenta e pelas valiosas contribuições e sugestões, que foram fundamentais para o aprimoramento da versão final deste texto.

Agradeço também à Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES), Código de Financiamento 001, pela bolsa de mestrado atualmente concedida no Programa de Iniciação Científica e Mestrado em Matemática (PICME), bem como ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), pelo apoio financeiro à minha formação acadêmica ao longo da graduação.

Por fim, agradeço à vida, o universo e tudo o mais.

"You live and learn. At any rate, you live." (ADAMS, 1992)

RESUMO

Este trabalho apresenta o projeto, a implementação do layout e a caracterização pós-layout de uma matriz reduzida de sensores de imagem com topologia 3T-APS, desenvolvida utilizando um conjunto de ferramentas de código aberto com o PDK Sky130. A metodologia adotada compreendeu o estudo teórico e a modelagem do pixel 3T, seguidos por uma análise comparativa de linearidade e excursão do sinal de diferentes arranjos com os transistores disponíveis no processo. Com base neste estudo, selecionaram-se as configurações mais promissoras para a implementação do layout de uma matriz 2×2, integrada a um multiplexador analógico e ao circuito de polarização. O fator de preenchimento obtido para os pixels implementados no layout é superior a 65%. As validações físicas (DRC e LVS) e as simulações pós-layout confirmaram a integridade do projeto, demonstrando a correta operação da lógica de endereçamento e dos ciclos de *reset* e integração. Conclui-se que o conjunto de ferramentas de código aberto é robusto e viável para o projeto de sensores de imagem CMOS, constituindo uma base sólida para a futura fabricação e caracterização experimental do dispositivo.

Palavras-chave: Sensores de imagem CMOS; PDK Sky130; Ferramentas de código aberto.

ABSTRACT

This work presents the design, layout implementation, and post-layout characterization of a reduced image sensor array with 3T-APS topology, developed using a completely open-source tools with the open Sky130 PDK. The adopted methodology encompassed the theoretical study and modeling of the 3T pixel, followed by a comparative analysis of linearity and signal swing of different arrangements with the transistors available in the process. Based on this study, the most promising configurations were selected for the layout implementation of a 2×2 matrix, integrated with an analog multiplexer and the bias circuit. The fill factor obtained for the pixels implemented in the layout is greater than 65%. Physical verifications (DRC and LVS) and post-layout simulations confirmed the design integrity, demonstrating the correct operation of the addressing logic and the reset and integration cycles. It is concluded that the open-source tools is robust and viable for the design of CMOS image sensors, constituting a solid foundation for the future fabrication and experimental characterization of the device.

Keywords: CMOS Image Sensors; Sky130 PDK; Open Source Tools.

LISTA DE FIGURAS

Figura 1 – Representação do efeito fotoelétrico em semicondutores. 18
Figura 2 – Transferência de carga em uma matriz de sensores CCD. 20
Figura 3 – Câmera digital colorida da Photobit. 21
Figura 4 – Diagrama básico de uma matriz de sensores APS. 22
Figura 5 – Estrutura do fotodiodo poço-substrato. 23
Figura 6 – Esquemático do pixel 3T-APS. 23
Figura 7 – Circuito equivalente do fotodiodo. 25
Figura 8 – Vista transversal de um chip (*process stack*) fabricado no processo Sky130 (desenho fora de escala). 28
Figura 9 – Fluxo de projeto adotado. 29
Figura 10 – Seção transversal do transistor `1v8_std`. 30
Figura 11 – Seção transversal do transistor `1v8_lvt`. 30
Figura 12 – Seção transversal do transistor `3v3_ntv`. 30
Figura 13 – Seção transversal do transistor NMOS `5v0_std`. 31
Figura 14 – Seção transversal do transistor PMOS `5v0_std`. 31
Figura 15 – Circuito utilizado na simulação DC. 36
Figura 16 – Diagrama de blocos da matriz de pixel 2×2 incluindo um multiplexador analógico 16:1. 37
Figura 17 – Layout da matriz 2x2. 38
Figura 18 – Layout do multiplexador analógico de 16 entradas. 39
Figura 19 – Layout e esquemático dos multiplexadores 4:1 implementados. 40
Figura 20 – Efeito antena e formas de corrigir. 40
Figura 21 – Layout e esquemático dos inversores implementados. 41
Figura 22 – Layout do espelho de corrente. 41
Figura 23 – Layout do pixel da configuração I. 42
Figura 24 – Layout do pixel da configuração II. 42
Figura 25 – Layout do pixel da configuração III. 43
Figura 26 – Layout do pixel da configuração IV. 43
Figura 27 – Vista superior do layout da matriz no Magic. 44
Figura 28 – Circuito utilizado na simulação AC. 45
Figura 29 – Circuito utilizado na simulação transiente. 46
Figura 30 – Níveis lógicos dos sinais de comando. 47
Figura 31 – Resultados da simulação DC para as configurações I, II e III. 50
Figura 32 – Resultados da simulação DC para as configurações IV, V e VI. 50
Figura 33 – Mudança da região de operação do transistor M_{SEL} na configuração V. 51
Figura 34 – Capacitância no nó sensível para as quatro configurações. 53
Figura 35 – Tensões de *reset*, no nó sensor v_{pix} e de saída v_{out}. 54

LISTA DE TABELAS

Tabela 1 – Tensões de limiar máximas obtidas para cada modelo de transistor. . . 31
Tabela 2 – Modelos dos transistores de cada configuração. 34
Tabela 3 – Niveis de tensão de cada configuração. 35
Tabela 4 – Resultados da simulação OP. 35
Tabela 5 – Excursão do sinal de saída e linearidade das seis configurações. 52
Tabela 6 – Fator de preenchimento das quatro configurações. 52

LISTA DE ABREVIATURAS E SIGLAS

ADC	*Analog-to-Digital Converter* (Conversor Analógico-Digital)
APS	*Active Pixel Sensor* (Sensor de Pixel Ativo)
CCD	*Charge-Coupled Device* (Dispositivo de Carga Acoplada)
CIS	*CMOS Image Sensor* (Sensor de Imagem CMOS)
CMOS	*Complementary Metal-Oxide-Semiconductor* (Semicondutor Complementar de Óxido Metálico)
DRC	*Design Rule Check* (Verificação de Regras de Projeto)
EDA	*Electronic Design Automation* (Automação de Design Eletrônico)
FET	*Field Effect Transistor* (Transistor de Efeito de Campo)
GDS	*Graphic Data System* (Sistema de Dados Gráficos)
JPL	*Jet Propulsion Laboratory* (Laboratório de Propulsão a Jato)
LVS	*Layout Versus Schematic* (Comparação entre Layout e Esquemático)
MOS	*Metal-Oxide-Semiconductor* (Semicondutor de Óxido Metálico)
MOSFET	*Metal-Oxide-Semiconductor Field Effect Transistor* (Transistor de Efeito de Campo de Metal-Óxido-Semicondutor)
MPW	*Multi-Project Wafer* (Wafer Multi-Projeto)
NASA	*National Aeronautics and Space Administration* (Administração Nacional da Aeronáutica e Espaço)
NDA	*Non-Disclosure Agreement* (Acordo de Não Divulgação)
NMOS	*N-type Metal-Oxide-Semiconductor* (Semicondutor de Óxido Metálico tipo N)
OTA	*Operational Transconductance Amplifier* (Amplificador Operacional de Transcondutância)
PDK	*Process Design Kit* (Kit de Projeto de Processo)
PMOS	*P-type Metal-Oxide-Semiconductor* (Semicondutor de Óxido Metálico tipo P)
QE	*Quantum Efficiency* (Eficiência Quântica)
SoC	*System-on-Chip* (Sistema em um Chip)

SUMÁRIO

1 INTRODUÇÃO 12
1.1 OBJETIVOS 13
1.2 PRODUÇÃO BIBLIOGRÁFICA 13
1.3 ESTRUTURA DA DISSERTAÇÃO 14
2 FUNDAMENTAÇÃO TEÓRICA 16
2.1 FIGURAS DE MÉRITO 16
2.1.1 Fator de preenchimento (*fill factor*) 16
2.1.2 Faixa dinâmica (DR - *Dynamic Range*) 16
2.1.3 Ganho de conversão 17
2.1.4 Eficiência quântica (QE - *Quantum Efficiency*) 17
2.2 SENSORES DE IMAGEM 18
2.2.1 Efeito fotoelétrico 18
2.2.2 Dispositivos de carga acoplada (CCD - *Charge-Coupled Device*) 19
2.2.3 O sensor de pixel ativo (APS - *Active Pixel Sensor*) 20
2.2.4 Estrutura do pixel 3T 23
2.2.5 Princípios de funcionamento do pixel 3T-APS 24
2.3 O PROCESS DESIGN KIT (PDK) SKY130 26
2.3.1 Transistor 1.8V NMOS FET (`1v8_std`) 28
2.3.2 Transistor 1.8V low-VT NMOS FET (`1v8_lvt`) 28
2.3.3 Transistor 3.0V native NMOS FET (`3v3_ntv`) 29
2.3.4 Transistor 5.0V/10.5V NMOS FET (`5v0_std`) 30
2.4 CONSIDERAÇÕES PARCIAIS 32
3 METODOLOGIA DE PROJETO E SIMULAÇÃO 33
3.1 DEFINIÇÃO DAS CONFIGURAÇÕES DE PIXEL 33
3.2 SIMULAÇÃO E ANÁLISE DE DESEMPENHO EM DC 34
3.3 IMPLEMENTAÇÃO DO LAYOUT DA MATRIZ 2X2 36
3.4 EXTRAÇÃO E SIMULAÇÃO PÓS-LAYOUT 43
3.4.1 Simulação de pequenos sinais 45
3.4.2 Simulação transiente 45
3.5 CONSIDERAÇÕES PARCIAIS 47
4 APRESENTAÇÃO E ANÁLISE DOS RESULTADOS 49
4.1 ESTUDO COMPARATIVO DA LINEARIDADE 49
4.2 FATOR DE PREENCHIMENTO (FILL FACTOR) 52
4.3 ANÁLISE DA CAPACITÂNCIA DO NÓ SENSÍVEL 52
4.4 ANÁLISE DA RESPOSTA TRANSIENTE DA MATRIZ 53
4.5 CONSIDERAÇÕES PARCIAIS 55
5 CONCLUSÃO 56

5.1 TRABALHOS FUTUROS 56
REFERÊNCIAS 58

1 INTRODUÇÃO

Os sensores de pixel ativo (APS - *Active Pixel Sensors*) são as estruturas fundamentais dos imageadores CMOS (*Complementary Metal-Oxide-Semiconductor*) modernos, presentes atualmente em uma vasta gama de câmeras digitais. Suas aplicações estendem-se desde o uso geral, como em *smartphones*, até áreas específicas como segurança, diagnóstico médico e instrumentação científica (FREITAS; MORGADO-DIAS, 2020).

A origem destes sensores remonta à década de 1990, com o trabalho desenvolvido por pesquisadores do Laboratório de Propulsão a Jato (JPL - *Jet Propulsion Laboratory*) da NASA (FOSSUM, 1997). À época, o APS surgiu como uma alternativa aos dispositivos de carga acoplada (CCD - *Charge-Coupled Device*), que dominavam o mercado.

O grande diferencial do APS em relação ao CCD, e a principal motivação para o investimento no seu desenvolvimento, foi a possibilidade de integração do sensor em um único *chip* contendo toda a eletrônica de leitura, utilizando a tecnologia CMOS padrão. Com isso, viabilizou-se o conceito de *Camera-on-a-Chip* (FOSSUM, 1997). Isso permitiu a redução do tamanho e consumo de potência dos sistemas de imagem, além de possibilitar a implementação de processamento de sinal *in-pixel* (GAMAL; YANG; FOWLER, 1999), havendo relatos de sensores APS com mais de 20 transistores por pixel (NUNES, 2012).

Desde então, avanços nas técnicas de fabricação e em novas topologias de pixels permitiram o surgimento de sensores de imagem CMOS (CIS - *CMOS Image Sensors*) com alta linearidade (TEYMOURI; SOBHI, 2018), ampla faixa dinâmica (TEIXEIRA; SANTOS; MESQUITA, 2010), redução de ruído (FREITAS; MORGADO-DIAS, 2022), dentre outros.

Apesar dos avanços em tecnologia CMOS, o acesso ao ciclo de projeto de circuitos integrados permaneceu, por um longo período, restrito. A combinação de ferramentas de Automação de Design Eletrônico (EDA - *Electronic Design Automation*) de alto custo com os rígidos contratos de confidencialidade (NDA - *Non-Disclosure Agreements*) das *foundries* criou uma barreira de entrada proibitiva para grande parte da comunidade acadêmica e desenvolvedores independentes.

Entretanto, este cenário tem sofrido alterações com o movimento de hardware aberto, *Open Silicon*. Em 2020, a parceria entre a Google e a *foundry* SkyWater Technology resultou no lançamento do primeiro *Process Design Kit* (PDK) de código aberto e manufaturável para o nó tecnológico híbrido de 130-180 nm da SkyWater, o Sky130 (SkyWater, 2020). Iniciativas como esta, somadas às ferramentas de EDA de código aberto, têm democratizado o acesso ao silício, permitindo que estudantes, pesquisadores e demais interessados em microeletrônica projetem, verifiquem e fabriquem seus próprios circuitos integrados.

Neste contexto, este trabalho apresenta o desenvolvimento de uma matriz de sensores APS, especificamente a topologia com três transistores (3T-APS), utilizando

o PDK Sky130 e um conjunto de ferramentas de EDA totalmente aberto. O projeto abrange desde uma revisão teórica dos sensores de imagem e um estudo comparativo de alguns transistores disponíveis no PDK, até a implementação do layout e a caracterização pós-layout de uma matriz reduzida de sensores 3T-APS, visando demonstrar a viabilidade técnica da criação destes imageadores dentro do paradigma de *Open Silicon*.

1.1 OBJETIVOS

O objetivo geral deste trabalho é projetar, implementar e caracterizar, em nível de simulação pós-layout, uma matriz de sensores de imagem CMOS com topologia 3T-APS, utilizando o PDK aberto Sky130 e um conjunto de ferramentas de EDA de código aberto.

Para alcançar este propósito, foram definidos os seguintes objetivos específicos:

- Realizar um estudo comparativo de linearidade e excursão do sinal de saída para diferentes arranjos do pixel 3T. Para tal, foram utilizados os modelos de transistores disponíveis no Sky130, a fim de identificar as configurações com melhor desempenho;
- Implementar o layout de uma matriz de pixels 2×2 com as configurações selecionadas, bem como o layout de um multiplexador analógico 16:1 e dos circuitos de polarização;
- Obter o fator de preenchimento de cada pixel, além de validar o funcionamento do circuito através de simulações pós-layout. Foi realizada a análise AC para a extração da capacitância do nó sensível e a análise transiente para a verificação da resposta temporal da matriz.

1.2 PRODUÇÃO BIBLIOGRÁFICA

As atividades de pesquisa desenvolvidas ao longo deste trabalho resultaram na produção de três publicações científicas, submetidas e aprovadas por pares. Os trabalhos detalham etapas específicas do projeto, desde a validação esquemática até a implementação e a validação do layout. A seguir, são listadas as produções decorrentes:

- OLIVEIRA, L. K. M.; TEIXEIRA, E. C.; SANTOS, F. V. *Study of different 3T-APS Pixel Configurations Using the Open Sky130 Process Design Kit*. Trabalho publicado e apresentado no **24º Microelectronics Students Forum (SFORUM 2024)**, realizado em João Pessoa - PB.

  Este artigo apresenta um estudo comparativo de diferentes arranjos para a implementação do pixel 3T, utilizando diversos transistores MOSFET disponíveis no PDK Sky130. O foco do trabalho foi a análise da linearidade e da excursão de tensão de saída em nível esquemático.

- OLIVEIRA, L. K. M.; TEIXEIRA, E. C.; SANTOS, F. V. *Design, layout and simulation of 3T-APS pixels using the Open Sky130 Process Design Kit.* Trabalho publicado e apresentado no **25º Microelectronics Students Forum (SFORUM 2025)**, realizado em Manaus - AM.

  Complementar ao anterior, este trabalho foca na implementação do layout e na sua validação. Descreve-se o projeto, a implementação física e a simulação pós-layout de quatro configurações de pixel 3T-APS. São comparados o ganho de conversão e as respostas transientes de cada pixel, demonstrando a viabilidade do uso de ferramentas de código aberto na implementação de imageadores CMOS.

- OLIVEIRA, L. K. M.; TEIXEIRA, E. C.; SANTOS, F. V. *Desenvolvimento de uma matriz de sensores de pixels ativos usando o PDK Sky130 e ferramentas de código aberto.* Capítulo publicado no livro **Pesquisas no Instituto de Ciências Exatas, Engenharias e Arquitetura - UFJF**, v. 2. São Paulo: Editora Akademy, 2026. ISBN 978-65-80008-84-1.

  Este capítulo de livro condensa a revisão teórica sobre a tecnologia APS e apresenta os resultados do projeto. Aborda-se desde o princípio de funcionamento dos imageadores e a topologia 3T, passando pelo comparativo dos dispositivos do PDK Sky130, até a implementação e caracterização final da matriz reduzida de sensores.

1.3 ESTRUTURA DA DISSERTAÇÃO

Este trabalho está estruturado em cinco capítulos. Além deste capítulo introdutório, os restantes estão organizados da seguinte forma:

No Capítulo 2, é apresentada a base teórica necessária para o desenvolvimento do projeto. Abordam-se a evolução dos sensores de imagem, o princípio de funcionamento e as equações fundamentais do pixel 3T-APS, bem como as principais figuras de mérito dos sensores de imagem. Detalham-se, ainda, o PDK utilizado, o conjunto de ferramentas de EDA adotado e as características dos transistores empregados.

No Capítulo 3, é descrita a metodologia de projeto. Detalha-se a definição das seis configurações de pixel investigadas e o critério de avaliação de linearidade proposto. Na sequência, apresenta-se o layout da matriz 2×2 e do multiplexador, além dos procedimentos para a extração de parasitas e configuração das simulações pós-layout.

No Capítulo 4, são exibidos e discutidos os resultados obtidos por simulação. Inicialmente, analisa-se o desempenho DC das configurações propostas, justificando a seleção das topologias que seguiram para a etapa de layout. A seguir, são apresentados os resultados da caracterização pós-layout, incluindo a análise do fator de preenchimento, a capacitância do nó sensível e a validação do funcionamento da matriz através da resposta transiente.

Por fim, no Capítulo 5, são apresentadas as conclusões do trabalho, sintetizando as contribuições alcançadas e sugerindo trabalhos futuros para a continuidade do desenvolvimento da matriz de sensores APS.

2 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo, são apresentados os conceitos fundamentais para a compreensão e o desenvolvimento do projeto da matriz de sensores de imagem CMOS. Inicialmente, definem-se as principais figuras de mérito utilizadas para a caracterização e comparação de desempenho entre diferentes sensores.

Na sequência, é realizada uma revisão bibliográfica sobre a evolução dos sensores de imagem, tratando do efeito fotoelétrico e da transição da tecnologia CCD para os sensores CMOS. Abordam-se o princípio de funcionamento e a modelagem matemática do sensor de pixel ativo, especificamente a topologia de três transistores (3T-APS), foco deste trabalho.

Por fim, destaca-se o diferencial desta pesquisa, que é a utilização de ferramentas de código aberto em todas as etapas do projeto analógico do CIS. O PDK Sky130 é brevemente introduzido, bem como as ferramentas EDA de código aberto (Xschem, NGSPICE, Magic, KLayout e Netgen) utilizadas no fluxo de projeto. O capítulo encerra-se com a descrição das características elétricas dos transistores específicos selecionados para o estudo comparativo de linearidade.

2.1 FIGURAS DE MÉRITO

A seguir, são descritas algumas figuras de mérito fundamentais de sensores de imagem, dentre elas o fator de preenchimento, a faixa dinâmica, o ganho de conversão e a eficiência quântica. Tais parâmetros são utilizadas para caracterizar os dispositivos e servem como base de comparação de desempenho entre diferentes sensores.

2.1.1 Fator de preenchimento (*fill factor*)

O fator de preenchimento é definido como a razão entre a área fotossensível e a área total do pixel. Sensores APS costumam ser projetados para ter um fator de preenchimento entre 25% e 30%, sendo desejáveis valores elevados (FOSSUM, 1998). A luz que incidiria na região não sensível do pixel (ocupada pelos transistores e interconexões metálicas) pode ser concentrada na região fotossensível utilizando microlentes. Estas lentes podem ser fabricadas tanto pela aplicação de filmes finos de polímero (*polymer-thin film*) quanto por processos de corrosão (*etching*) do vidro depositado sobre o chip. O uso destas microlentes pode aumentar o fator de preenchimento para valores entre 75% e 80% (FOSSUM, 1998).

2.1.2 Faixa dinâmica (DR - *Dynamic Range*)

A faixa dinâmica é formalmente expressa pela razão entre o sinal máximo possível de saída do pixel e o nível mínimo de sinal detectável. O limite superior é determinado pela capacidade de poço cheio (FWC - *Full Well Capacity*) e o limite inferior é imposto

pelo desvio padrão do ruído de leitura (σ_R) (STEFANOV, 2022). Assim, a DR é expressa, em decibéis, pela Equação 2.1:

$$\mathrm{DR} = 20 \log \left(\frac{\mathrm{FWC}}{\sigma_R} \right) \tag{2.1}$$

Para comparação, o olho humano apresenta uma faixa dinâmica de aproximadamente 90 dB, enquanto os sensores de imagem CCD e CMOS típicos operam entre 65 e 75 dB (YADID-PECHT; ETIENNE-CUMMINGS, 2004). Caso o FWC seja definido como o nível de saturação do sensor (S_{sat}), então a faixa dinâmica pode ser entendida como a razão entre o nível de iluminação que causa saturação e o nível mínimo detectável (limitado pelo ruído de leitura), como em (TEIXEIRA, 2010).

2.1.3 Ganho de conversão

Comumente, o processo de leitura em sensores de imagem CMOS baseia-se na conversão de carga acumulada no elemento fotossensor em um nível de tensão. Segundo (STEFANOV, 2022), esta conversão ocorre sobre uma capacitância equivalente no nó sensor do pixel (nó V_{PIX} da Figura 6). Cabe observar que esta capacitância (C) não é proveniente de um capacitor físico, mas se refere à capacitância efetiva parasita formada pela junção *pn* do fotodiodo e dos transistores adjacentes ao nó sensor em relação ao terra (GND).

Para quantificar esta conversão de carga em tensão é definido o ganho de conversão (G_c - *conversion gain*), também chamado de fator carga–tensão (CVF - *charge to voltage factor*). Ele expressa a variação da tensão na saída para cada elétron coletado, e é determinado segundo a Equação 2.2:

$$G_c = \frac{q}{C} \tag{2.2}$$

onde q representa a carga elementar ($q \approx 1,602 \times 10^{-19}$ coulombs).

2.1.4 Eficiência quântica (QE - *Quantum Efficiency*)

A eficiência quântica descreve a eficácia do pixel em converter os fótons incidentes em portadores de carga (elétrons ou buracos). Ela é formalmente definida pela razão entre o número de portadores de carga efetivamente coletados pelo fotodiodo e o número total de fótons que atingiram a superfície do pixel (FOSSUM, 1998). A eficiência quântica média de um pixel, que é dependente do comprimento de onda, é da ordem de 30% na faixa de luz visível (comprimentos de onda entre 380 nm e 750 nm) (FOSSUM, 1998).

2.2 SENSORES DE IMAGEM

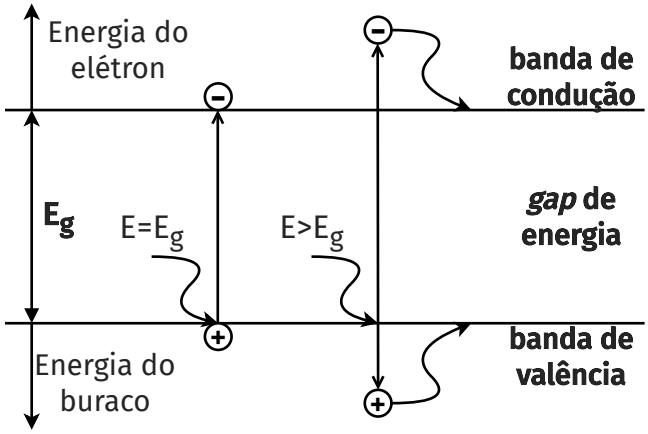
A pesquisa e o desenvolvimento de sensores de imagem baseados em semicondutores remontam à década de 1960. Exemplos pioneiros incluem o sensor computacional proposto em (MORRISON, 1963), que permitia determinar a posição de um ponto de luz utilizando o efeito fotoelétrico, e a matriz de transistores NPN endereçada por uma rede resistiva desenvolvida pela IBM em 1964, capaz de produzir um pulso de saída proporcional à intensidade da luz incidente (HORTON; MAZZA; DYM, 1964).

Apesar das diferentes arquiteturas propostas ao longo das décadas, todos os sensores de imagem de estado sólido compartilham o mesmo princípio físico fundamental, o efeito fotoelétrico, descrito a seguir.

2.2.1 Efeito fotoelétrico

Conforme descrito em (STEFANOV, 2022), quando um fóton incide na superfície de um semicondutor com energia suficiente, ele pode ser absorvido por um elétron na camada de valência. Este processo libera o elétron para a banda de condução, tornando-o livre para se mover no semicondutor. A excitação do elétron também gera um buraco, que se comporta como um portador de carga móvel, conforme ilustrado na Figura 1. Desta forma, o fóton é absorvido e cria-se um par elétron-buraco.

Figura 1 – Representação do efeito fotoelétrico em semicondutores.



Fonte: Stefanov (2022) (adaptado).

A energia mínima necessária para que o fóton seja absorvido corresponde ao *gap* de energia do semicondutor (E_g). No caso do silício, este valor ($E_g \approx 1,12$ eV) torna o material sensível a toda a faixa de luz visível e parte do infravermelho próximo (STEFANOV, 2022).

Fótons com energia inferior a E_g não possuem energia suficiente para levar um elétron à banda de condução e, como não há mecanismos alternativos de absorção do

fóton, o silício torna-se transparente para estes comprimentos de onda. A relação entre a energia do fóton (E_{ph}) e seu comprimento de onda é dada pela Equação 2.3:

$$E_{ph} = \frac{hc}{\lambda} \tag{2.3}$$

onde h é a constante de Planck ($6,62 \times 10^{-34}$ J $\cdot$ s), c é a velocidade da luz no vácuo (3×10^8 m/s) e λ é o comprimento de onda do fóton incidente.

Cabe observar que a incidência de um fóton na superfície do sensor não garante a geração de sinal elétrico. Um fóton pode ser refletido ou atravessar o material sem interagir com os átomos dele. Além disso, mesmo que um par elétron-buraco seja gerado, estes portadores de carga podem sofrer recombinação antes de serem coletados, não contribuindo para a fotocorrente.

No caso ideal, onde todo fóton incidente no sensor é absorvido e gera um par elétron-buraco que é efetivamente coletado (sem recombinação), a eficiência quântica seria de 100%.

2.2.2 Dispositivos de carga acoplada (CCD - *Charge-Coupled Device*)

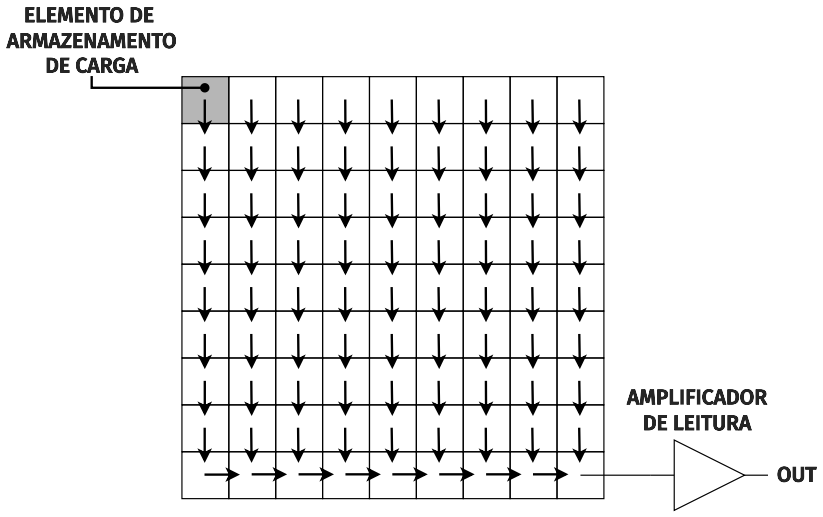
Em 1970, foi reportado o dispositivo de carga acoplada (BOYLE; SMITH, 1970), tecnologia que dominaria o mercado de sensores de imagens pelas décadas seguintes. A base do pixel CCD é um capacitor MOS (*Metal-Oxide-Semiconductor* - Metal-Óxido-Semicondutor) que integra a carga elétrica gerada pelos fótons incidentes, que por sua vez é proporcional à intensidade luminosa.

O princípio de operação do CCD baseia-se na transferência de carga de uma célula para outra após o período de integração. Este processo ocorre de forma sequencial e sincronizada, similar a um registrador de deslocamento. A Figura 2 ilustra, de forma simplificada, o funcionamento de uma matriz de sensores CCD. A carga acumulada no capacitor MOS (elemento de armazenamento) é deslocada na matriz, linha a linha, até um barramento horizontal. Em seguida, a carga é transferida pixel a pixel em direção a um único amplificador de saída, que converte a carga em tensão para ser enviada a um circuito externo, onde ocorre a digitalização e o processamento do sinal.

Dentre as vantagens dos dispositivos CCD, que motivaram o grande interesse da indústria e dos pesquisadores da época, pode-se citar o alto fator de preenchimento, já que todo o pixel está envolvido no processo de acumular carga, e o fato de ser praticamente imune ao ruído de padrão fixo (FPN - *Fixed Pattern Noise*), que era um dos grandes problemas dos sensores CMOS.

O FPN é um ruído invariante no tempo que está relacionado com as imperfeições da fabricação dos chips. Idealmente, cada pixel da matriz deve produzir o mesmo sinal de saída, caso seja submetido a uma iluminação uniforme. Mas, como o processo de litografia

Figura 2 – Transferência de carga em uma matriz de sensores CCD.



Fonte: TEIXEIRA (2010) (adaptado).

não é perfeito, existem diferenças no formato e na dopagem do semicondutor, entre outros parâmetros de cada pixel, o que leva a variações de resposta entre pixels diferentes da matriz.

Os dispositivos CCD também apresentavam desvantagens, como a necessidade de processos de fabricação específicos. Já que o princípio de funcionamento dos sensores CCD é a transferência de carga, para que o sinal não seja degradado ao longo da matriz, é necessária uma eficiência de transferência elevadíssima (acima de 99%). Por este mesmo motivo, também havia dificuldades em escalonar a matriz (aumentar a resolução da imagem), além do consequente aumento do tempo de leitura, já que seria necessário ler toda a matriz sequencialmente.

Os dispositivos CCD também apresentavam um alto consumo energético, da ordem de 5 a 10 W (FOSSUM, 1997), além de que toda a lógica de processamento de sinal, temporização e conversão analógico-digital era realizada fora do chip. Isto limitava a miniaturização do sensor e, somado ao alto consumo, inviabilizava certas aplicações científicas, como as pesquisas espaciais.

2.2.3 O sensor de pixel ativo (APS - *Active Pixel Sensor*)

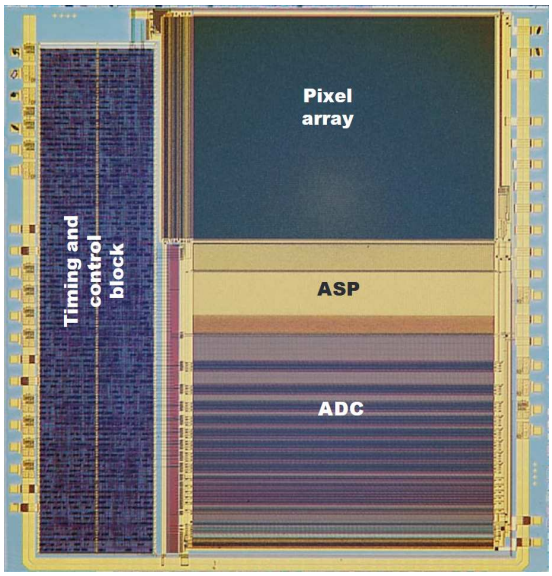
Na década de 1990, o avanço das tecnologias de fabricação CMOS e a busca pela miniaturização dos sensores de imagem levaram ao desenvolvimento de imageadores CMOS com desempenho semelhante aos dispositivos CCD da época.

A principal motivação era a demanda por sensores portáteis, de baixo consumo energético e que integrassem toda a eletrônica necessária para controle, temporização, conversão analógico-digital e processamento de sinal em um único chip (conceito de

camera-on-a-chip) (FOSSUM, 1997). Os principais resultados deste período vieram dos pesquisadores do Laboratório de Propulsão a Jato da NASA, liderados por Eric Fossum, com o desenvolvimento de sensores CMOS em parceria com a AT&T (*American Telephone and Telegraph*) Bell Laboratories (NIXON *et al.*, 1995; ALEX, 1995).

Na Figura 3 é apresentado um imageador desenvolvido pela Photobit, empresa fundada para desenvolver e comercializar a tecnologia de sistemas CMOS originada no JPL/NASA, que integra a matriz de pixels com o bloco de condicionamento analógico (ASP), conversores analógico-digitais (ADC), além de interfaces de temporização e controle.

Figura 3 – Câmera digital colorida da Photobit.



Fonte: Fossum (1998).

Os sensores CMOS obtiveram desempenho competitivo com os CCD não apenas graças à evolução da litografia, mas também pelo aprimoramento das técnicas de processamento de sinais, com destaque para a amostragem dupla correlacionada (CDS - *Correlated Double Sampling*). Esta técnica é fundamental para a mitigação do ruído de padrão fixo. O método consiste em realizar a leitura do sinal de cada pixel em dois instantes distintos. Primeiramente, é amostrado o nível de tensão logo após o *reset* do elemento fotossensor. Na sequência, realiza-se a leitura logo após o tempo de integração da fotocorrente. O sinal útil é obtido pela diferença entre estes dois níveis de tensão. Como o descasamento entre os pixels afeta, de forma idêntica, a leitura de ambos os instantes, a subtração destes sinais cancela tais componentes indesejados.

O sensor de pixel ativo recebe esta denominação por possuir um amplificador de leitura em cada pixel, cumprindo a função de um *buffer*. Deste modo, é possível melhorar a relação sinal-ruído (SNR - *Signal-to-Noise Ratio*) do sinal lido em cada pixel, possibilitando o escalonamento da matriz.

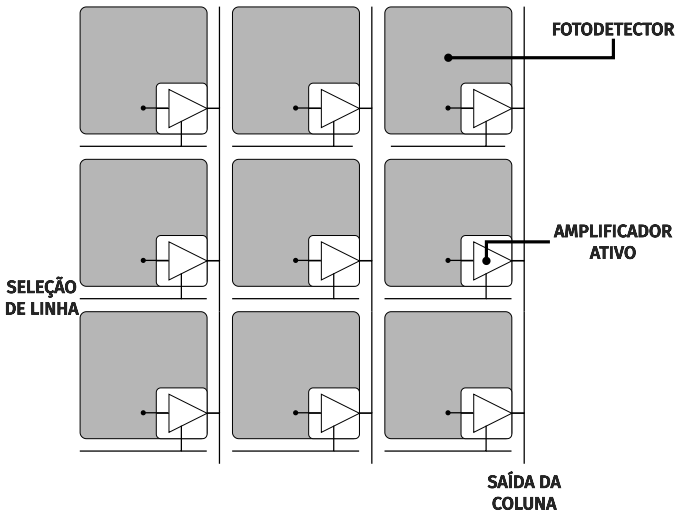
Neste ponto, vale mencionar a existência dos sensores de pixel passivo (PPS -

Passive Pixel Sensor) que, como o nome sugere, não possuem um amplificador de leitura interno. Proposta pela primeira vez em (WECKLER, 1967), esta arquitetura possui, além do elemento fotossensor, apenas um transistor que o conecta ao barramento de leitura. Embora esta topologia apresente um alto fator de preenchimento, ela sofre com limitações de ruído, devido à ausência do *buffer*, e dificuldades no escalonamento da matriz, devido ao aumento da capacitância do barramento de leitura.

Tais problemas são mitigados nos sensores APS através da adição do amplificador em cada pixel, embora isso, evidentemente, resulte na diminuição do fator de preenchimento. Entretanto, conforme analisado em (FOSSUM, 1997), o ganho de desempenho obtido com a drástica redução do ruído de leitura compensa a perda de sinal óptico. O resultado final é um aumento tanto na relação sinal-ruído quanto na faixa dinâmica do sensor.

Em uma matriz de sensores APS, cujo diagrama simplificado é apresentado na Figura 4, cada pixel pode ser endereçado individualmente. Para isto, utiliza-se decodificadores que, por meio de um sinal de seleção de linhas e um sinal de seleção de colunas, são responsáveis pela lógica combinacional de endereçamento dos pixels. Vale destacar que o projeto dos decodificadores, implementada para uma matriz de 128 × 128 pixels utilizando o Sky130, foi desenvolvido em (SOUZA; PEREIRA; TEIXEIRA, 2024), enquanto este trabalho foca no projeto analógico do pixel e da matriz.

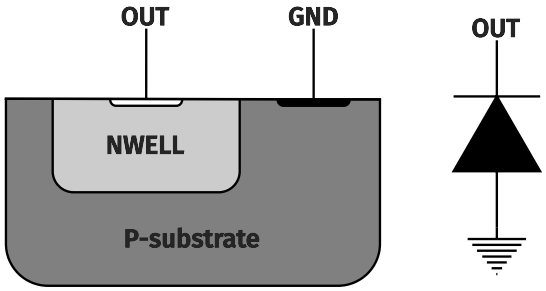
Figura 4 – Diagrama básico de uma matriz de sensores APS.



Fonte: Fossum (1998) (adaptado).

Em processos CMOS padrão, a implementação de fotodiodos pode ser realizada através de diferentes configurações de junções *pn*. Mas, conforme discutido em (FOSSUM, 1997), as estruturas formadas por difusões n+ sobre um substrato do tipo-p geralmente apresentam desempenho superior. O dispositivo fotossensível disponível no PDK Sky130 e utilizado neste trabalho baseia-se justamente nesta topologia, cuja representação simplificada é ilustrada na Figura 5.

Figura 5 – Estrutura do fotodiodo poço-substrato.

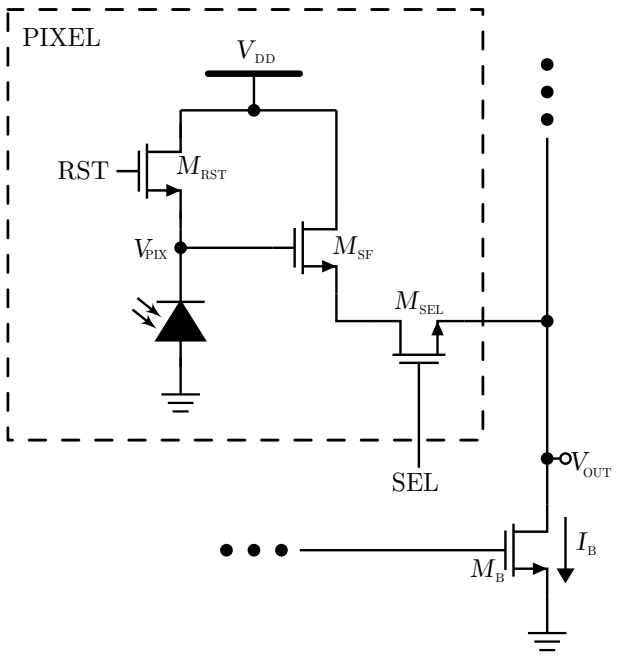


Fonte: Elaborado pelo autor (2026).

2.2.4 Estrutura do pixel 3T

Como apresentado na Figura 6, o pixel 3T recebe este nome pois possui, além do fotodiodo, três transistores. O transistor M_B é externo ao pixel e, funcionando como uma fonte de corrente, é o responsável pela polarização dos pixels de uma mesma coluna. Os terminais de corpo dos transistores estão omitidos na Figura 6, uma vez que todos compartilham o mesmo substrato e encontram-se aterrados.

Figura 6 – Esquemático do pixel 3T-APS.



Fonte: Oliveira, Teixeira e Santos (2026).

O transistor M_{RST} é chamado de transistor de *reset* e opera como uma chave analógica. Na presença de um nível lógico alto em sua porta (*gate*), a capacitância do fotodiodo, reversamente polarizado, é carregada.

Já o transistor M_{SEL} é o transistor de seleção, que também opera como uma chave

analógica e é o que permite o endereçamento de cada linha da matriz. Quando o sinal de seleção está em nível alto, o transistor M_{SF}, polarizado pelo M_B, compõem um típico amplificador seguidor de fonte, o que motiva seu nome (SF - *source follower*).

Cabe destacar que a adição de um transistor de porta de transmissão pode melhorar o desempenho do pixel (BROUK; NEMIROVSKY; NEMIROVSKY, 2008), arquitetura conhecida como 4T. Porém, o entendimento do pixel 3T constitui a base para as demais topologias.

2.2.5 Princípios de funcionamento do pixel 3T-APS

Conceitualmente, o funcionamento de um sensor CMOS utilizando um pixel 3T-APS é simples. Primeiramente, a capacitância do fotodiodo, reversamente polarizado, é carregada. Para isto, é aplicada uma tensão V_{RST} na porta do transistor M_{RST}. Isso eleva a tensão no catodo do fotodiodo, nó V_{PIX} da Figura 6, para $V_{PIX} \approx V_{RST} - V_{tn,RST}$, onde $V_{tn,RST}$ é a tensão de limiar do transistor de *reset*. O nó V_{PIX} é comumente denominado nó sensível (SN - *Sense Node*) ou, historicamente, difusão flutuante (FD - *Floating Diffusion*).

A seguir, inicia-se o tempo de integração. Como o fotodiodo encontra-se exposto à iluminação, a capacitância do nó sensível é progressivamente descarregada pela fotocorrente, a qual é gerada pelos portadores de carga provenientes do efeito fotoelétrico.

Assim, passado esse tempo, o sinal v_{OUT} disponível para a leitura é inversamente proporcional à iluminação à qual o sensor foi submetido. Em ambientes com alta iluminação, a fotocorrente é alta e, consequentemente, o valor de v_{OUT} lido ao final da integração é baixo (maior descarga). De forma complementar, em ambientes escuros, a descarga é menor e o valor de v_{OUT} permanece alto.

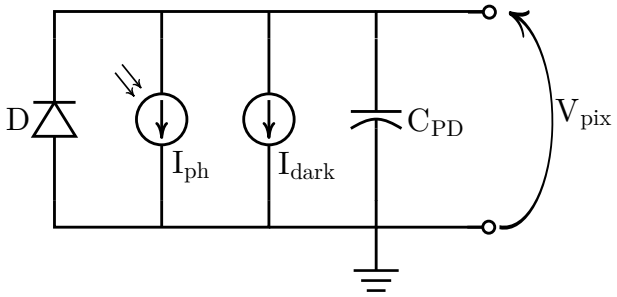
Mais precisamente, para um dado comprimento de onda λ e intensidade de luz L_{io} ($\mathrm{W/m^2}$) que incide sobre o fotodiodo com eficiência quântica η, a fotocorrente I_{ph} gerada pelo efeito fotoelétrico é dada pela Equação 2.4:

$$I_{ph} = \frac{q\eta A_D L_{io} \lambda}{hc} \tag{2.4}$$

onde q é a carga elementar do elétron ($1,602 \times 10^{-19}$ C), h é a constante de Planck ($6,62 \times 10^{-34}$ J $\cdot$ s), A_D é a área fotossensível do pixel e c é a velocidade da luz no vácuo (3×10^8 m/s).

Na Figura 7, é apresentado um circuito equivalente do fotodiodo. Nele, a fotocorrente está indicada, assim como a corrente no escuro (I_{dark} - *dark current*). Esta última é uma corrente de fuga que descarrega o fotodiodo independentemente do nível de iluminação, até mesmo na completa ausência de luz, sendo portanto fundamental na determinação da faixa dinâmica do sensor. Já a capacitância do fotodiodo é modelada pelo capacitor ideal C_{PD}.

Figura 7 – Circuito equivalente do fotodiodo.



Fonte: TEIXEIRA (2010) (adaptado).

Desta forma, a tensão no nó sensível (SN) decorrido um tempo t é dada pela Equação 2.5:

$$v_{PIX}(t) = v_{PIX}(0) - \frac{1}{C}\int_0^t I_{ph}\, d\tau \tag{2.5}$$

onde $v_{PIX}(0)$ é a tensão no SN logo após o sinal de *reset* ser retirado e $C = C_{PD} + C_{in}$ é a capacitância total do SN, composta pela soma da capacitância do fotodiodo com as capacitâncias parasitas provenientes da conexão dos transistores M_{RST} e M_{SF} ao nó sensível.

Cabe destacar que $v_{PIX}(0)$ é menor do que $V_{PIX} \approx V_{RST} - V_{tn,RST}$ devido à injeção de cargas. Parte dos elétrons armazenados no canal do M_{RST} fluem para o catodo do fotodiodo, que se encontra em um potencial elétrico maior, assim que o sinal de *reset* é retirado.

Passado o tempo de integração $t = T_{int}$, o sinal do SN é dado pela Equação 2.6:

$$v_{PIX}(T_{int}) = v_{PIX}(0) - \frac{1}{C}\int_0^{T_{int}} I_{ph}\, dt \tag{2.6}$$

sendo a carga total integrada pelo fotodiodo nesse período, $q(T_{int})$, dada pela Equação 2.7:

$$q(T_{int}) = \int_0^{T_{int}} I_{ph}\, dt \tag{2.7}$$

Quando o pixel é selecionado para a leitura, isto é, quando a tensão V_{SEL} na porta do transistor de seleção de linha é maior do que sua tensão de limiar, a tensão de saída $v_{OUT}(t)$ disponível no barramento da coluna é dada pela Equação 2.8:

$$v_{OUT}(t) = v_{PIX}(t) - V_{tn,SF} - V_{sat,SF} \tag{2.8}$$

onde $V_{tn,SF}$ e $V_{sat,SF}$ são a tensão de limiar e a tensão de saturação do transistor de leitura, respectivamente.

Como os terminais de corpo dos transistores do pixel estão aterrados e o terminal de fonte dos transistores de *reset* e de leitura se encontram em um potencial maior, a tensão de limiar destes dispositivos é afetada pelo efeito de corpo. Segundo (SEDRA; SMITH, 2015), a tensão de limiar para o NMOS M_{SF}, considerando este efeito, é dada pela Equação 2.9:

$$V_{tn,SF} = V_{tn0,SF} + \gamma(\sqrt{2\phi_f + V_{sb,SF}} - \sqrt{2\phi_f}) \tag{2.9}$$

onde γ é o parâmetro de efeito de corpo, $V_{sb,SF} \approx V_{OUT}$ é a tensão fonte-corpo do transistor de leitura, ϕ_f é o potencial de Fermi ($2\phi_f \approx 0,7$ V) e $V_{tn0,SF}$ é a tensão de limiar do transistor de leitura para $V_{sb,SF} = 0$.

Este efeito de corpo é uma das fontes de não linearidade do sensor. Fato que motiva o estudo comparativo realizado neste trabalho, que avalia a linearidade do sinal de saída em diferentes arranjos de transistores utilizando o PDK Sky130.

Já a excursão máxima da tensão de saída, ΔV_{OUT}, é dada pela Equação 2.10 (TEIXEIRA, 2010):

$$\Delta V_{OUT} = (V_{DD} - V_{tn,RST} - V_{tn,SF} - V_{sat,SF}) - V_{OV,B} \tag{2.10}$$

onde $V_{OV,B}$ é a tensão de *overdrive* do transistor de polarização M_B. A tensão de *overdrive* de um NMOS saturado é dada pela Equação 2.11 (SEDRA; SMITH, 2015):

$$V_{OV} = \sqrt{\frac{2I_B}{k'_n(W/L)}} \tag{2.11}$$

em que I_B é a corrente de dreno do transistor M_B, k'_n é o parâmetro de transcondutância do processo e W/L é a razão de aspecto do transistor.

2.3 O PROCESS DESIGN KIT (PDK) SKY130

O Sky130 (SkyWater, 2020) é um processo híbrido CMOS de 130-180 nm, da *foundry* SkyWater, originalmente desenvolvido pela Cypress Semiconductor. Foi disponibilizado de forma aberta em 2020, através da parceria da Google com a SkyWater, sendo o primeiro PDK a ser disponibilizado neste formato, facilitando o acesso e permitindo uma democratização do desenvolvimento de circuitos integrados. Na Figura 8, é apresentada a vista transversal de um chip fabricado no Sky130 (fora de escala). Este nó possui cinco camadas metálicas, além de uma camada de interconexão local (*local interconnect*, não muito comum em outras tecnologias) e permite o projeto de indutores, capacitores metal-metal (MiM) e resistores de polissilício. Além disso, a tecnologia oferece uma vasta gama de transistores NMOS e PMOS, com tensões de 1,8 V, 3,3 V, 5,0 V e até dispositivos que suportam tensões maiores (20 V).

Cabe ressaltar que, atualmente, há outros PDKs disponibilizados de forma aberta, como o GF180MCU (GlobalFoundries, 2022), um processo CMOS de 180 nm da *foundry* GlobalFoundries, o SG13G2 (IHP, 2024), um processo BiCMOS de 130 nm baseado em tecnologia SiGe (Silício-Germânio) da *foundry* IHP (*Innovations for High Performance Microelectronics*) e o ICsprout55 (ICsprout, 2025), um processo CMOS de 55 nm de baixo consumo energético da *foundry* ICsprout.

No Sky130, o Caravel (Efables, 2020), desenvolvido pela Efabless, é o *padframe* utilizado para a integração e testes de forma padronizada em rodadas de fabricação compartilhadas (MPW - *Multi-Project Wafer*). Um *padframe* define a área de projeto e as conexões do circuito com o exterior do chip, incluindo os pinos de entrada/saída (I/O), alimentação e os circuitos de proteção contra descargas eletrostáticas (ESD - *Electrostatic Discharge*). O espaço do usuário (*user space*) do Caravel possui uma área de silício limitada de 2,92 mm × 3,52 mm, um número fixo de 38 pinos I/O de uso geral (nem todos suportam sinais analógicos) e 4 pinos de alimentação. Além disso, o *user space* tem acesso a 128 canais de analisadores lógicos e conexão via porta Wishbone ao barramento do SoC (*System on a Chip* - Sistema em um Chip) de gerenciamento.

Recentemente, foi disponibilizado o *padframe* Panamax (Efabless, 2025), desenvolvido por Tim Edwards (Efabless Corporation), com algumas melhorias em relação ao Caravel, destacando-se o aumento do número de pinos I/O de uso geral (de 38 para 72 pinos).

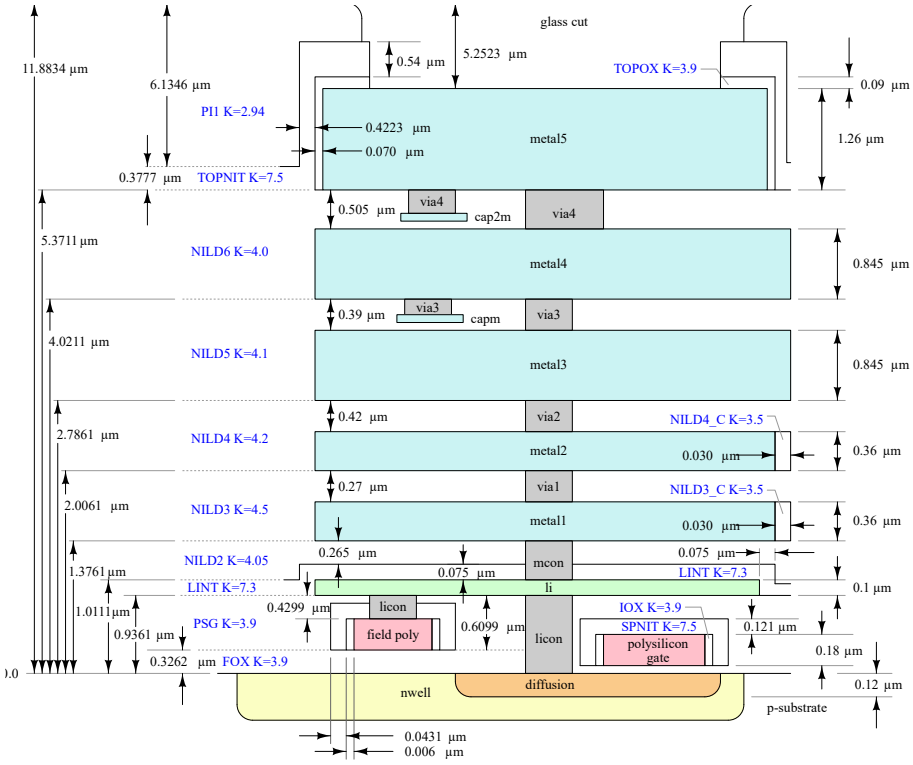
O fluxo de trabalho adotado neste projeto é apresentado na Figura 9. Primeiramente, foram realizadas simulações (ponto de operação e corrente contínua) do pixel. Para isto, utilizou-se o Xschem para a criação dos esquemáticos e posterior exportação do *netlist* (arquivo .spice) e o NGSPICE para a simulação deste *netlist*.

Para o desenvolvimento do layout, utilizou-se o Magic para a criação parametrizada dos transistores e do fotodiodo, e o KLayout para o posicionamento e roteamento das trilhas de conexão entre os dispositivos. A troca de arquivos entre o Magic e o KLayout foi realizada utilizando o formato de arquivo padrão Sistema de Dados Gráficos (GDS - *Graphic Data System*), de extensão .gds.

Posteriormente, utilizou-se o Magic novamente para a verificação das regras de projeto (DRC - *Design Rule Check*) e para a exportação do *netlist* a partir do layout. Por fim, para a verificação do layout versus esquemático (LVS - *Layout Versus Schematic*), utilizou-se o Netgen para comparar o *netlist* exportado do Xschem (a partir do esquemático) com o *netlist* exportado do Magic (a partir do layout).

A seguir, são descritas as características de alguns transistores disponíveis no Sky130 que motivaram o estudo comparativo feito neste trabalho, utilizando diversos arranjos para os três transistores do pixel 3T-APS.

Figura 8 – Vista transversal de um chip (*process stack*) fabricado no processo Sky130 (desenho fora de escala).



Fonte: Criteria & Assumptions - SkyWater (2020)

2.3.1 Transistor 1.8V NMOS FET (`1v8_std`)

O transistor `1v8_std` é o dispositivo padrão do Sky130, com comprimento mínimo de canal $L = 0,15\ \mu m$ e largura mínima $W = 1,0\ \mu m$. O modelo SPICE deste dispositivo é válido para tensões de operação V_{DS} e V_{GS} entre 0 e 1,95 V e V_{BS} entre +0,3 e -1,95 V.

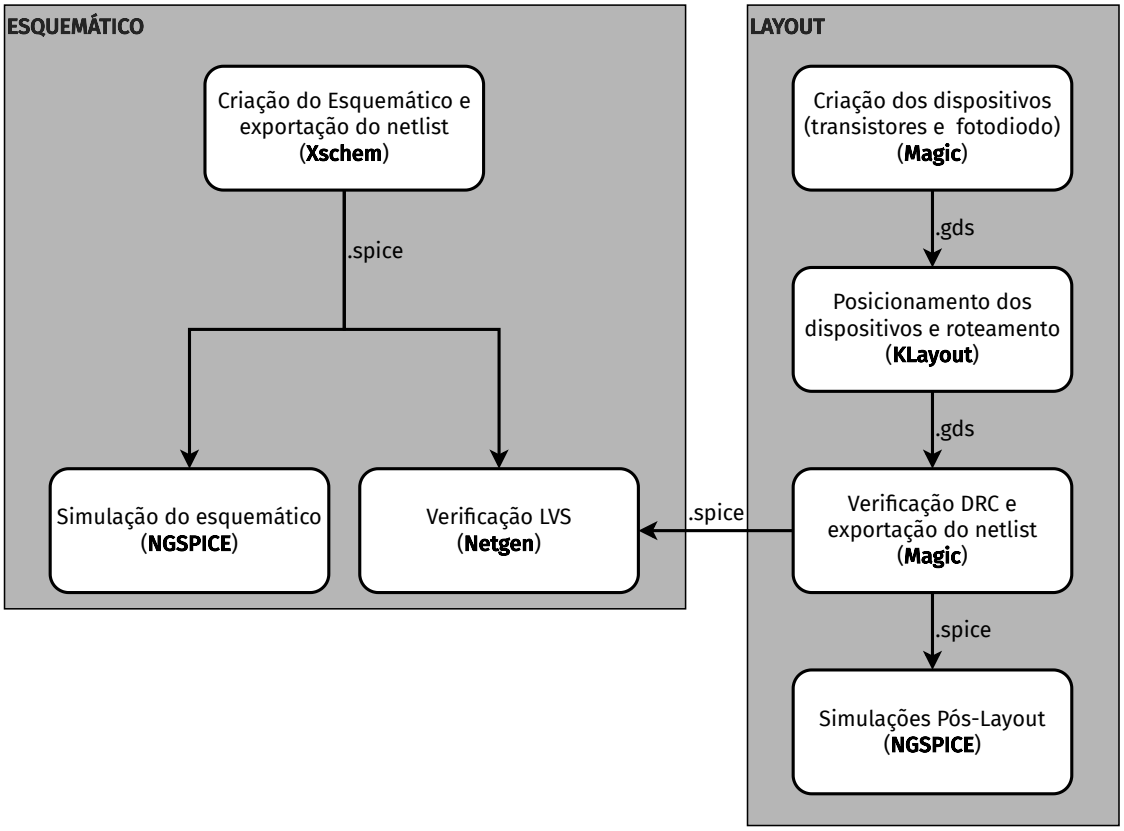
A seção transversal do transistor `1v8_std` é apresentada na Figura 10.

2.3.2 Transistor 1.8V low-VT NMOS FET (`1v8_lvt`)

Já o transistor `1v8_lvt` é um dispositivo construído através de um ajuste nos implantes V_{tn}, resultando em um transistor com tensão de limiar menor do que a do transistor `1v8_std`. O comprimento de canal mínimo deste transistor também é $L = 0,15\ \mu m$ e a largura mínima é $W = 1,0\ \mu m$.

As faixas de tensão de operação, nas quais o modelo SPICE do transistor `1v8_lvt` é válido, são as mesmas do modelo `1v8_std`, isto é, V_{DS} e V_{GS} entre 0 e 1,95 V e V_{BS} entre +0,3 e -1,95 V. Na Figura 11, é exibida a seção transversal do transistor `1v8_lvt`.

Figura 9 – Fluxo de projeto adotado.



Fonte: Elaborado pelo autor (2026).

2.3.3 Transistor 3.0V native NMOS FET (`3v3_ntv`)

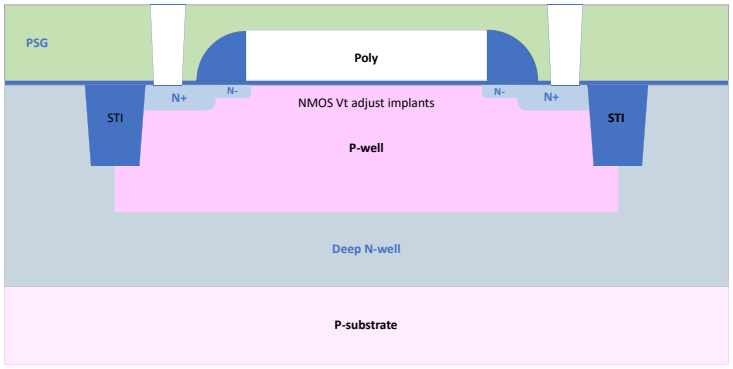
O transistor `3v3_ntv` é o dispositivo nativo desta tecnologia da SkyWater. Ele possui comprimento mínimo de canal $L = 0,5\ \mu m$ e largura mínima $W = 1,0\ \mu m$, sendo construído pelo bloqueio de todos os implantes V_{tn}. Isto resulta em um dispositivo com uma baixíssima tensão de limiar, a menor dentre os transistores deste nó tecnológico.

O modelo SPICE deste dispositivo é válido para tensões de operação V_{DS} e V_{GS} entre 0 e 3,3 V e V_{BS} entre 0 e -3,3 V. Na Figura 12, é apresentada a seção transversal do transistor `3v3_ntv`.

Além do transistor nativo `3v3_ntv`, o Sky130 também possui um dispositivo nativo **5.0V native NMOS FET**, com comprimento mínimo de canal $L = 0,9\ \mu m$ e construído da mesma forma que o `3v3_ntv`. De fato, as únicas diferenças entre este transistor e o `3v3_ntv` são as tensões de operação (entre 0 e 5,5 V) e o comprimento mínimo de canal.

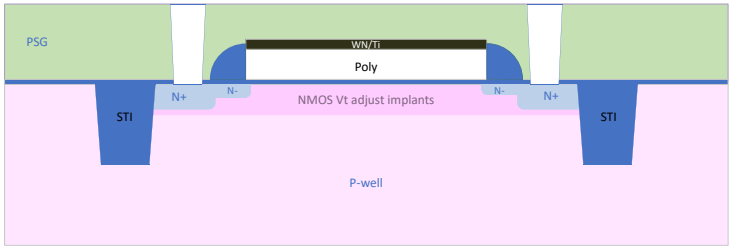
Neste trabalho, será usado o transistor `3v3_ntv` como dispositivo nativo.

Figura 10 – Seção transversal do transistor `1v8_std`.



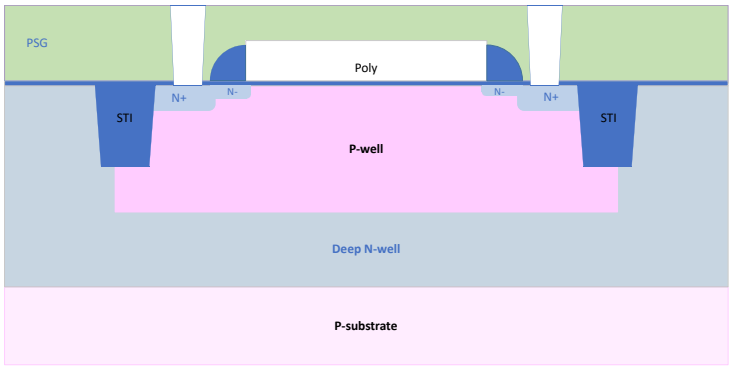
Fonte: Device Details - SkyWater (2020)

Figura 11 – Seção transversal do transistor `1v8_lvt`.



Fonte: Device Details - SkyWater (2020)

Figura 12 – Seção transversal do transistor `3v3_ntv`.



Fonte: Device Details - SkyWater (2020)

2.3.4 Transistor 5.0V/10.5V NMOS FET (`5v0_std`)

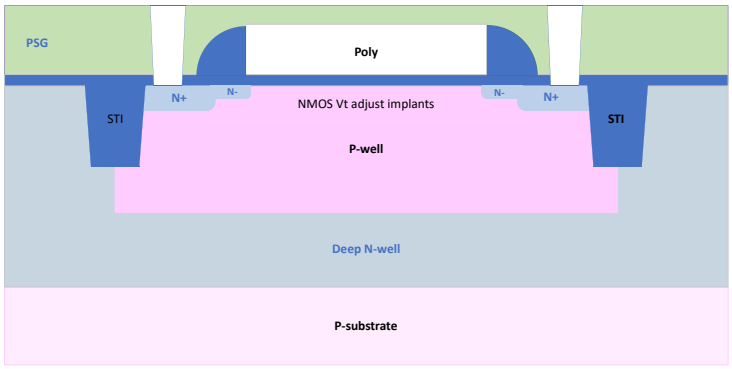
O último transistor do Sky130 utilizado neste trabalho é o `5v0_std`. Com comprimento mínimo de canal $L = 0,5\ \mu m$ e largura mínima $W = 1,0\ \mu m$, ele é capaz de suportar tensões de operação maiores do que os transistores listados anteriormente.

O modelo SPICE deste dispositivo é válido para V_{DS} entre 0 e 11,0 V, V_{GS} entre 0 e 5,5 V e V_{BS} entre 0 e -5,5 V. A seção transversal do transistor `5v0_std` é apresentada na Figura 13.

Vale ressaltar que os transistores `1v8_std`, `1v8_lvt` e `3v3_ntv` possuem pares

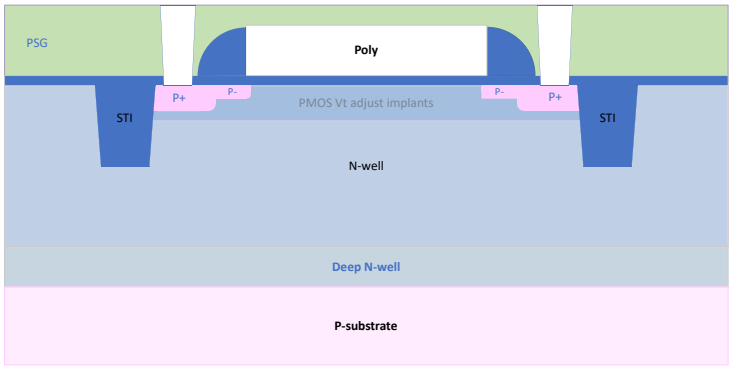
PMOS complementares, que não foram descritos uma vez que não serão utilizados neste trabalho. Porém, para implementar o multiplexador e o inversor, foram utilizados os transistores **5.0V/10.5V PMOS FET**, que suportam as mesmas tensões de operação que sua contraparte NMOS (com sinal contrário). Na Figura 14, é apresentada a seção transversal deste PMOS.

Figura 13 – Seção transversal do transistor NMOS `5v0_std`.



Fonte: Device Details - SkyWater (2020)

Figura 14 – Seção transversal do transistor PMOS `5v0_std`.



Fonte: Device Details - SkyWater (2020)

Na Tabela 1, são apresentadas as tensões de limiar máximas obtidas na simulação OP para cada um dos modelos de transistores utilizados.

Tabela 1 – Tensões de limiar máximas obtidas para cada modelo de transistor.

Modelo	V_{th} (V)
`1v8_std`	0,959
`1v8_lvt`	0,778
`3v3_ntv`	0,055
`5v0_std`	1,307

Fonte: Elaborado pelo autor (2026).

2.4 CONSIDERAÇÕES PARCIAIS

Neste capítulo, foram estabelecidos os conceitos teóricos nos quais este trabalho se fundamenta. A discussão iniciou-se pelas figuras de mérito, essenciais para a caracterização do dispositivo, seguida pelo detalhamento do funcionamento e da modelagem matemática do pixel 3T-APS, a arquitetura base do projeto.

Adicionalmente, apresentou-se a infraestrutura tecnológica adotada, compreendendo o PDK Sky130 e o conjunto de ferramentas de EDA. A descrição das características dos transistores selecionados, somada ao entendimento das equações do funcionamento do pixel 3T-APS, é essencial para a compreensão do projeto da matriz de sensores CIS.

O capítulo a seguir detalha a metodologia utilizada neste trabalho, iniciando pela descrição do estudo da linearidade das seis configurações de pixel investigadas. Na sequência, são apresentados o layout da matriz 2×2 e a descrição das simulações pós-layout.

3 METODOLOGIA DE PROJETO E SIMULAÇÃO

Neste capítulo é descrito a metodologia de projeto, layout e simulação empregada no desenvolvimento da matriz de pixels 3T-APS. A abordagem é dividida em duas etapas principais.

A primeira etapa consiste em um estudo de linearidade (OLIVEIRA; TEIXEIRA; SANTOS, 2024) de seis arranjos para o pixel 3T-APS, utilizando modelos de transistores disponíveis no Sky130. Também é descrita a lógica de simulação DC (*Direct Current* - Corrente Contínua) e as métricas de desempenho utilizadas, com foco na linearidade e na excursão do sinal de saída, visando a seleção das melhores configurações para a implementação do layout.

A segunda etapa descreve o layout de uma matriz 3T-APS reduzida com 2×2 pixels de resolução (OLIVEIRA; TEIXEIRA; SANTOS, 2025), contendo as quatro melhores configurações obtidas na primeira etapa, um pixel de cada configuração. Detalha-se o processo de desenho e extração dos parasitas utilizando as ferramentas Magic e KLayout. Por fim, são apresentados os métodos de simulação pós-layout, incluindo a análise AC (*Alternating Current* - corrente alternada) para caracterização da capacitância do nó sensível e a análise transiente para verificação da resposta temporal da matriz.

3.1 DEFINIÇÃO DAS CONFIGURAÇÕES DE PIXEL

Investigou-se seis diferentes arranjos para os transistores M_{SEL}, M_{SF} e M_{RST} indicados na Tabela 2, onde a razão de aspecto (W/L) em ($\mu m/\mu m$) se encontra entre parênteses. O objetivo era identificar os arranjos que oferecessem o melhor compromisso entre a linearidade e a máxima excursão do sinal de saída (ΔV_{out}), um parâmetro diretamente ligado à sensibilidade do sensor.

Três destas configurações (I, II e IV) são homogêneas. Na configuração I, utilizou-se apenas os transistores `1v8_std`, na configuração II, apenas os transistores `1v8_lvt` e, na configuração IV, utilizou-se apenas os transistores `5v0_std`. Já as demais configurações (III, V e VI) fizeram uso do transistor nativo `3v3_ntv` para o M_{SF}.

A escolha do transistor nativo para o M_{SF} justifica-se por sua baixa tensão de limiar, o que minimiza o valor do *offset* do sinal de saída. Entretanto, devido a essa baixíssima tensão de limiar, o transistor `3v3_ntv` é inadequado para as funções de chaveamento (para os transistores M_{RST} e M_{SEL}), já que ele pode permanecer ativo mesmo com tensões próximas de 0 V na porta. Como este dispositivo não desliga completamente, ele poderia carregar continuamente o fotodiodo, mesmo com $V_{RST} = 0$. Isto resultaria em altos valores de corrente de escuro (*dark current*) comprometendo o funcionamento do sensor em ambientes com pouca iluminação. Por este motivo, nestas configurações que fazem uso do transistor nativo, os papéis de chave foram implementados com os transistores `1v8_lvt`

Tabela 2 – Modelos dos transistores de cada configuração.

CONFIG.	M_{RST}	M_{SF}	M_{SEL}
I	`1v8_std` (1/0,2)[a]	`1v8_std` (1/0,4)	`1v8_std` (1/0,2)
II	`1v8_lvt` (1/0,2)	`1v8_lvt` (1/0,4)	`1v8_lvt` (1/0,2)
III	`1v8_lvt` (1/0,2)	`3v3_ntv` (1/0,5)	`5v0_std` (1/0,5)
IV	`5v0_std` (1/0,5)	`5v0_std` (1/0,5)	`5v0_std` (1/0,5)
V	`5v0_std` (1/0,5)	`3v3_ntv` (1/0,5)	`5v0_std` (1/0,5)
VI	`5v0_std` (1/0,5)	`3v3_ntv` (1/0,5)	`5v0_std` (1/0,5)

[a]Aspecto de construção (W/L) em ($\mu m/\mu m$).

Fonte: Oliveira, Teixeira e Santos (2026) (adaptado).

e `5v0_std`. As configurações V e VI se diferenciam apenas na tensão de acionamento do transistor M_{SEL}, sendo de $3,3\ V$ na configuração V e $5,0\ V$ na VI.

Foi escolhido uma largura $W = 1\ \mu m$ para todos os transistores, em todas as configurações, para garantir uma base de comparação padronizada. Para o comprimento do canal, adotaram-se as dimensões mínimas ($L = 0,5\ \mu m$) para os transistores `3v3_ntv` e `5v0_std`. Já para os dispositivos `1v8_std` e `1v8_lvt` foi escolhido $L = 0,2\ \mu m$ para os transistores M_{SEL} e M_{RST}, que operam como chaves, e $L = 0,4\ \mu m$ para os de leitura (M_{SF}).

As dimensões maiores do que a mínima para os transistores `1v8_std` e `1v8_lvt` buscam reduzir o efeito da modulação do comprimento de canal. Quando a queda tensão entre o dreno e a fonte do transistor (V_{DS}) aumenta, a resistência do canal tende a diminuir devido à modulação do canal (SEDRA; SMITH, 2015). Esta variação da resistência acrescenta uma não linearidade indesejada na tensão de saída.

São detalhados na Tabela 3 os níveis de tensão utilizados para a fonte de alimentação V_{DD}, V_{RST} e V_{SEL}, assim como o valor máximo de V_{PIX} no nó sensível. A determinação deste último valor baseou-se na simulação OP (*Operation Point* - Ponto de Operação) no NGSPICE, utilizando o modelo de fotodiodo do Sky130, cujos resultados constam na Tabela 4. Para a polarização de coluna, todas as configurações foram simuladas com uma fonte de corrente ideal $I_B = 2\ \mu A$, conectada a um transistor M_B (um dispositivo `5v0_std` com $W = L = 1\ \mu m$), cuja tensão de saturação simulada foi de aproximadamente $152\ mV$.

3.2 SIMULAÇÃO E ANÁLISE DE DESEMPENHO EM DC

Para avaliar a não linearidade e excursão do sinal de saída das seis configurações descritas na seção anterior, foram feitas simulações DC no NGSPICE. Nas simulações realizadas, o transistor M_{RST} foi substituído por uma fonte de tensão ideal, Figura 15, cuja varredura se encontra na faixa de 0 até V_{PIX}. Onde o V_{PIX} de cada configuração está descrito na Tabela 3.

Tabela 3 – Niveis de tensão de cada configuração.

CONFIG.	V_{DD} (V)	V_{RESET} (V)	V_{SEL} (V)	V_{PIX} (V)
I	1,8	1,8	1,8	1,7
II	1,8	1,8	1,8	1,7
III	1,8	1,8	3,3	1,7
IV	3,3	3,3	3,3	2,9
V	3,3	3,3	3,3	2,9
VI	3,3	3,3	5,0	2,9

Fonte: Oliveira, Teixeira e Santos (2026).

Tabela 4 – Resultados da simulação OP.

CONFIG.	V_{PIX} (V)	V_{OUT} (V)
I	1,5139	0,68501
II	1,7031	0,96225
III	1,7031	1,6318
IV	2,8931	1,6997
V	2,8931	2,0482
VI	2,8931	2,7944

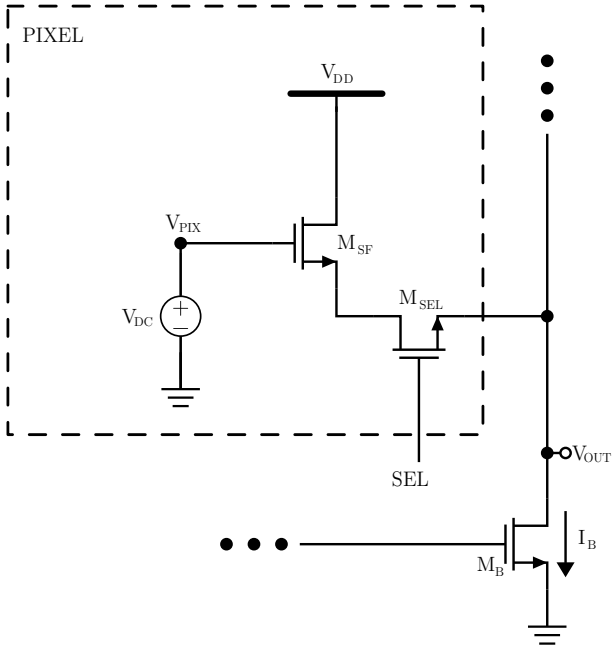
Fonte: Elaborado pelo autor (2026).

Na literatura, é possivel encontrar várias abordagens para mensurar a não linearidade de sensores de imagem CMOS, como trabalhos que utilizam o THD (*Total Harmonic Distortion* - distorção harmônica total) (TEYMOURI; SOBHI, 2018) ou o coeficiente de determinação (KHAMSEHASHARI; AUDET; FAYOMI, 2010). Entretanto, para este estudo, foi proposto uma figura de mérito que avalia a linearidade do pixel em relação à sua faixa de saída. Esta métrica considera a variação na tensão porta-fonte do transistor de leitura M_{SF}, $V_{GS,SF}$ (denotada simplesmente por ΔV_{GS}) e a compara com a excursão total da tensão de saída, ΔV_{OUT}.

A figura de mérito proposta, medida em cada simulação, é a razão $\Delta V_{GS}/\Delta V_{OUT}$. Um valor menor para esta razão indica um bom compromisso entre a linearidade e a excursão do sinal de saída. Esta métrica foi adotada, uma vez que as seis configurações operam com faixas de tensão distintas e, consequentemente, avaliar apenas a linearidade do sinal poderia levar a resultados enviesados. A razão proposta pondera simultaneamente os dois principais objetivos de projeto desta etapa. Ela é reduzida tanto por uma variação mínima em ΔV_{GS}, que indica maior linearidade, quanto por uma excursão de saída ΔV_{OUT} elevada, que é desejável para a sensibilidade do sensor. Desta forma, a métrica normaliza a linearidade pela excursão de saída, permitindo uma comparação equitativa entre as configurações.

Para validar a métrica proposta, o coeficiente de determinação (R^2) foi calculado

Figura 15 – Circuito utilizado na simulação DC.



Fonte: Elaborado pelo autor (2026).

para todas as configurações. Este coeficiente quantifica o quanto a variável dependente (V_{OUT}) pode ser predita por uma relação linear com a variável independente (V_{PIX}) (DEVORE, 2006). O R^2 é definido pela Equação 3.1:

$$R^2 = 1 - \frac{SQE}{SQT} \tag{3.1}$$

Onde SQE é a soma dos quadrados dos erros (Equação 3.2) e SQT é a soma total dos quadrados (Equação 3.3).

$$SQE = \sum_i (y_i - \hat{y}_i)^2 \tag{3.2}$$

$$SQT = \sum_i (y_i - \bar{y})^2 \tag{3.3}$$

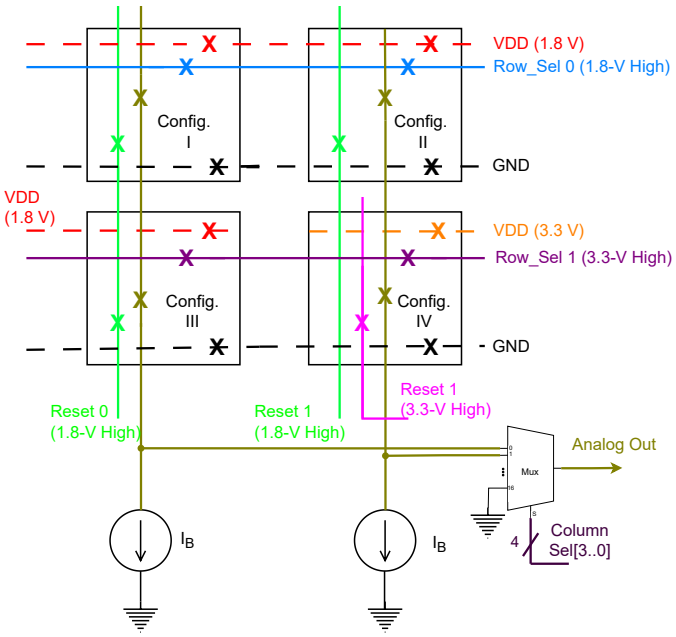
Nestas expressões, y_i corresponde a cada valor de V_{OUT} obtido pela simulação, $\hat{y}_i$ é o valor predito para V_{OUT} pela regressão linear e $\bar{y}$ é a média aritmética da tensão de saída.

3.3 IMPLEMENTAÇÃO DO LAYOUT DA MATRIZ 2X2

Foram selecionadas as quatro configurações que demonstraram melhor compromisso entre a linearidade e excursão do sinal de saída, a saber as configurações I, II, III e IV, para a implementação do layout. O diagrama de blocos da matriz 2×2 proposta, incluindo

o multiplexador e circuito de polarização (onde as fontes de corrente I_B representam os transistores do espelho de corrente), é apresentado na Figura 16.

Figura 16 – Diagrama de blocos da matriz de pixel 2×2 incluindo um multiplexador analógico 16:1.



Fonte: Oliveira, Teixeira e Santos (2026).

A decisão por limitar a implementação a uma matriz 2×2 deve-se à viabilidade da simulação pós-layout via NGSPICE. Como as simulações são realizadas em nível de transistor, a extração de matrizes de dimensões maiores resultaria em arquivos de *netlist* excessivamente grandes e em um custo computacional proibitivo ao realizar as simulações neste estágio de projeto.

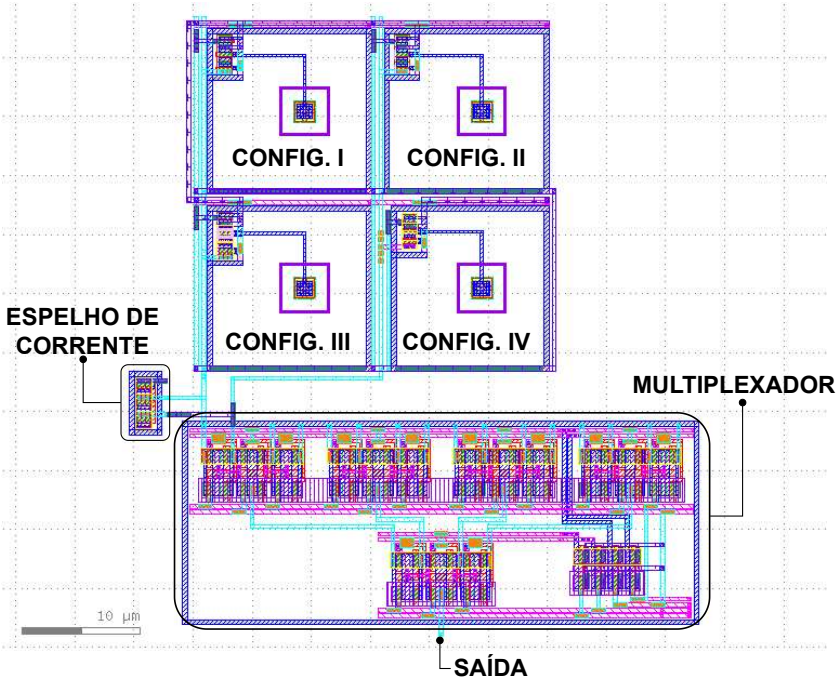
Já a inclusão do multiplexador analógico 16:1 justifica-se pela progressão do projeto, cuja proposta final é uma matriz com 128×128 pixels de resolução, cada pixel medindo 15 $\mu m \times 15\ \mu m$. Uma leitura direta dos sinais de saída demandaria 128 saídas analógicas (uma por coluna). Entretanto, o Caravel (Efables, 2020), *padframe* disponível para ser utilizado com o Sky130, dispõe de apenas 38 pinos de entrada/saída (I/O) de uso geral, dos quais apenas uma parte pode ser configurada para sinais analógicos. Assim, a utilização de multiplexadores 16:1, reduz os 128 barramentos de saída para $128/16 = 8$ saídas analógicas, adequando o projeto aos recursos disponíveis.

Para a geração parametrizada das células dos transistores e do fotodiodo, utilizou-se o Magic, enquanto o posicionamento dos dispositivos e o roteamento das trilhas de conexão foram realizados no KLayout.

Na Figura 17, é apresentado a vista superior do layout da matriz 2×2, integrada ao multiplexador 16:1 e aos transistores de polarização. A camada metálica mais externa

do processo, o Metal 5 (conforme o diagrama de camadas na Figura 8), foi reservado para cobrir a área não fotossensível do pixel (blindagem óptica). Esta camada foi ocultada nas figuras para maior clareza dos dispositivos internos.

Figura 17 – Layout da matriz 2x2.



Fonte: Oliveira, Teixeira e Santos (2026).

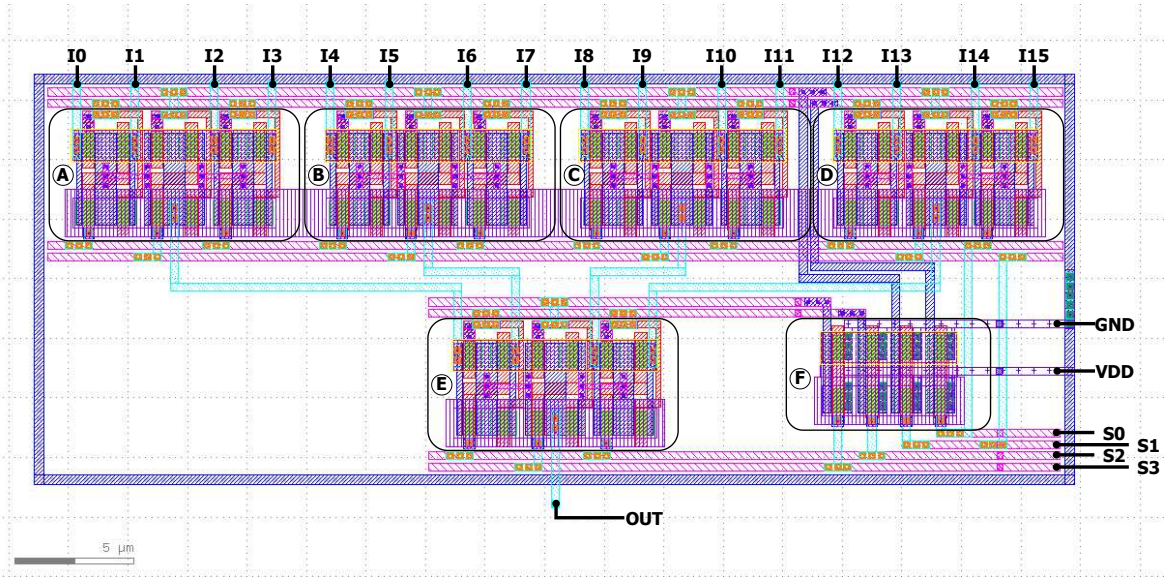
Para os barramentos de alimentação (V_{DD} e GND), priorizou-se o uso dos metais Metal 3 e Metal 4, pois estes metais possuem menor resistência de folha em comparação aos metais das camadas Metal 1 e Metal 2. Como detalhado na Figura 8, as camadas Metal 3 e Metal 4 possuem $0,845\ \mu m$ de espessura enquanto que as camadas Metal 1 e Metal 2 possuem $0,36\ \mu m$ de espessura.

O fotodiodo foi implementado com o formato quadrado e dimensões de $4\ \mu m \times 4\ \mu m$, resultando em um perímetro de $16\ \mu m$ e área de $16\ \mu m^2$.

O layout do multiplexador 16:1 desenvolvido é apresentado na Figura 18. A arquitetura do multiplexador foi implementada em cascata, utilizando cinco blocos de multiplexadores analógicos 4:1 (blocos Ⓐ, Ⓑ, Ⓒ, Ⓓ e Ⓔ) e um banco com quatro inversores (bloco Ⓕ). A seleção é realizada pelos sinais digitais S0, S1, S2 e S3, sendo S0 o bit menos significativo (LSB - *Least Significant Bit*) e S3 o bit mais significativo (MSB - *Most Significant Bit*), controlando a seleção das entradas I0 (código 0000) a I15 (código 1111) em contagem crescente.

Na Figura 19 é exibido o layout (a) e o esquemático (b) do multiplexador analógico 4:1, referente ao bloco Ⓔ. Os sinais I'0, I'1, I'2 e I'3 provenientes das saídas dos

Figura 18 – Layout do multiplexador analógico de 16 entradas.



Fonte: Elaborado pelo autor (2026).

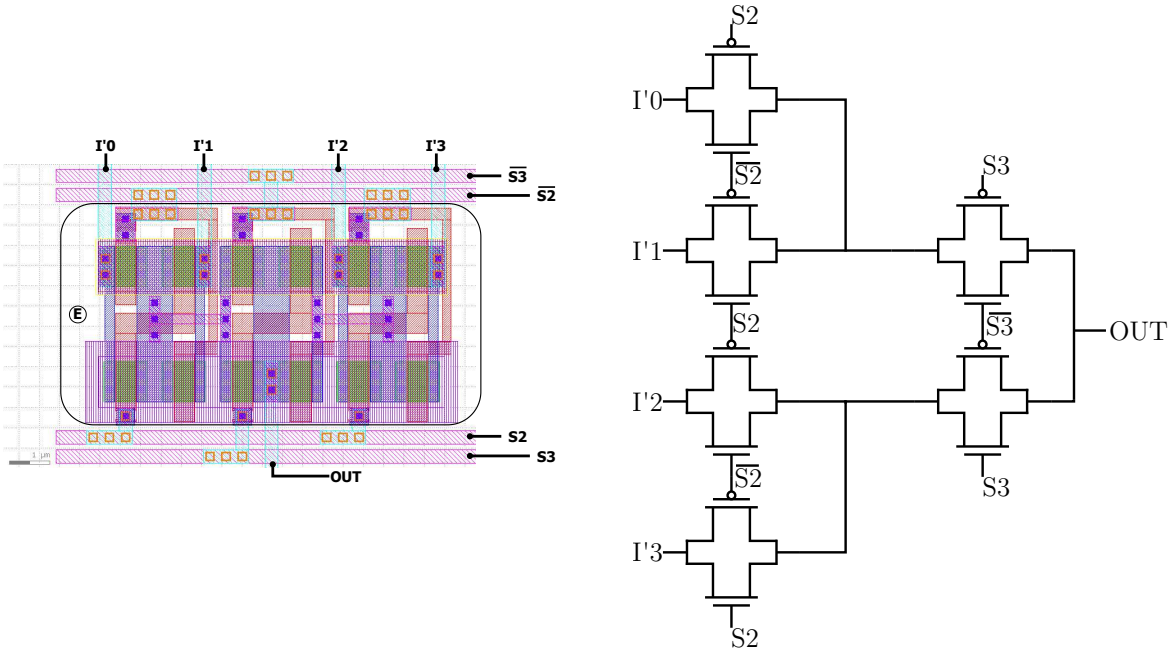
multiplexadores do primeiro nível da cascata (blocos Ⓐ, Ⓑ, Ⓒ e Ⓓ da Figura 18) são multiplexados para a saída OUT, de acordo com os sinais de comando S2, S3, $\overline{S2}$ e $\overline{S3}$.

As chaves analógicas, utilizadas no multiplexador, foram implementadas utilizando pares CMOS `5v0_std` em paralelo, configuração conhecida como porta de transmissão (*transmission gate*). Segundo (WESTE; HARRIS, 2010), um transistor NMOS é uma chave eficiente para a transmissão de sinais de baixa tensão (*strong* 0) mas degrada sinais de nível alto (*weak* 1). Já um transistor PMOS apresenta um comportamento complementar, sendo eficiente para sinais de nível alto (*strong* 1) e ineficiente para sinais de nível baixo (*weak* 0). Enquanto o uso isolado destes dispositivos (*pass transistor*) falha em transmitir uma excursão completa do sinal (*rail-to-rail*), a associação em paralela do par CMOS assegura a condução tanto de um *strong* 0 quanto de um *strong* 1.

Conforme descrito em (WESTE; HARRIS, 2010), longos barramentos metálicos conectados diretamente aos terminais de porta (*gate*) dos transistores, como ilustrado na Figura 20(a), podem atuar como antenas coletoras de carga durante as etapas de corrosão por plasma na fabricação do chip. Caso este acúmulo de carga eletrostática exceda a rigidez dielétrica do óxido da porta, ocorre o rompimento irreversível do dielétrico, resultando em um aumento das correntes de fuga (*gate leakage*), alteração da tensão de limiar ou, até mesmo, na completa inutilização do dispositivo.

Este efeito, denominado efeito antena (*antenna effect*) ou dano ao óxido de porta induzido por plasma (*plasma-induced gate-oxide damage*), pode ser mitigado de duas formas. A primeira é interrompendo o longo baramento de metal com um *jumper* que utiliza uma camada de metal superior, conforme ilustrado na Figura 20(b). Já na segunda

Figura 19 – Layout e esquemático dos multiplexadores 4:1 implementados.



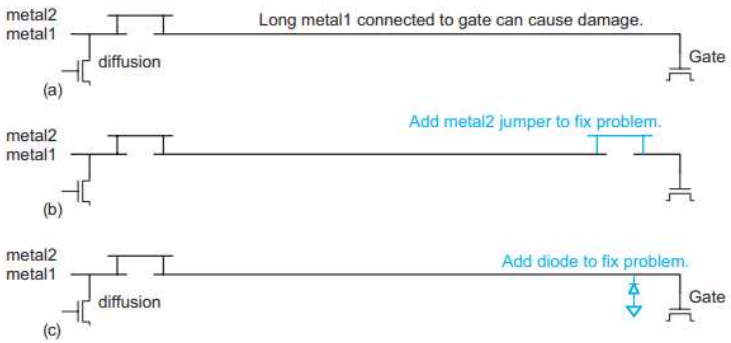
(a) Layout do bloco Ⓔ. (b) Esquemático do bloco Ⓔ.

Fonte: Elaborado pelo autor (2026).

forma, é utilizando um diodo de antena que oferece um caminho para descarga eletrostática durante o processo de corrosão, mostrado na Figura 20(c).

Neste trabalho, foi utilizada a primeira técnica, fazendo uso de *jumpers* com camadas metálicas superiores para conectar os barramentos metálicos às portas dos transistores. No multiplexador 4:1, por exemplo, conforme exibido na Figura 19(a), foi utilizado o Metal 2 para os barramentos de comando S2, S3, $\overline{S2}$ e $\overline{S3}$, e *jumpers* de Metal 3 para conectá-los às portas dos transistores das chaves analógicas.

Figura 20 – Efeito antena e formas de corrigir.

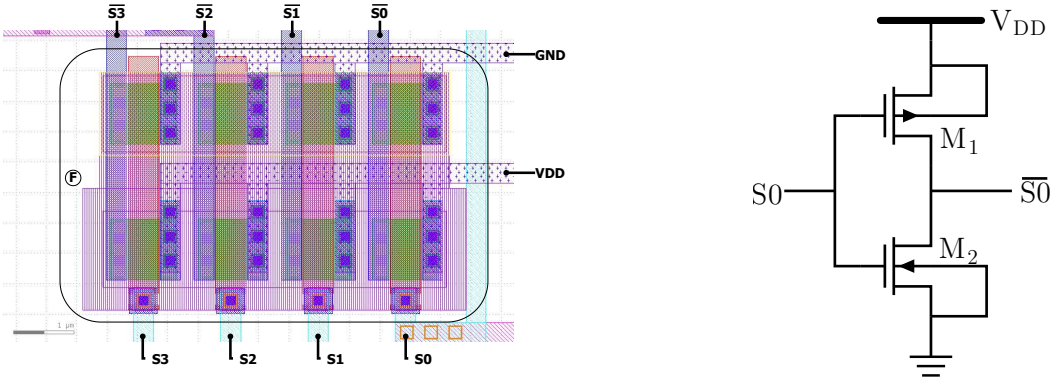


Fonte: Weste e Harris (2010).

Na Figura 21 é exibido o layout (a) do banco de inversores, bloco Ⓕ, e o esquemático (b) do inversor implementado, utilizando um par CMOS `5v0_std`. Novamente, os

barramentos de comando S0, S1, S2 e S3 foram roteados em Metal 2 e *jumpers* de Metal 3 foram utilizados para conectá-los às portas dos transistores.

Figura 21 – Layout e esquemático dos inversores implementados.

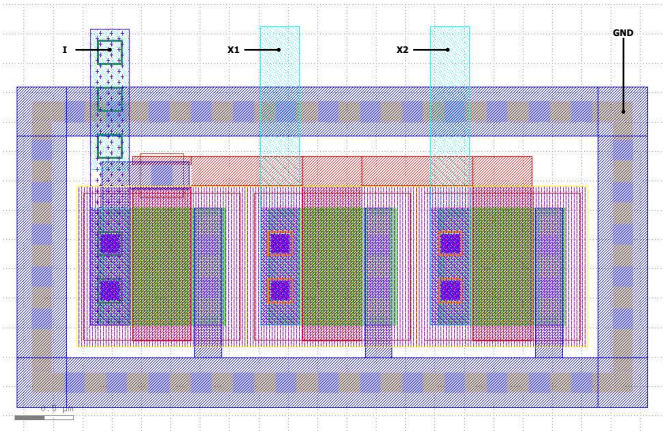


(a) Layout do banco de inversores Ⓕ. (b) Esquemático dos inversores.

Fonte: Elaborado pelo autor (2026).

Na Figura 22 é apresentado o layout dos transistores `5v0_std` da fonte de corrente. A corrente de referência, I, é copiada para os barramentos X1 e X2, sendo cada um responsável por polarizar uma das duas colunas da matriz de pixels 2×2.

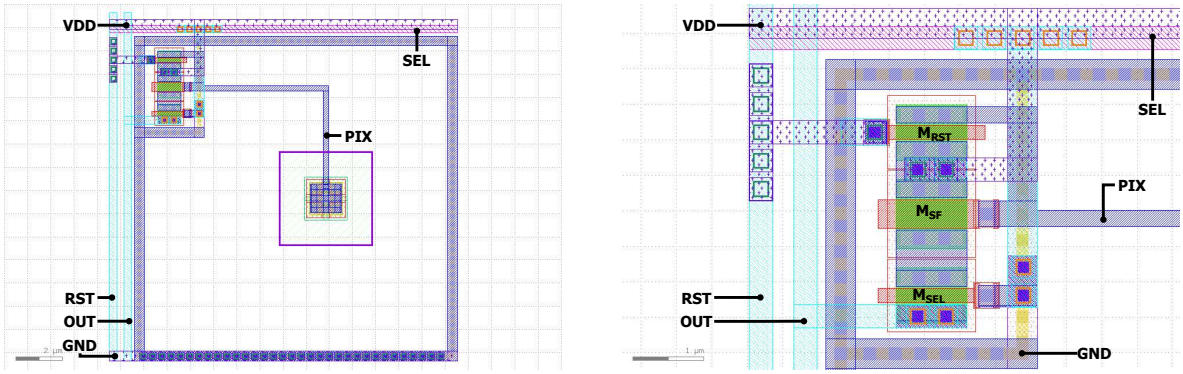
Figura 22 – Layout do espelho de corrente.



Fonte: Elaborado pelo autor (2026).

Na Figura 23(a) é aprensentado o layout do pixel da configuração I, com os barramentos de *reset* (RST), seleção (SEL), saída (OUT) e alimentação (VDD e GND) além do nó sensível (PIX) indicados. O layout dos transistores da configuração I é detalhado na Figura 23(b), com os transistores M_{RST}, M_{SF} e M_{SEL} devidamente identificados. Novamente, foram utilizados *jumpers* para mitigar o efeito antena ao conectar o barramento RST (roteado em Metal 3 e utilizando *jumper* em Metal 4) e o barramento SEL (roteado em Metal 2 e utilizando *jumper* em Metal 3) aos transistores M_{RST} e M_{SEL}, respectivamente.

Figura 23 – Layout do pixel da configuração I.

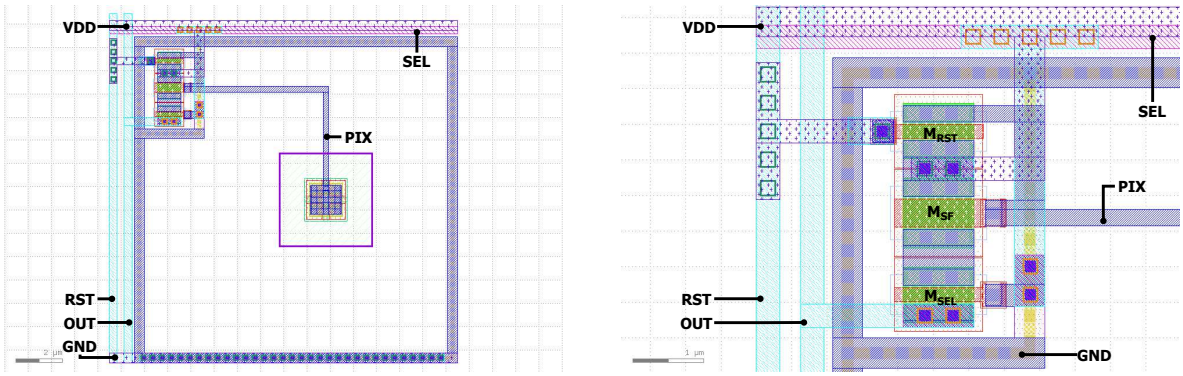


(a) Layout do pixel. (b) Transistores do pixel em detalhes.

Fonte: Oliveira, Teixeira e Santos (2026).

Nas Figuras 24(a), 25(a) e 26(a), são aprensentados os *layouts* dos pixels das configurações II, III e IV, respectivamente, com os barramentos de *reset* (RST), seleção (SEL), saída (OUT) e alimentação (VDD e GND) além do nó sensível (PIX) indicados. Já o layout dos transistores das configurações II, III e IV são detalhados nas Figuras 24(b), 25(b) e 26(b), respectivamente, com os transistores M_{RST}, M_{SF} e M_{SEL} devidamente identificados. Os mesmos *jumpers* utilizados no pixel da configuração I, também foram utilizados nas configurações II, III e IV, para mitigar o efeito antena.

Figura 24 – Layout do pixel da configuração II.

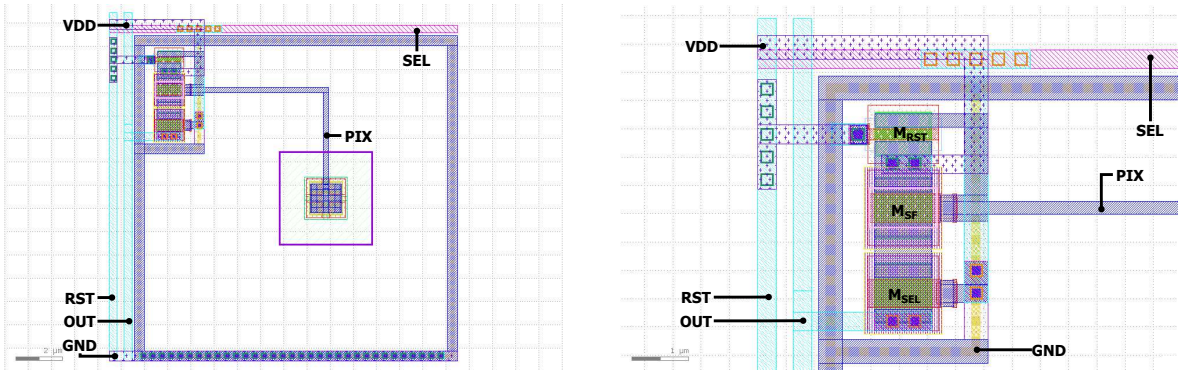


(a) Layout do pixel. (b) Transistores do pixel em detalhes.

Fonte: Elaborado pelo autor (2026).

Segundo (WESTE; HARRIS, 2010), circuitos CMOS estão sujeitos ao fenômeno de *latch-up*, isto é, a criação de um caminho de baixa resistência entre a alimentação (VDD) e o terra (GND) que pode levar à falha do chip. Para mitigar este risco, foram desenhados anéis de guarda (*guard rings*) envolvendo os três transistores de cada pixel, bem como

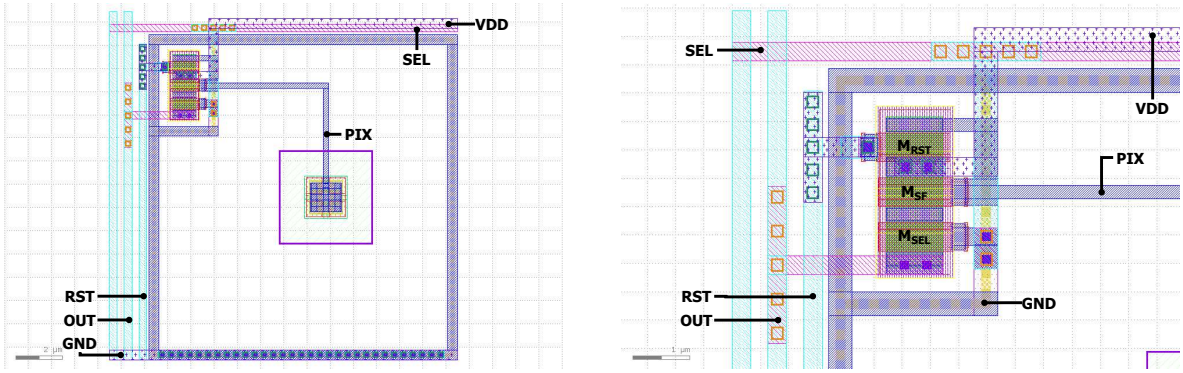
Figura 25 – Layout do pixel da configuração III.



(a) Layout do pixel. (b) Transistores do pixel em detalhes.

Fonte: Elaborado pelo autor (2026).

Figura 26 – Layout do pixel da configuração IV.



(a) Layout do pixel. (b) Transistores do pixel em detalhes.

Fonte: Elaborado pelo autor (2026).

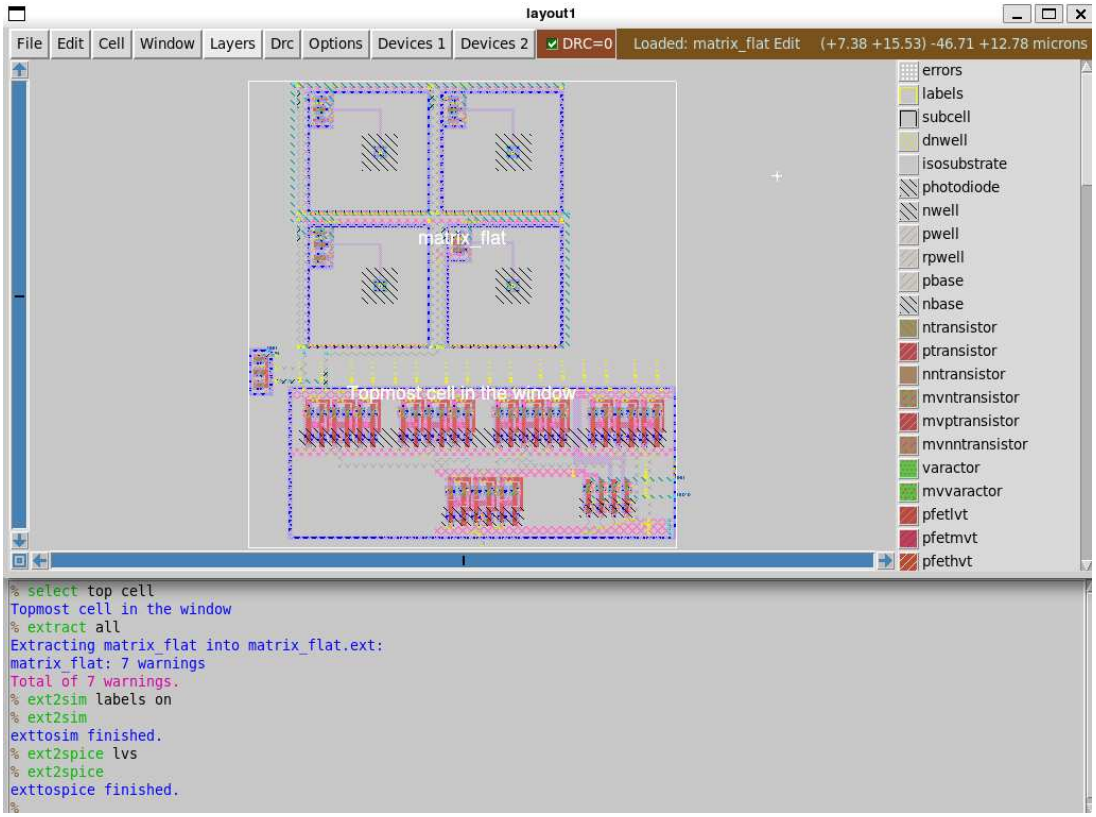
anéis circundando o multiplexador 16:1 e os transistores da fonte de corrente. Estas estruturas fornecem um caminho de baixa impedância para coletar portadores minoritários injetados no substrato, prevenindo o acionamento dos dispositivos parasitas que provocam o *latch-up*.

3.4 EXTRAÇÃO E SIMULAÇÃO PÓS-LAYOUT

Após a conclusão das etapas de posicionamento dos dispositivos e roteamento das trilhas no KLayout, realizou-se a verificação DRC utilizando tanto *scripts* no KLayout quanto no Magic. Na Figura 27 é apresentada a vista superior do layout da matriz no Magic, exibindo tanto a interface gráfica quanto o console de comandos empregado para a extração do circuito para as simulações pós-layout, realizadas via NGSPICE, e para a

verificação LVS, realizada via Netgen.

Figura 27 – Vista superior do layout da matriz no Magic.



Fonte: Elaborado pelo autor (2026).

No *netlist* extraído a partir do layout, algumas adequações manuais foram necessárias. Inicialmente, notou-se que, apesar do desenho do fotodiodo seguir as regras de layout do Sky130 descritas em (SKYWATER, 2020), a ferramenta Magic extraiu o fotodiodo como um diodo parasita (dispositivo `sky130_fd_pr__model__parasitic__diode_ps2dn`). Este componente foi substituído manualmente pelo modelo específico de fotodiodo disponível no Sky130 (dispositivo `sky130_fd_pr__photodiode`), após a verificação de que ambos apresentavam curvas idênticas em simulações de pequenos sinais (AC).

Adicionalmente, ajustaram-se os parâmetros geométricos do diodo. A extração original, obtida via Magic, indicou apenas a área do fotodiodo (`area=16`) no *netlist*. Como o NGSPICE utiliza um fator de escala de 10^{-6} para perímetros de dispositivos e 10^{-12} para áreas, corrigiu-se a área do diodo `area=16e12` (equivalente a $16 \times 10^{-12}\ m^2$) e acrescentou-se o parâmetro de perímetro `perim=16e6` (equivalente a $16 \times 10^{-6}\ m$). Por fim, definiu-se a conexão dos corpos (*bulk*) dos transistores PMOS do multiplexador ao maior potencial de alimentação do chip ($V_{DD} = 3,3\ V$)

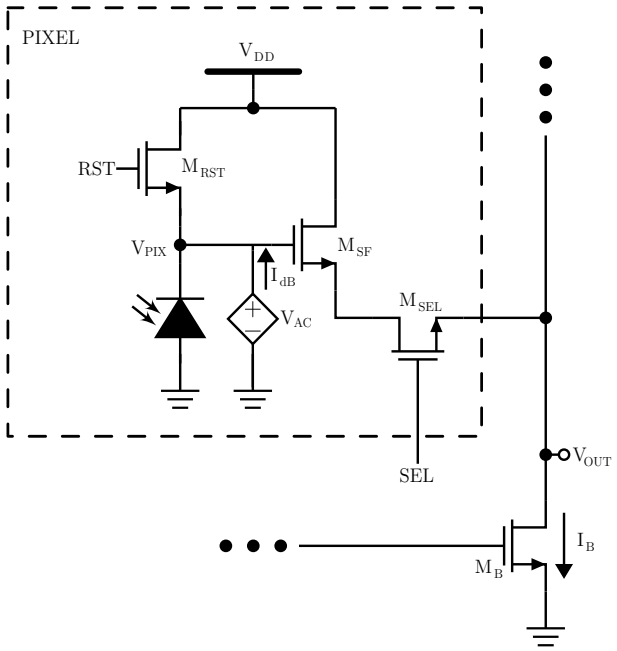
Com o *netlist* devidamente preparado, foram realizadas as simulações de pequenos sinais (AC), para a extração da capacitância do nó sensível, e a análise transiente, para a verificação do funcionamento do layout, ambas via NGSPICE, cujos detalhes são

apresentados nas subseções a seguir.

3.4.1 Simulação de pequenos sinais

Para caracterizar a capacitância total do nó sensível (V_{PIX}), foi realizada simulações de pequenos sinais (AC) para cada uma das quatro topologias implementadas no layout. Na simulação, Figura 28, foi inserido um sinal senoidal com frequência de 1 kHz e amplitude unitária diretamente no nó do fotodiodo e foi medido a corrente fornecida pela fonte AC.

Figura 28 – Circuito utilizado na simulação AC.



Fonte: Elaborado pelo autor (2026).

A capacitância equivalente C, obtida da reatância do circuito, foi então calculada conforme a Equação 3.4:

$$C = \frac{10^{I_{dB}/20} \cdot \sin \phi_I}{2\pi \cdot f \cdot V_{AC}} \tag{3.4}$$

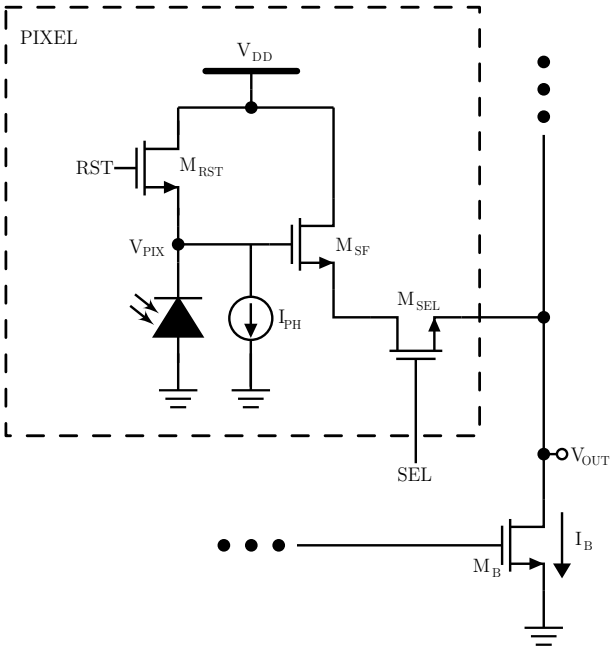
Nessa equação, I_{dB} representa a magnitude da corrente (em decibéis), ϕ_I é a fase da corrente, f é a frequência do sinal AC e V_{AC} a amplitude do sinal de tensão. Adicionalmente, realizou-se uma varredura DC no nível de tensão de V_{PIX} para obter a variação da capacitância em função da polarização reversa da junção do fotodiodo.

3.4.2 Simulação transiente

Para verificar o funcionamento do layout implementando foi realizado uma simulação transiete da matriz 2×2 juntamente com o multiplexador e os transistores de polarização da fonte de corrente. Para simular uma fotocorrente constante $I_{PH} = 30$ pA, valor próximo

do obtido em (TEIXEIRA, 2010) para uma iluminância de 420 lx, foi utilizado uma fonte de corrente conectada em paralelo com o fotodiodo, como apresentado na Figura 29.

Figura 29 – Circuito utilizado na simulação transiente.



Fonte: Elaborado pelo autor (2026).

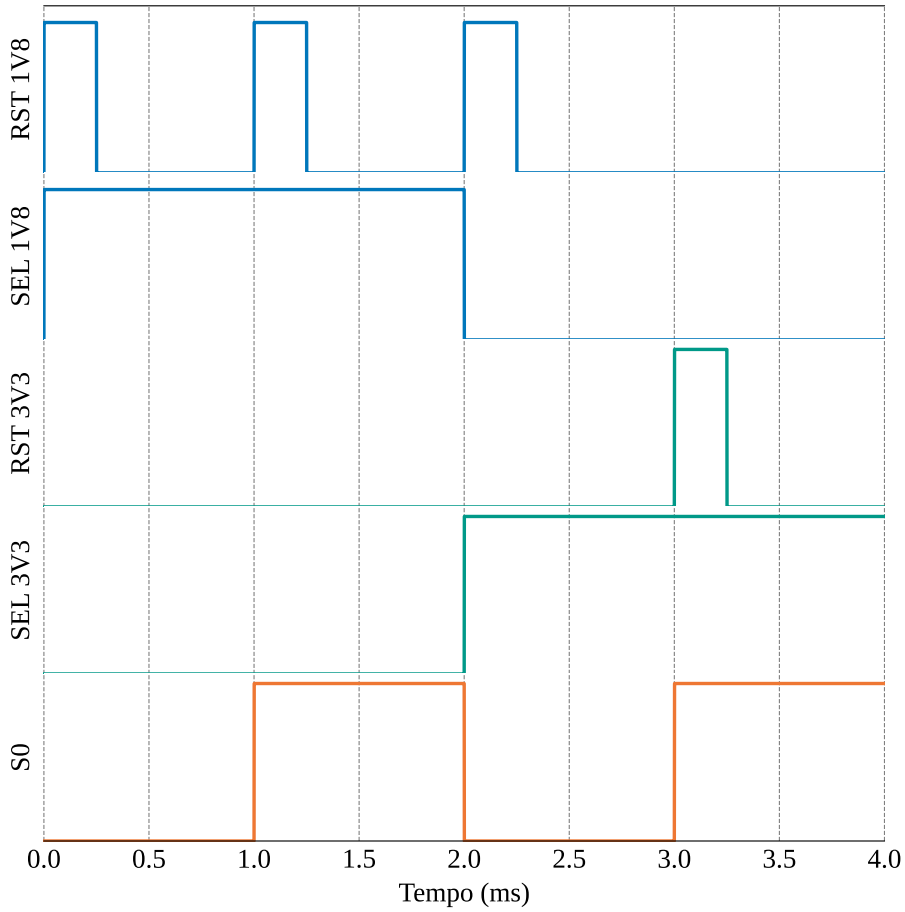
Cada pixel tem o sinal reinicializado nos primeiros 0,25 ms e a integração do sinal (descarga do fotodiodo) ocorre nos seguintes 0,75 ms, totalizando 1 ms a duração do ciclo de leitura de cada pixel. Na Figura 30 são apresentados os sinais lógicos de comando utilizados na simulação.

Os pixels das configurações I, II e III são reinicializados com o sinal de *reset* de 1,8 V (RST 1V8), enquanto que o pixel da configuração IV é reinicializado com o sinal de *reset* de 3,3 V (RST 3V3).

O sinal de seleção da primeira linha (SEL 1V8, com nível alto de 1,8 V) permanece em nível alto nos primeiros 2 ms, habilitando a leitura dos pixels das configurações I e II neste período, e permanece em nível baixo nos 2 ms seguintes, desabilitando a leitura das configurações I e II. De forma complementar, o sinal de seleção da segunda linha (SEL 3V3, com nível alto de 3,3 V) permanece em nível baixo nos primeiros 2 ms, desabilitando a leitura dos pixels das configurações III e IV neste período, e permanece em nível alto nos 2 ms seguintes, habilitando a leitura das configurações III e IV.

No multiplexador 16:1, o sinal S0 é conectado no bit menos significativo enquanto os demais 3 bits são mantidos em nível lógico baixo. Sendo assim, S0 é responsável pela seleção da coluna a ser lida. Quando ele se encontra em nível baixo, a primeira coluna (configurações I e III) fica habilitada para a leitura, já quando ele se encontra em nível alto, a segunda coluna (configurações II e IV) é que fica habilitada para a leitura.

Figura 30 – Níveis lógicos dos sinais de comando.



Fonte: Oliveira, Teixeira e Santos (2026).

A leitura dos pixels assim descrita se dá de forma sequencial, começando pelo pixel da configuração I, depois o pixel da configuração II, o da configuração III e, por último, o pixel da configuração IV.

3.5 CONSIDERAÇÕES PARCIAIS

Neste capítulo, foi descrita a metodologia de projeto, layout e simulação empregada no desenvolvimento da matriz de pixels 3T-APS. Foram definidas as seis configurações de pixel investigadas, utilizando os diferentes modelos de transistores disponíveis no Sky130, e estabeleceu-se as métricas de desempenho para a comparação da linearidade e excursão do sinal das configurações estudadas.

Na sequência, foi detalhada a implementação do layout da matriz 2×2 e do multiplexador analógico 16:1, solução adotada para contornar a limitação de pinos de saída analógica do *padframe* Caravel. Discutiu-se também algumas técnicas utilizadas no layout, como o uso de *jumpers* em camadas metálicas superiores para mitigar o efeito antena e a inserção de anéis de guarda para a prevenção de *latch-up*.

Por fim, foi apresentado o fluxo de extração de parasitas, incluindo as adequações manuais necessárias no *netlist*, obtido a partir do layout, para a verificação LVS, via Netgen, e para as simulações pós-layout (AC e transiente), via NGSPICE. No capítulo a seguir, são apresentados e discutidos os resultados das simulações descritas neste capítulo.

4 APRESENTAÇÃO E ANÁLISE DOS RESULTADOS

Neste capítulo são apresentados e discutidos os resultados das simulações DC, AC e transientes descritas no capítulo anterior.

Inicialmente é analisado o desempenho DC das seis configurações de pixel investigadas. São apresentados os resultados comparativos de excursão do sinal de saída e linearidade de cada configuração. A linearidade é avaliada através do coeficiente de determinação (R^2) e da figura de mérito proposta ($\Delta V_{GS}/\Delta V_{OUT}$). Esta análise foi a base para a seleção das quatro configurações que avançaram para a implementação do layout.

A seguir é feita a caracterização da matriz 2×2 pós-layout. Foram detalhados o fator de preenchimento de cada pixel, a capacitância do nó sensível (obtida por simulação AC) e, por fim, os resultados da simulação transiente, que validam a resposta temporal e o funcionamento do layout da matriz implementada.

4.1 ESTUDO COMPARATIVO DA LINEARIDADE

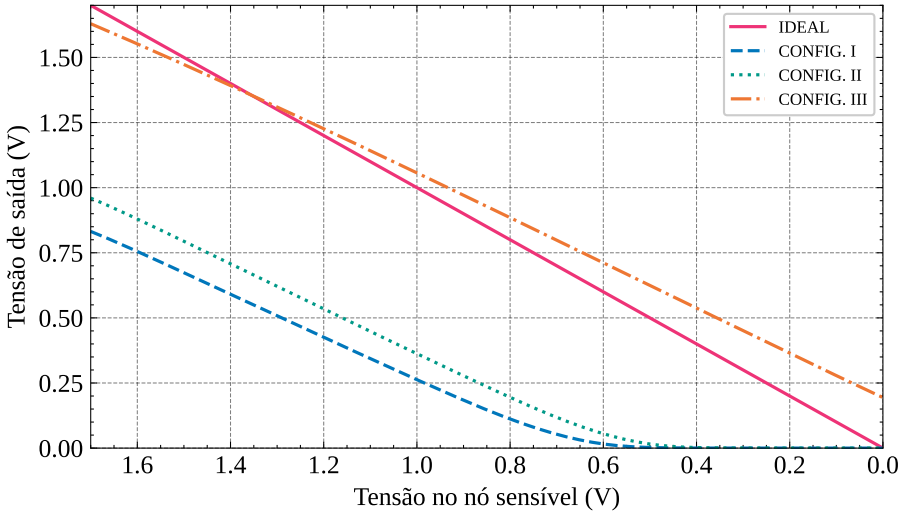
Os resultados da simulação em corrente contínua, obtidos no NGSPICE, das configurações I, II e III são exibidos na Figura 31. Nela é apresentada a tensão de saída (V_{OUT}) em função da tensão no nó sensível (V_{PIX}). O eixo horizontal (tensão no nó sensível) foi propositalmente invertido para imitar a descarga do fotodiodo durante o período de integração da fotocorrente. A linha vermelha contínua representa o caso ideal, que ocorreria caso o amplificador seguidor fonte (M_{SF}) apresentasse ganho unitário e a saída fosse perfeitamente linear.

Em azul tracejado é apresentada a curva obtida da configuração I, enquanto a linha verde pontilhada corresponde à configuração II e a curva laranja com ponto e traço é obtida da configuração III. Nota-se que a utilização dos transistores `1v8_lvt` na configuração II aumenta a excursão do sinal de saída em comparação com a configuração I, que faz uso dos transistores `1v8_std`. Da mesma forma, ao utilizar o `3v3_ntv` como seguidor fonte na configuração III, obtém-se a maior excursão entre estes três arranjos. Resultados esperados, uma vez que a tensão de limiar do transistor `3v3_ntv` é menor do que a dos modelos `1v8_std` e `1v8_lvt`. Já o transistor `1v8_std` apresenta a maior tensão de limiar dentre eles.

Já na Figura 32 são apresentados os resultados da simulação em corrente contínua das configurações IV, V e VI. Nela é apresentada a tensão de saída (V_{OUT}) em função da tensão no nó sensível (V_{PIX}). Novamente, o eixo horizontal (tensão no nó sensível) foi propositalmente invertido para imitar a descarga do fotodiodo. A reta do caso ideal é a linha vermelha contínua.

Em azul tracejado é apresentada a curva obtida da configuração IV, enquanto a

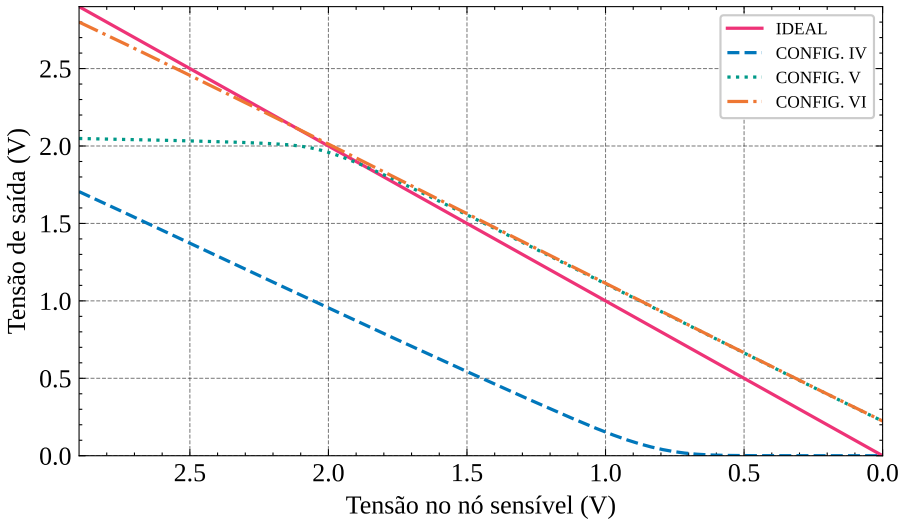
Figura 31 – Resultados da simulação DC para as configurações I, II e III.



Fonte: Oliveira, Teixeira e Santos (2026).

linha verde pontilhada corresponde à configuração V e a curva laranja com ponto e traço é obtida da configuração VI. Observa-se que nestes arranjos, como a tensão de *reset* é maior do que nas configurações I, II e III, a excursão do sinal de saída é maior (superior a $1,5\ V$). Novamente, o uso do transistor nativo `3v3_ntv` no seguidor fonte (configurações V e VI) aumenta a excursão do sinal de saída em comparação com a configuração IV, que utiliza o modelo `5v0_std`. Isto se deve à baixa tensão de limiar do transistor `3v3_ntv`.

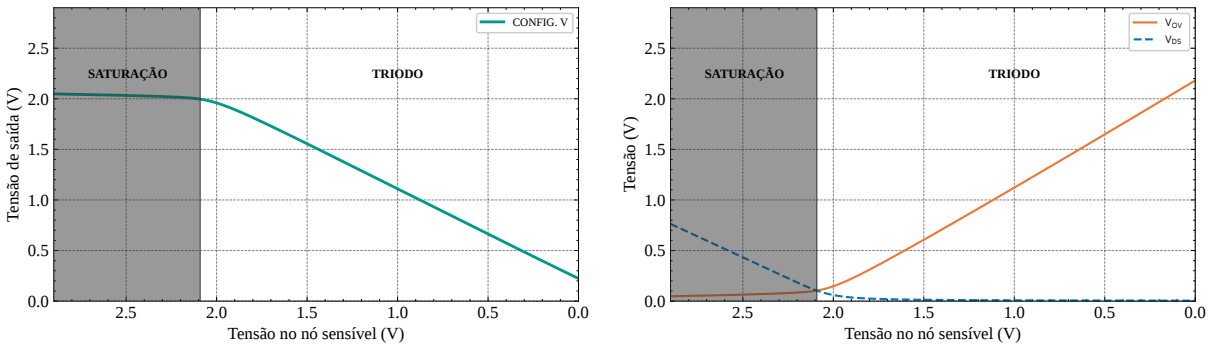
Figura 32 – Resultados da simulação DC para as configurações IV, V e VI.



Fonte: Oliveira, Teixeira e Santos (2026).

Entretanto, nota-se que o uso do transistor nativo na configuração V leva a uma grande não linearidade do sinal de saída para altos valores de V_{PIX} (ambientes com baixa iluminação). Isto ocorre porque o transistor de seleção M_{SEL}, um transistor `5v0_std` operando como chave, muda sua região de operação de triodo para a de saturação com

Figura 33 – Mudança da região de operação do transistor M_{SEL} na configuração V.



(a) Curva da tensão de saída obtida na configuração V.

(b) Tensões V_{OV} (*overdrive*) e V_{DS} do transistor M_{SEL}.

Fonte: Elaborado pelo autor (2026).

altos valores de V_{PIX}. Este fato torna a configuração V inviável, devido à significativa perda de sensibilidade em ambientes escuros.

São destacadas na Figura 33 as regiões de operação de M_{SEL} na simulação DC da configuração V, onde a área em cinza representa a saturação. Analisando a Figura 33(a), percebe-se que a tensão de saída atinge um platô no momento em que a tensão dreno-fonte (V_{DS}) de M_{SEL} supera a sua tensão de *overdrive* (V_{OV}), conforme apresentado na Figura 33(b).

Na configuração VI, este empecilho é resolvido ao utilizar uma tensão $V_{SEL} = 5,0\ V$ para acionar o transistor de seleção. Isto garante que o transistor M_{SEL} não entre na região de saturação durante toda a excursão do sinal. Esta configuração é a que apresenta maior excursão do sinal de saída e maior coeficiente de determinação (maior linearidade). Porém, esta abordagem não é tecnicamente atrativa, uma vez que utiliza uma tensão maior (de $5,0\ V$) apenas para acionar o transistor de seleção.

Além disso, nota-se que as configurações que fazem uso do transistor nativo `3v3_ntv` (configurações III, V e VI) apresentam um ganho maior no transistor de leitura para baixos valores de V_{PIX}, o que confirma que o transistor `3v3_ntv` não entra na região de corte.

Os valores obtidos para o coeficiente de determinação R^2 (em %) entre V_{OUT} e V_{PIX}, assim como os valores de $V_{OUT(max)}$, ΔV_{OUT} e ΔV_{GS} (ambos em V) e $\Delta V_{GS}/\Delta V_{OUT}$ (em V/V) são apresentados na Tabela 5. A partir destes valores foram feitas as escolhas das configurações a serem implementadas no layout. A Configuração V foi descartada por sua grande não linearidade do sinal de saída em ambientes com baixa iluminação. A Configuração VI, embora apresente os melhores indicadores (R^2 de $99,998\%$ e a menor razão $\Delta V_{GS}/\Delta V_{OUT}$), foi considerada tecnicamente inviável pela necessidade de uma linha de alimentação extra de $5,0\ V$. Assim sendo, as configurações I, II, III e IV seguiram para a etapa de layout.

Tabela 5 – Excursão do sinal de saída e linearidade das seis configurações.

CONFIG.	$V_{OUT(max)}$	ΔV_{OUT}	ΔV_{GS}	$\Delta V_{GS}/\Delta V_{OUT}$	R^2
I	0,832	0,765	0,192	0,250	99,958 %
II	0,960	0,891	0,168	0,188	99,970 %
III	1,629	1,435	0,254	0,177	99,983 %
IV	1,705	1,652	0,404	0,245	99,956 %
V	2,048	1,825	0,316	0,173	94,953 %
VI	2,800	2,576	0,317	0,123	99,998 %

Fonte: Oliveira, Teixeira e Santos (2026).

Tabela 6 – Fator de preenchimento das quatro configurações.

CONFIG.	Área Fotossensível (μm^2)	Área Total (μm^2)	Fator de Preenchimento
I	158,016	225	70,23 %
II	158,016	225	70,23 %
III	156,186	225	69,42 %
IV	149,994	225	66,66 %

Fonte: Oliveira, Teixeira e Santos (2026).

4.2 FATOR DE PREENCHIMENTO (FILL FACTOR)

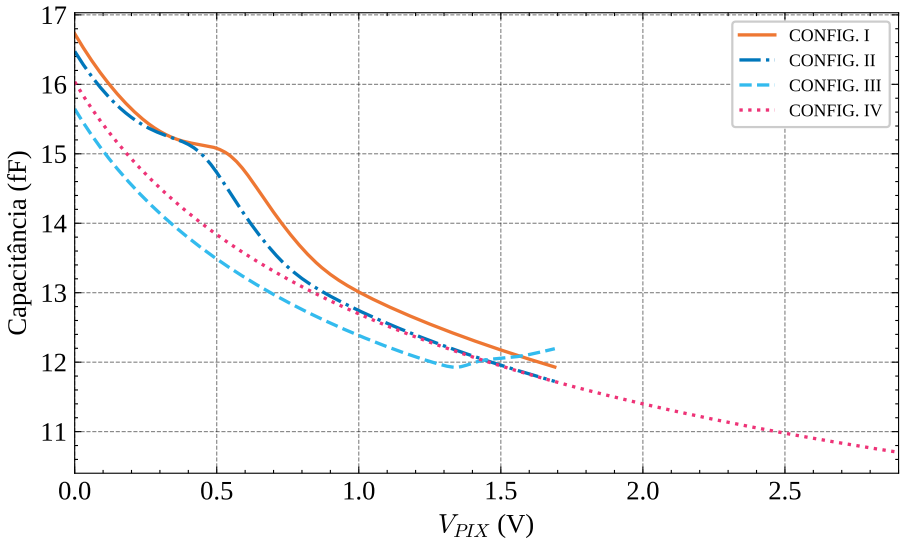
Cada pixel proposto neste trabalho possui dimensões de 15 $\mu m \times 15$ μm, totalizando $225\mu m^2$ de área. A área fotossensível (em μm^2) de cada pixel, assim como a área total (em μm^2) e o respectivo fator de preenchimento (em %) são detalhados na Tabela 6. Observa-se que a utilização dos transistores `3v3_ntv` e `5v0_std` compromete levemente o fator de preenchimento das configurações III e IV devido às dimensões maiores destes dispositivos quando comparados com os modelos `1v8_std` e `1v8_lvt`. Entretanto, a diferença é pouco significativa em relação às configurações I e II. Além do mais, todas as configurações possuem um alto fator de preenchimento, superior a 65%.

4.3 ANÁLISE DA CAPACITÂNCIA DO NÓ SENSÍVEL

As curvas de capacitância em função da tensão no nó sensível, obtidas por simulação AC no NGSPICE para cada uma das configurações implementadas no layout, são apresentadas na Figura 34. Em linha sólida laranja é apresentada a curva obtida da configuração I, a linha azul com ponto e traço apresenta a curva obtida da configuração II, a linha ciano tracejada a curva da configuração III e a vermelha pontilhada é obtida da configuração IV.

Nas quatro configurações, os valores de capacitância obtidos são próximos (entre 10 fF e 17 fF) e condizentes com os encontrados em sensores manufaturados (TEIXEIRA, 2010). Observa-se, também, que a capacitância diminui com o aumento da tensão V_{PIX}.

Figura 34 – Capacitância no nó sensível para as quatro configurações.



Fonte: Oliveira, Teixeira e Santos (2026).

Este comportamento é esperado, uma vez que o aumento da tensão de polarização reversa sobre o fotodiodo implica a expansão de sua região de depleção. Além disso, a capacitância de junção do fotodiodo é dominante sobre as demais capacitâncias parasitas do nó sensor.

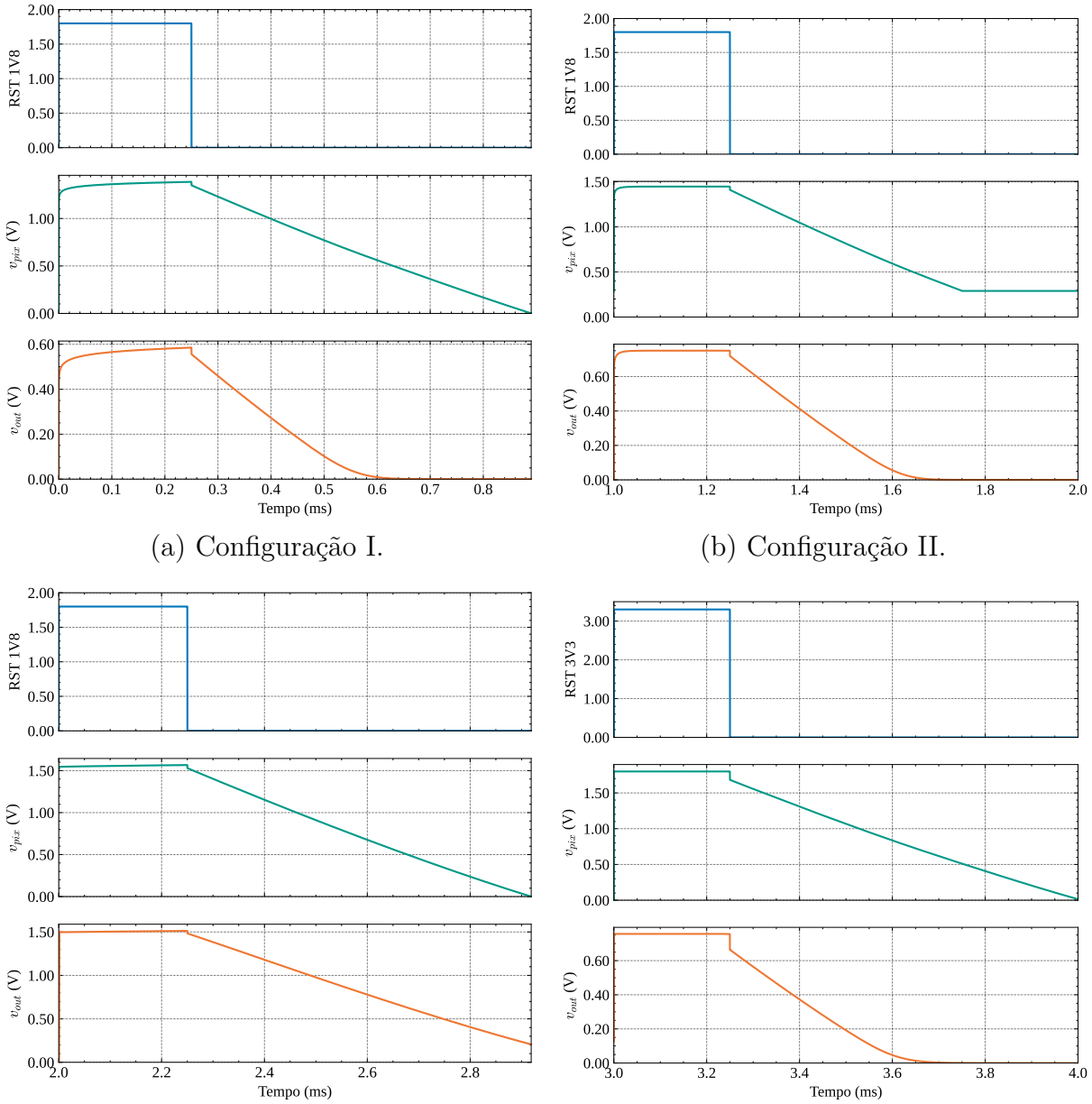
As configurações I e II, que fazem uso dos transistores `1v8_std` e `1v8_lvt`, apresentam os maiores valores de capacitância quando comparadas às configurações III e IV. A configuração III, que faz uso do transistor nativo `3v3_ntv` para o seguidor fonte, é a que apresenta os menores valores. Entretanto, nesta configuração, nota-se um aumento da capacitância quando a tensão V_{PIX} excede $1,3\ V$, devido à mudança de polarização do transistor de leitura `3v3_ntv`. Este transita da região de saturação, que é esperada num amplificador seguidor fonte, para a região de triodo (região ôhmica). Este comportamento atípico compromete os requisitos de linearidade ao se utilizar esta configuração.

4.4 ANÁLISE DA RESPOSTA TRANSIENTE DA MATRIZ

A seguir, na Figura 35, são apresentadas as formas de onda do sinal de *reset* (em azul), da tensão no nó sensor $v_{pix}(t)$ (em verde) e da tensão de saída do multiplexador $v_{out}(t)$ (em laranja), obtidas na simulação transiente da matriz 2×2. Na Figura 35(a) encontram-se as formas de onda obtidas do pixel da configuração I, na Figura 35(b) encontram-se as formas de onda do pixel da configuração II, na Figura 35(c) estão as formas de onda da configuração III e, por fim, na Figura 35(d) estão as formas de onda da configuração IV.

Observa-se o aumento da tensão do fotodiodo durante o nível alto do sinal de *reset* e a descarga desta tensão durante o período de integração da fotocorrente que, neste estudo, foi simulada por uma fonte de corrente ideal mantida em 30 pA. Este é o comportamento

Figura 35 – Tensões de *reset*, no nó sensor v_{pix} e de saída v_{out}.



(a) Configuração I.

(b) Configuração II.

(c) Configuração III.

(d) Configuração IV.

Fonte: Oliveira, Teixeira e Santos (2026) (adaptado).

esperado, validando assim o layout implementado.

O platô na tensão $v_{pix}(t)$ da configuração II, antes do término do período de integração, sugere que a corrente de fuga (*leakage*) dos transistores `1v8_lvt`, utilizados tanto como chave de *reset* quanto como amplificador de leitura, equilibra a fotocorrente simulada. Entretanto, vale destacar que o objetivo desta simulação é a verificação funcional do layout da matriz, principalmente da lógica de endereçamento dos pixels, não tendo o propósito de prever com exatidão o funcionamento do sensor fabricado utilizando o Sky130.

4.5 CONSIDERAÇÕES PARCIAIS

Neste capítulo, foram apresentados e discutidos os resultados de simulação DC das seis configurações de pixel propostas, bem como os resultados pós-layout das quatro configurações selecionadas para implementação.

A partir da simulação DC das seis configurações, constatou-se que, apesar de as configurações V e VI apresentarem a maior excursão do sinal de saída, a implementação delas é tecnicamente inviável. Visto que a configuração V apresenta uma grande não linearidade em baixa iluminação e a configuração VI necessita de uma tensão $V_{SEL} = 5,0\ V$ apenas para o sinal de seleção. Deste modo foram selecionadas as configurações I, II, III e IV para a implementação do layout.

A caracterização do layout demonstrou que todas as quatro configurações selecionadas atingiram um alto fator de preenchimento, superior a 65%, indicando que o impacto no *fill factor* ao se utilizar os transistores com dimensões maiores das configurações III e IV é mínimo.

A capacitância do nó sensível, obtida via simulação AC, revelou valores entre 10 fF e 17 fF, condizentes com os valores encontrados na literatura. Contudo, observou-se também um comportamento atípico na Configuração III, cujo aumento da capacitância em tensões de polarização superiores a 1,3 V compromete a linearidade desejada.

Por fim, a análise transiente validou o funcionamento da matriz 2×2 apresentada, demonstrando os ciclos corretos de *reset* e integração da fotocorrente (descarga do fotodiodo) para todas as quatro configurações. Este resultado confirma o correto funcionamento do layout implementado, permitindo a continuação do projeto de uma matriz com 128×128 pixels de resolução.

5 CONCLUSÃO

Este trabalho apresentou o desenvolvimento do projeto e a implementação do layout de uma matriz de sensores de imagem CMOS com topologia 3T-APS, utilizando apenas ferramentas de código aberto. A principal motivação foi verificar a viabilidade técnica de projetar sensores CIS dentro do paradigma de *Open Silicon*, desde a concepção esquemática até a validação pós-layout.

Inicialmente, realizou-se o estudo teórico com as principais equações do pixel ativo, fundamentando as escolhas de projeto. Na sequência, o estudo comparativo de linearidade e excursão do sinal permitiu selecionar, dentre os arranjos de transistores disponíveis no Sky130, as quatro configurações mais promissoras (I, II, III e IV) para a implementação do layout.

Destaca-se um comportamento atípico observado no transistor nativo do Sky130. Nas topologias que o utilizam como transistor de leitura (III, IV e V), verificou-se um ganho de tensão superior a um para níveis baixos de tensão no nó sensível, além de um aumento da capacitância ao elevar a tensão de polarização sobre este mesmo nó. Este fenômeno é atribuído à mudança da região de operação de saturação para triodo, o que compromete a linearidade do sinal de saída nestas configurações.

A implementação física da matriz reduzida 2×2, integrada ao multiplexador analógico e ao circuito de polarização, foi realizada atendendo às regras de projeto (DRC) e passando pela verificação LVS. Obteve-se um alto fator de preenchimento (superior a 65%) para todas as configurações e valores de capacitância do nó sensível coerentes com a literatura. Além disso, a simulação transiente pós-layout demonstrou a correta operação da lógica de endereçamento e dos ciclos de *reset* e integração da matriz.

Entretanto, cabe destacar que, embora as simulações forneçam uma estimativa do comportamento do circuito, a extração precisa das figuras de mérito do sensor, como a eficiência quântica, a corrente de escuro e a faixa dinâmica, só é possível através da medição experimental em um chip fabricado.

Conclui-se, por fim, que as ferramentas de código aberto adotadas são robustas e viáveis para o desenvolvimento de sensores de imagem, constituindo uma base sólida para a continuidade da pesquisa e para o aprimoramento do sensor em trabalhos futuros.

5.1 TRABALHOS FUTUROS

Para a continuidade deste projeto, sugerem-se os seguintes trabalhos:

- Projetar um amplificador operacional de transcondutância (OTA - *Operational Transconductance Amplifier*) dedicado para a saída do sensor. Como o seguidor de fonte do pixel opera com uma corrente de polarização baixa, ele apresenta limitações

para acionar grandes cargas capacitivas, resultando em alto tempo de acomodação e baixo *slew rate* (STEFANOV, 2022). A implementação do OTA no estágio de saída contorna este problema;

- Realizar uma análise das fontes de ruído presentes no sensor de imagem, como o ruído de leitura. Este estudo é fundamental para a determinação da faixa dinâmica do sensor;
- Projetar um Conversor Analógico-Digital (ADC - *Analog-to-Digital Converter*) integrado ao chip para digitalizar o sinal de saída diretamente no sensor. A implementação de uma saída digital facilitaria a interface com sistemas externos e tornaria o multiplexador analógico obsoleto;
- Expandir o layout da matriz 2×2 validada neste trabalho para a resolução alvo de 128×128 pixels, incluindo a integração com o circuito combinacional de endereçamento desenvolvido em trabalhos correlatos (SOUZA; PEREIRA; TEIXEIRA, 2024);
- Submeter o projeto final para fabricação em uma rodada MPW. A obtenção do chip permitirá a mensuração real das figuras de mérito do sensor.

REFERÊNCIAS

ADAMS, D. **Mostly Harmless**. London: Pan Books, 1992.

ALEX, D. A 256x256 cmos active pixel image sensor with motion detection. **ISSCC Digest of Technical paper**, p. 225–227, 1995.

BOYLE, W. S.; SMITH, G. E. Charge coupled semiconductor devices. **The Bell System Technical Journal**, v. 49, n. 4, p. 587–593, 1970.

BROUK, I.; NEMIROVSKY, A.; NEMIROVSKY, Y. Analysis of noise in cmos image sensor. In: **2008 IEEE International Conference on Microwaves, Communications, Antennas and Electronic Systems**. [S.l.: s.n.], 2008. p. 1–8.

Criteria & Assumptions - SkyWater. 2020. Disponível em: <https://skywater-pdk.readthedocs.io/en/main/rules/assumptions.html#process-stack-diagram>.

Device Details - SkyWater. 2020. Disponível em: <https://skywater-pdk.readthedocs.io/en/main/rules/device-details.html#details>.

DEVORE, J. L. **Probabilidade e Estatística para Engenharia e Ciências**. 6. ed. São Paulo: Cengage Learning, 2006. ISBN 978-85-221-0924-1.

Efables. **efabless/caravel_user_project_analog**. 2020. Disponível em: <https://github.com/efabless/caravel_user_project_analog>.

Efabless. **efabless/panamax**. 2025. Original-date: 2025-02-14T14:16:15Z. Disponível em: <https://github.com/efabless/panamax>.

FOSSUM, E. CMOS image sensors: electronic camera-on-a-chip. **IEEE Transactions on Electron Devices**, v. 44, n. 10, p. 1689–1698, out. 1997. ISSN 1557-9646. Disponível em: <https://ieeexplore.ieee.org/document/628824>.

FOSSUM, E. Digital camera system on a chip. **IEEE Micro**, v. 18, n. 3, p. 8–15, maio 1998. ISSN 1937-4143. Disponível em: <https://ieeexplore.ieee.org/document/683047>.

FREITAS, L. M. C.; MORGADO-DIAS, F. A CMOS image sensor with 14-Bit column-parallel 3rd order incremental sigma-delta converters. **Sensors and Actuators A: Physical**, v. 313, p. 112162, out. 2020. ISSN 0924-4247. Disponível em: <https://www.sciencedirect.com/science/article/pii/S0924424720307925>.

FREITAS, L. M. C.; MORGADO-DIAS, F. Thermal readout noise comparison of classical constant bias APS and switching bias APS used in CMOS image sensors. **Analog Integrated Circuits and Signal Processing**, v. 111, n. 2, p. 267–275, maio 2022. ISSN 1573-1979. Disponível em: <https://doi.org/10.1007/s10470-021-01964-2>.

GAMAL, A. E.; YANG, D. X. D.; FOWLER, B. A. Pixel-level processing: why, what, and how? In: **Sensors, Cameras, and Applications for Digital Photography**. SPIE, 1999. v. 3650, p. 2–13. Disponível em: <https://www.spiedigitallibrary.org/conference-proceedings-of-spie/3650/0000/Pixel-level-processing-why-what-and-how/10.1117/12.342849.full>.

GlobalFoundries. **Read the Docs - GF180MCU PDK - GlobalFoundries**. 2022. Disponível em: <https://gf180mcu-pdk.readthedocs.io/en/latest/>.

HORTON, J.; MAZZA, R.; DYM, H. The scanistor—a solid-state image scanner. **Proceedings of the IEEE**, v. 52, n. 12, p. 1513–1528, 1964.

ICsprout. **Docs - ICsprout55 PDK - ICsprout**. 2025. Disponível em: <https://github.com/openecos-projects/icsprout55-pdk>.

IHP. **Read the docs - IHP 130nm BiCMOS PDK - IHP**. 2024. Disponível em: <https://ihp-open-pdk-docs.readthedocs.io/en/latest/>.

KHAMSEHASHARI, E.; AUDET, Y.; FAYOMI, C. Digital linearity correction of a wide dynamic range current-mode image sensor. In: **Proceedings of the 8th IEEE International NEWCAS Conference 2010**. [s.n.], 2010. p. 133–136. Disponível em: <https://ieeexplore.ieee.org/document/5603722/>.

MORRISON, S. A new type of photosensitive junction device. **Solid-State Electronics**, Elsevier, v. 6, n. 5, p. 485–494, 1963.

NIXON, R. H.; KEMENY, S. E.; STALLER, C. O.; FOSSUM, E. R. 128 x 128 cmos photodiode-type active pixel sensor with on-chip timing, control, and signal chain electronics. In: SPIE. **Charge-Coupled Devices and Solid State Optical Sensors V**. [S.l.], 1995. v. 2415, p. 117–123.

NUNES, S. A. **Pixel para Halftoning no Plano Focal em Sensores de Imagem CMOS**. Tese (Dissertação de Mestrado) — COPPE/UFRJ, Rio de Janeiro, 2012.

OLIVEIRA, L. K. M.; TEIXEIRA, E. C.; SANTOS, F. V. **Study of different 3T-APS Pixel Configurations Using the Open Sky130 Process Design Kit**. 2024. Conference Name: Microelectronics Students Forum 2024 (SFORUM'24) Publisher: Zenodo. Disponível em: <https://zenodo.org/records/14179213>.

OLIVEIRA, L. K. M.; TEIXEIRA, E. C.; SANTOS, F. V. **Design, layout and simulation of 3T-APS pixels using the Open Sky130 Process Design Kit**. 2025. Conference Name: 25th Microelectronics Students Forum (SForum'25) Publisher: Zenodo. Disponível em: <https://zenodo.org/records/17113392>.

OLIVEIRA, L. K. M.; TEIXEIRA, E. C.; SANTOS, F. V. Desenvolvimento de uma matriz de sensores de pixels ativos usando o pdk sky130 e ferramentas de código aberto. In: **Pesquisas no Instituto de Ciências Exatas, Engenharias e Arquitetura - UFJF**. São Paulo: Akademy, 2026. v. 2. ISBN 978-65-80008-84-1. Disponível em: <https://www.akademyeditora.com.br/ebooks/ebook-pesquisanoicevol2.html>.

SEDRA, A. S.; SMITH, K. C. **Microelectronic Circuits**: International edition. 7. ed. [S.l.]: Oxford University Press, 2015. ISBN 9780190649777.

SKYWATER. **Periphery Rules — SkyWater**. 2020. Disponível em: <https://skywater-pdk.readthedocs.io/en/main/rules/periphery.html>.

SkyWater. **Read the docs - SKY130 PDK - SkyWater**. 2020. Disponível em: <https://skywater-pdk.readthedocs.io/en/main/>.

SOUZA, C. V.; PEREIRA, G. F. J.; TEIXEIRA, E. C. **Design of Combinatorial APS Pixel Addressing Circuitry using the Sky130 Process Design Kit**. 2024. Conference Name: Microelectronics Students Forum 2024 (SFORUM 2024) Publisher: Zenodo. Disponível em: <https://zenodo.org/records/14179361>.

STEFANOV, K. D. **CMOS Image Sensors**. IOP Publishing, 2022. ISBN 978-0-7503-3235-4. Disponível em: <https://iopscience.iop.org/book/mono/978-0-7503-3235-4>.

TEIXEIRA, E.; SANTOS, F.; MESQUITA, A. High fill factor CMOS APS sensor with extended output range. **Electronics Letters**, v. 46, n. 25, p. 1658–1659, dez. 2010. Publisher: The Institution of Engineering and Technology. Disponível em: <https://digital-library.theiet.org/doi/10.1049/el.2010.2351>.

TEIXEIRA, E. C. **Sensor APS com Faixa Dinâmica Estendida**. Tese (Dissertação de Doutorado) — COPPE/UFRJ, Rio de Janeiro, 2010.

TEYMOURI, M.; SOBHI, J. An ultra-linear CMOS image sensor for a high-accuracy imaging system. **International Journal of Circuit Theory and Applications**, v. 46, n. 9, p. 1593–1605, set. 2018. ISSN 0098-9886, 1097-007X. Disponível em: <https://onlinelibrary.wiley.com/doi/10.1002/cta.2485>.

WECKLER, G. Operation of p-n junction photodetectors in a photon flux integrating mode. **IEEE Journal of Solid-State Circuits**, v. 2, n. 3, p. 65–73, 1967.

WESTE, N. H. E.; HARRIS, D. **CMOS VLSI Design: A Circuits and Systems Perspective**. 4. ed. Boston: Addison-Wesley, 2010. ISBN 978-0-321-54774-3.

YADID-PECHT, O.; ETIENNE-CUMMINGS, R. **CMOS imagers**. [S.l.]: Springer, 2004.