

Universidade Federal de Juiz de Fora
Programa de Pós-Graduação em Engenharia Elétrica
Mestrado em Engenharia Elétrica

Carlos Henrique Nascimento Martins

**PLATAFORMA DE PROCESSAMENTO DE SINAIS PARA APLICAÇÕES
EM SISTEMAS DE POTÊNCIA**

Juiz de Fora

2011

Carlos Henrique Nascimento Martins

Plataforma de Processamento de Sinais para Aplicações em Sistemas de Potência

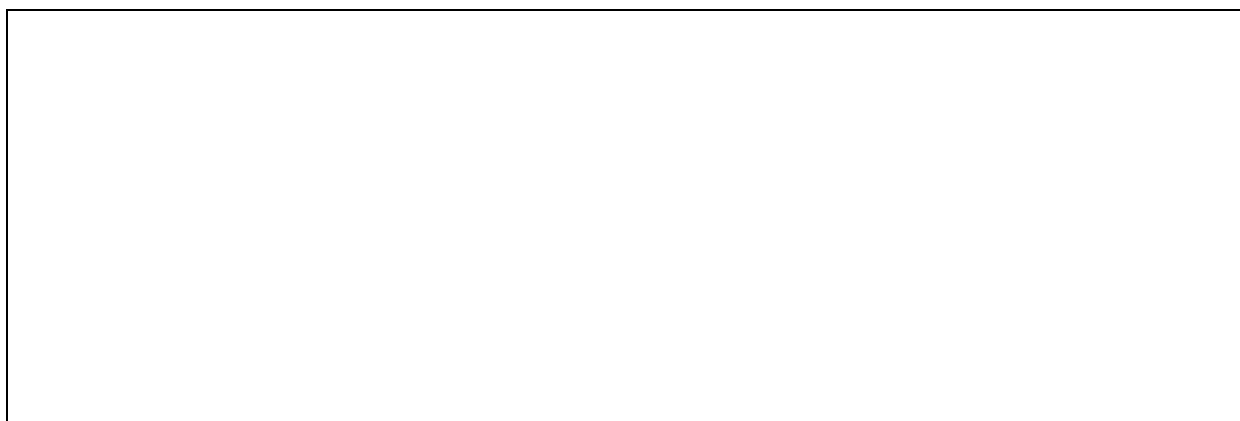
Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, área de concentração: Sistemas Eletrônicos, da Universidade Federal de Juiz de Fora como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Carlos Augusto Duque, D.Sc.

Juiz de Fora

2011

Ficha catalog. elaborada pelos bibliotecários da UFJF (impressão no verso da folha de rosto)

A large, empty rectangular box with a thin black border, occupying the lower half of the page. It is positioned below the text and appears to be a placeholder for a catalog entry or a drawing.

Carlos Henrique Nascimento Martins

Plataforma de Processamento de Sinais para Aplicações em Sistemas de Potência

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, Área de Sistemas Eletrônicos, da Faculdade de Engenharia da Universidade Federal de Juiz de Fora como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica.

Aprovada em 08de Abril de 2011.

BANCA EXAMINADORA

Prof. Carlos Augusto Duque, Ph.D. (Orientador)
Universidade Federal de Juiz de Fora

Prof. Moisés Vidal Ribeiro, D.Sc.
Universidade Federal de Juiz de Fora

Prof. Paulo Fernando Ribeiro, Ph.D.
Technische Universiteit Eindhoven

Dedico este trabalho à minha família, amigos e a todos aqueles que fizeram parte dessa caminhada com carinho e motivação.

AGRADECIMENTOS

À Deus, por me conceder o dom da vida e me permitir a realização deste trabalho.

À toda minha família, em especial aos meus pais **Raimundo Martins** (em memória) e Maria de Fátima Nascimento Martins, irmãos Heloisa, Eduardo e Gustavo, tios, primos e a uma pessoa particularmente especial Cássia entre outros, que sempre me apoiaram com amor e motivação em todos os momentos da minha vida.

Aos professores Amigos da UFJF em especial Carlos Augusto Duque, pela excelência na orientação deste trabalho, bem como pela dedicação incessante e ensinamentos repassados, os quais foram essenciais tanto para a realização deste trabalho.

Aos amigos de mestrado, pelo companheirismo, incentivo, em especial Leandro Rodrigues Manso, Diego Fabri, Matheus Tavares, Anderson Pagliotto além dos amigos do Laboratório de processamento de Sinais e Telecomunicações, que contribuíram com conhecimento e boas risadas (Davis, Guilherme (Magal) e Fernando) nas horas difíceis. Também agradecer aos amigos que conquistados nessa caminhada Pedro Zuchi, Fabricio Pablo.

Aos demais amigos que caminham sempre ao meu lado desde os tempos de infância e certamente tem participação indireta neste trabalho.

À CAPES e ao PPEE pelo apoio financeiro.

À todos que, de alguma forma, contribuíram para a realização deste trabalho

RESUMO

Este trabalho tem por objetivo principal apresentar o desenvolvimento de plataformas eletrônicas de processamento de sinais de alto desempenho para monitoramento do sistema elétricos de potência. No trabalho são discutidas arquiteturas de hardware para três aplicações em sistemas de potência: analisador fasorial (Phasor Measurement Unit - PMU), analisador de qualidade de energia elétrica (QEE) e analisador de harmônicos variantes no tempo (AHVT). Além disso são todos os conceitos de eletrônica digital e analógica envolvidos na concepção deste projeto, tomando como base equipamentos de mercado, a literatura pertinente e as normas reguladoras para dispositivos de análise de parâmetros elétricos. No projeto é abordado principalmente a implementação de hardware, que envolve implementação de estruturas de conversão Analógico Digital, filtro anti-aliasing, condicionamento de sinais, processamento e gerenciamento de dados e finalmente meios de comunicação. O hardware foi testado utilizando algoritmos básicos de processamento de sinais sendo apresentado casos reais de monitoramento dos parâmetros do sinal elétrico e uma versão inicial do AHVT.

Palavras-chave: PMU, Analisador de qualidade de energia, Analisador de Harmônicos variantes no tempo, Sincronismo GPS, plataforma para processamento de sinais.

ABSTRACT

This work has the aim to present the development of electronic platforms for signal processing for high performance electric power monitoring system. At this work are discussed hardware architectures for three power systems applications: phasor measurement unit (PMU), Power Quality Analyzer (PQ) and Time Varying Harmonic Analyzer (TVHA). Also are explained all features of analog and digital electronics involved in the design of this project, based on commercial devices, the literature and regulatory standards for electrical parameters devices. The project is addressed principally to hardware implementation, which involves implementation of structures such as the Analog to Digital conversion, anti-aliasing filter, signal conditioning, processing and data management and communication. The hardware is tested using basic digital signal algorithms and real cases of parameters monitoring are presented. Furthermore prototype version of the TVHA is presented.

Keywords: PMU, Power Quality, GPS systems, Time Varying Harmonic Analyser and Digital Signal Processing Platform.

LISTA DE FIGURAS

Figura 1 – Protótipo PMU Virginia Tech.....	23
Figura 2 – Diagrama Sistema de Potência.....	28
Figura 3 – Representação Fasorial.....	29
Figura 4 – Sinais de Sincronismo GPS: PPS e IRIG-B.....	30
Figura 5 - Duas opções de sincronização: (a) O sinal de sincronização é utilizado para disparar um temporizador interno a CPU; (b) O sinal de sincronização é utilizado para sincronizar um oscilador PLL.	31
Figura 6 – Formato do Protocolo IEEE-C37118.....	32
Figura 7 – Diagrama de Parâmetros de QEE a serem extraídos. Passar figura para portugues	39
Figura 8 - Diagrama de blocos de um Analisador Variante no Tempo.....	43
Figura 9 – Filtro Passa-Baixas Passivo.....	46
Figura 10 – Modelos de Filtros Ativos.....	47
Figura 11 – Estruturas Sallen-Key de filtros.	47
Figura 12 – a) filtro de Chebyshev, b) Fase Linear, c) Bessel, d) Butterworth e e)Gaussiano. À esquerda são apresentadas as respostas de magnitude e fase e à direita o atraso de grupo para cada filtro.....	48
Figura 13 – Curvas de operação de filtros Butterworth em função do número de polos.	49
Figura 14 – Espectro de um sinal digitalizado com aliasing.	50
Figura 15 - Espectro de um sinal digitalizado sem aliasing.	51
Figura 16 – Circuito abaixador de tensão da rede elétrica.	52
Figura 17 – Curva de operação do transformador de entrada.	53
Figura 18 –circuito de ajuste de ganho e offset.	53
Figura 19 – Diagrama de operação do filtro anti-aliasing.	54
Figura 20 – Transformador de corrente.....	55
Figura 21 – Projeto do filtro anti-aliasing: Frequência de corte de 10 kHz, Butterworth 6ª ordem.....	56

Figura 22 – Diagrama de bode do filtro implementado.....	56
Figura 23 – Atraso de grupo do filtro implementado.	57
Figura 24 – Placa de aquisição de tensão PMU-QEE.	58
Figura 25 – Placa de aquisição de corrente PMU-QEE.....	59
Figura 26 - Placa de aquisição de tensão AHVT.	59
Figura 27 - Placa de aquisição de corrente AHVT.	60
Figura 28 – Estrutura de blocos do monitor de QEE.....	63
Figura 29 – Diagrama de blocos da PMU	63
Figura 30 – Diagrama de blocos do hardware da Unidade PMU + QEE	64
Figura 31 – Diagrama de blocos do sistema GPS e da extração da informação temporal.	65
Figura 32 – Diagrama de blocos do sistema de sincronismo. Caso o sinal PPS deixe de ser válido, o sistema de sincronização comuta para o RTC. A diferença Δt computada previamente é utilizada para corrigir a estampa de tempo.	66
Figura 33– Sistema de aquisição utilizando conversor interno(a) e externo (b), com um único processador.	68
Figura 34 – Sistema de aquisição utilizando conversor externo(a) e externo (b), com 3 processadores.....	69
Figura 35 – Estrutura interna do conversor A/D do TMS320f28027.....	70
Figura 36 – Diagrama ilustrativo do hardware PMU+QEE.	75
Figura 37 - Diagrama ilustrativo da conexão SPI entre os DSPs, as Dataflash, o controlador ATMEL e o SD card.....	77
Figura 38 – Diagrama do processador gerenciador.	79
Figura 39 – Diagrama de bloco do sistema de detecção de pulsos e sincronismo.	80
Figura 40- Diagrama de blocos do sistema de auto calibração.	81
Figura 41 – Conversor D/A implementado a partir do PWM.	82
Figura 42 – Estrutura do DAC a partir do sinal PWM.	82
Figura 43 – Foto da face superior da placa de processamento.	85
Figura 44 – Foto da placa do sincronofasor monofásico.....	87
Figura 45 - Foto ilustrativa do módulo de processamento do AHVT	88

Figura 46 – Estrutura de Cálculo da DFT.....	92
Figura 47 – Malha QPLL.....	98
Figura 48 – Malha QPLL simplificada.....	99
Figura 49 – Estrutura de testes para algoritmos DFT e QPLL.	102
Figura 50 – Equação SWRDFT.....	102
Figura 51 – Buffer Circular DFT.....	103
Figura 52 – Estimação de amplitude DFT.....	104
Figura 53 – Diagrama completo de operações da DFT.	104
Figura 54 – Resultados obtidos no Matlab.	105
Figura 55 – Resultado do depurador do Code Composer.....	106
Figura 56– Resultados obtidos no Matlab.	107
Figura 57 - Resultado do depurador do Code Composer.	108
Figura 58 – Algoritmo de Reconstrução DFT.	109
Figura 59 – Reconstrução do sinal adquirido da rede elétrica.....	109
Figura 60- Diagrama de blocos do AHVT	110
Figura 61 - Forma de onda da corrente de um forno de micro-ondas.	111
Figura 62 -Decomposição harmônica corrente do micro-ondas.....	111

LISTA DE TABELAS

Tabela I- Características PMUs comerciais	27
Tabela II – Número de pacotes a serem enviados ao CDC.	33
Tabela III – Fabricantes e Características de PMU.	34
Tabela IV – Características de alguns distúrbios de qualidade de energia.	37
Tabela V – Fabricantes e características de Medidores de QEE.	40
Tabela VI - Tabela de composição harmônica:	50
Tabela VII – Características das três aplicações desenvolvidas nesta dissertação	62
Tabela VIII – Estruturas de aquisição de dados.	68
Tabela IX – Tempo de Conversão e erro fasorial.	71
Tabela X– Resolução necessária para medição de harmônicos de tensão.	71
Tabela XI - Resolução necessária para medição de harmônicos de tensão.	71
Tabela XII–Sequencia de operações do barramento SPI.	77
Tabela XIII–Parâmetros do sinal utilizado.	105
Tabela XIV- Comparativo desempenho algoritmos SWRDFT e QPLL	112

LISTA DE ABREVIATURAS E SIGLAS

A/D	Conversor analógico-digital
AHVT	Analisador de Harmônicos Variantes no Tempo
CC	Corrente contínua
CDC	Concentrador de dados central
D/A	Conversor digital-analógico
DSP	<i>Digital signal processor</i>
GOES	<i>Geostationary Operational Environmental Satellite</i>
GPRS	<i>General Packet Radio Service</i>
GPS	<i>Global Positioning System</i>
GSM	<i>Group Special Mobile</i>
HRPWM	<i>high resolution pulse width modulation</i>
I2C	<i>Inter-Integrated Circuit</i>
IEC	<i>International Eletrotechnical Commission</i>
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
IRIG	<i>Inter-range instrumentation group time codes</i>
JTAG	<i>Joint Test Action Group</i>
NASPI	<i>North American SynchroPhasor Initiative</i>
NERC	<i>North American Electric Reliability Corporation</i>

NMEA	<i>National Marine Electronics Association</i>
	<i>NPT número de pontos por ciclo</i>
NOS	Operador Nacional do Sistema
PMU	<i>Phasor Measurement Unit</i>
PPM	Parte Por Milhão
PPS	<i>Pulse Per Second</i>
PWM	<i>Pulse Width Modulation</i>
QEE	<i>Qualidade de Energia</i>
QPLL	<i>Quadrature Phase Locked Loop</i>
RTC	<i>Real Time Clock</i>
S/H	<i>Sample and Hold</i>
SCADA	<i>Supervisory Control and Data Aquisition</i>
SIN	Sistema Integrado Nacional
SMF	Sistema de Medição Fasorial
SOC	<i>Start Of Conversion</i>
SOC _G	<i>System on Circuit</i>
SPI	<i>Serial Peripheral Interface</i>
SQW	<i>Square Wave</i>
SWRDFT	<i>Sliding Window Recursrive Discrete Fourier Transform</i>
TSIP	TRIMBLE <i>Standard Interface Protocol</i>
USB	<i>Universal Serial Bus</i>

UTC *Universal Time Cordinated*

SUMÁRIO

1	INTRODUÇÃO	18
2	REVISÃO BIBLIOGRÁFICA	21
2.1	Unidade de medição Fasorial (Síncrono Fasor)	21
2.1.1	Histórico PMU	21
2.1.2	Panorama de aplicação de PMUs no mundo.	24
2.1.3	Panorama de aplicação de PMUs no Brasil.....	26
2.1.4	Medição Fasorial – Conceitos Básicos.....	28
2.1.5	Sincronização do GPS	29
2.1.6	Sincronização dos Conversores A/D	31
2.1.7	Protocolos de Comunicação do GPS	32
2.1.8	Especificações Básicas de uma PMU.....	34
2.2	Unidades de Medição de QEE.....	35
2.2.1	Histórico QEE	35
2.2.2	Conceitos Básicos.....	36
2.2.3	Características básicas de um Monitor de QEE	40
2.3	Analizador de Harmônicos Variantes no Tempo (AHVT).....	41
2.3.1	Histórico AHVT	41
2.3.2	Características básicas do Equipamento.....	42
2.4	Conclusões do Capítulo.....	44
3	HARDWARE - SISTEMA DE FILTRAGEM E CONDICIONAMENTO.....	45
3.1	Filtros Passivos.....	45
3.2	Filtros Ativos	46
3.2.1	Filtro Ativo de Pólo Simples	46

3.2.2	Filtro Ativo de Pólo Duplo	47
3.3	Filtro <i>anti-aliasing</i>	49
3.4	Condicionamento de Sinais	51
3.4.1	Condicionamento de Tensão	51
3.4.2	Condicionamento de Corrente	54
3.5	Desenvolvimento e Projeto dos Filtros	55
3.6	Hardware Analógico para a Aquisição de Tensão e Corrente para PMU – QEE	57
3.6.1	Aquisição de Tensão	57
3.6.2	Aquisição de Corrente	58
3.7	Hardware Analógico para a Aquisição de Tensão e Corrente para AHVT	59
3.7.1	Aquisição de Tensão	59
3.7.2	Aquisição de Corrente	60
4	DESENVOLVIMENTO DO HARDWARE – SISTEMA DIGITAL	61
4.1	Conceitos de produtos e equipamentos comerciais	61
4.2	Especificação de um dispositivo PMU+ QE	64
4.2.1	<i>Hardware</i> de sincronismo GPS	64
4.2.2	Sincronização dos conversores A/D	67
4.2.3	Definição do processador	72
4.2.4	Armazenamento de dados	72
4.2.5	Conexão USB, <i>Ethernet</i> e GPRS	73
4.3	Hardware desenvolvido PMU + QEE	74
4.3.1	Processadores DSP – Acesso entre processadores	75
4.3.2	Acesso ao processadores DSP com concentrador	76
4.3.3	Processador Concentrador	78
4.3.4	Comunicação Ethernet/GPRS	79
4.3.5	Relógio de tempo real – sistema de temporização redundante	80
4.4	Hardware de Autocalibração	81
4.5	<i>Hardwares</i> Desenvolvidos – Protótipos	83
4.5.1	PMU + QEE	83
4.5.2	Placa de sincronofasor monofásico	85
4.5.3	AHVT – Analisador de Harmônicos Variantes no Tempo	87
4.6	Conclusão do Capítulo	88

5	ALGORITMOS BÁSICOS	89
5.1	A SWRDFT	89
5.2	O QPLL	92
5.3	Conclusão do Capítulo	100
6	TESTES REALIZADOS – IMPLEMENTAÇÃO DE ALGORITMOS.....	101
6.1	Implementação SWRDFT	102
6.1.1	Resultados Obtidos em ambiente de simulação	104
6.1.2	Resultados da implementação do SWRDFT no DSP.....	105
6.2	Implementação QPLL	107
6.2.3	Resultados Obtidos em ambiente de simulação	107
6.2.4	Resultados obtidos na implementação DSP	107
6.3	Algoritmo SWRDFT operação de reconstrução – AHVT	108
6.3.1	Resultados Obtidos no DSP	109
6.3.2	Registrador de forma de onda	110
6.4	Comparação SWRDFT e QPLL.....	112
6.5	Conclusões do Capítulo.....	112
7	CONCLUSÃO	113
7.1	Trabalhos Futuros	114
7.1.1	Hardware PMU+QEE.....	114
7.1.2	Hardware Sincronofasor.....	115
7.1.3	Hardware AHVT	115
7.1.4	Placas de aquisição e condicionamento sinais	115
	REFERÊNCIAS.....	116

1 Introdução

A demanda energética mundial vem crescendo significativamente, o que exige a constante expansão do sistema elétrico. De fato aumento da demanda de energia acarreta na necessidade da expansão da geração, exigindo cada vez mais um gerenciamento mais rigoroso do ONS (Operador Nacional do Sistema) no despacho de energia. Associado a este aumento estão incluídos demandas financeiras de elevado valor final financeiro e entraves ambientais para a reestruturação e construção de novas linhas de transmissão, hidroelétrica, termoelétricas entre outras.

Esse novo cenário do setor elétrico nacional e mundial, tem provocado falhas catastróficas do sistema elétrico como em novembro de 2009, que causou o corte de fornecimento de energia em 10 estados brasileiro, por uma falha nas linhas de transmissão da Usina hidroelétrica de Itaipu [referenciar].

Dentro desse cenário entra a constante necessidade de inovar e aprimorar os recursos de monitoramento e controle do sistema elétrico, de modo a aumentar a confiabilidade e, assim evitar blecautes. Baseado em fatores acima relacionados o *IEEE Power Engineering Society*, apresentam recomendações a serem implantadas, para a estabilidade e confiabilidade do sistema de fornecimento de energia.

As tecnologias de monitoramento do sistema elétrico de potência vem ganhando espaço em virtude do aumento da dificuldade de controle, do aumento da complexidade destes e do aumento de exigência por confiabilidade. Nesta direção surgiram recentemente, as unidades de medição fasorial sincronizada PMU (*phasor measurement unit*), que permitem ao operador saber o estado do sistema elétrico em tempo real e com sincronismo. Esta

funcionalidade intrínseca ao PMU possibilita a introdução que medidas corretivas antes que um colapso aconteça.

Dentro desse cenário de expansão do sistema existe ainda o aumento das cargas não lineares. Em consequência a esse aumento de cargas não-lineares observa-se uma maior, “poluição” na qualidade da energia elétrica oferecida pelas concessionárias de energia, devido ao aumento das distorções harmônicas, do flicker e aparecimento de novos componentes de frequência antes não presentes no sistema, como os, inter-harmônicos, flicker entre outros eventos elétricos. Esses eventos, em muitos casos, causam danos ao sistema, tais como, operação incorreta de equipamentos de proteção e principalmente a redução da vida útil de transformadores (CAMARGO, 2006), bem como o aumento de perdas técnicas de energia no sistema em forma de calor.

Os fatores acima motivam o desenvolvimento de plataformas de processamento de sinais que sejam capazes de adquirir os sinais provenientes do sistema elétrico associados com a capacidade de detecção e extração de características da rede elétrica, as fontes de distúrbio, e que essas sejam corretamente corrigidos.

Em paralelo ao desenvolvimento do denominado PMU+QEE, foi desenvolvido o hardware do protótipo de um analisador de harmônicos variantes no tempo (AHVT). O AHVT é um novo equipamento que foi proposto recentemente para a análise de sinais harmônicos não estacionários (FABRI, D. F., 2011). Alguns trabalhos recentes apontam para a necessidade de uso das técnicas de análise destes tipos de sinais, porém uma versão de hardware que englobe todas as funcionalidades do equipamento AHVT, é discutido neste trabalho.

Esse trabalho está dividido em seis capítulos conforme a seguir: no Capítulo 2 é apresentado uma revisão bibliográfica apresentando um histórico sobre medidores fasoriais, medidores de qualidade de energia e analisador de harmônicos variantes no tempo; no Capítulo 3 são abordados os sistemas analógicos que é composto por filtros analógicos, condicionadores de sinais e interfaces de aquisição; o Capítulo 4 apresenta os sistemas digitais desenvolvidos neste trabalho, tais como as tecnologias de armazenamento, processamento, sincronização e comunicação de dados; o Capítulo 5 apresenta os algoritmos básicos utilizados nos testes dos hardwares desenvolvidos e aborda o uso das estruturas de extração de parâmetros à partir da DFT e do QPLL; o Capítulo 6 apresenta alguns testes realizados para a

validação do hardware, com a execução dos algoritmos DFT e QPLL e por fim o Capítulo 7 apresenta as conclusões finais e trabalhos futuros.

2 Revisão Bibliográfica

Conforme discutido no capítulo introdutório tem o objetivo deste trabalho é o desenvolvimento de plataformas de processamento de sinais que possam ser utilizadas para a implementação de três aplicações em sistemas de potência, que são: (a) Unidade de medição fasorial sincronizada (PMU); (b) unidade de medição de QEE e (c) Analisador de harmônico variante no tempo.

Para que o hardware do sistema proposto neste trabalho possa atender as especificações das aplicações citadas, é preciso identificar as características básicas de cada uma delas. Assim sendo, este capítulo tem como objetivo discutir estas aplicações, identificando as características comuns e as específicas de cada uma delas, a partir da revisão bibliográfica. Inicialmente será abordada a PMU, com uma breve revisão histórica e alguns aspectos importantes da implementação. A seguir, será abordado o analisador de qualidade de energia, também a partir de um breve histórico e dos aspectos funcionais do equipamento e, por fim, o analisador de harmônicos variantes no tempo será apresentado.

2.1 Unidade de medição Fasorial (Síncrono Fazor)

2.1.1 Histórico PMU

A constante modernização do sistema elétrico, decorrente do aumento de carga, inclusão de fontes alternativas de geração, e a interligação do sistema elétrico de potência tem fomentado estudos para a introdução de novas e tecnologias para atender as novas demandas de gerenciamento, controle e monitoramento do sistema elétrico de potência.

A medição remota de grandezas elétricas em sistemas de potência é de fundamental importância para a realização das tarefas descritas anteriormente. Os primeiros sistemas de medição remota para sistemas de potência (*wide-area measurement*) apareceram no final da década de 60 com o uso dos sistemas SCADA (*supervisory control and data acquisition*). Nesta primeira aplicação objetivou-se a estimação em tempo real dos estados do sistema com a finalidade de gerenciamento do sistema de energia.

A dinâmica de operação do sistema de potência, combinada com a habilidade de monitoramento em tempo real são pontos cruciais para evitar falhas. (PHADKE, A. G., NUQUI, R. F.,2005).

Independente dos sistemas EMS (Energy Management System), na década de 70 iniciaram as pesquisas em sistemas de relés de proteção baseados em microprocessadores. Em uma das aplicações de proteção de linhas de transmissão, os relés de distância, necessitavam que as tensões e correntes fossem adquiridas sincronamente, o que não era uma tarefa complicada, uma vez que os sinais encontravam-se todos no mesmo barramento. Medições sincronizadas para longas distâncias só começaram a se tornarem viáveis a partir da segunda metade da década de 80, quando o sistema GPS (*Global Positioning System*) foi ativado e disponibilizado para uso comercial. Nascia através da junção da tecnologia de sincronização fornecida pelo GPS e da técnica de medição de relés de distância o conceito de unidade de medição fasorial (PMU) (PHADKE, A. G., NUQUI, R. F.,2005).

“As técnicas de sincronismo temporal, integradas com as técnicas de medidas computacionais, proporcionam uma oportunidade singular para a realização de medidas de fasores e diferenças angulares de fase do sistema elétrico de potência em tempo real”(CENTENO, 1993) .

As primeiras aferições envolvendo a medição de ângulos de fase, são datadas do início dos anos 80. Os sistemas de sincronismo eram baseados nos sinais dos satélites LORAN-C (satélite destinado a Rádio navegação) e GOES (Satélite de monitoramento ambiental) e transmissões de rádio HGB (sinal de radio de baixa frequência, denominada como referência de tempo suíça, o qual encerra sua operação em 31/12/2011) Baseados nos sinais citados eram obtidas as referências para medição fasorial em diferentes localizações. Um fator importante é que esses dispositivos de medição fasorial possuíam precisão de $40\mu\text{s}$ (0.0151 radianos de erro de medição de fase).

No desenvolvimento dos relés numéricos, um ponto crítico era o elevado esforço computacional para solução das seis equações de falta para detecção dos tipos de falhas possíveis no sistema elétrico trifásico. Um ponto marcante na pesquisa de unidades de medição fasorial foi o desenvolvimento da análise por componentes simétricas, também conhecida como Teorema de Fortescue (PHADKE, A.G.; J.S. THORP,2008) .Essa consiste na decomposição dos elementos de tensão ou corrente das fases, em parcelas iguais, mas

com ângulos de fase diferentes. As componentes simétricas são usadas para calcular as condições de desbalanceamento usando somente o cálculo monofásico. Isso simplifica enormemente o processo do cálculo das grandezas de falta nos sistemas de potência tornando o mesmo um eficiente algoritmo para sistemas computacionais. A determinação da sequência positiva proporcionada pelo algoritmo possibilita a visualização do vetor de estado do sistema elétrico de potência (PHADKE, A.G.; J.S. THORP,2008).

Em 1973 foi ativado o projeto denominado GPS, uma rede de satélites composta por 24 satélites, orbitando em 6 planos a uma altitude de 20.000 km. Devido à cobertura mundial proporcionada pelo sistema GPS, esse se tornou o meio mais eficaz para a sincronização de unidades de medição fasorial (PHADKE, A.G.; J.S. THORP,2008).

O primeiro protótipo de PMU foi desenvolvido na Virginia Tech (Estados Unidos) no início dos anos 80. Os primeiros protótipos são apresentados na Figura 1, várias cabeças de série foram instalados em diversas subestações de concessionárias para a validação dos conceitos. As primeiras normatizações para unidades PMU foram publicadas pelo IEEE (Institute of Electric and Electronic Engineers) em 1991. As principais referências para estudo e pesquisas relacionadas ao assunto são: (C37.118-2005; IEEE1159-2001; IEEE1344-1995; IEC61850; NASPI (*North American SynchroPhasor Initiative*); NERC (*North American Electric Reliability Corporation*)).

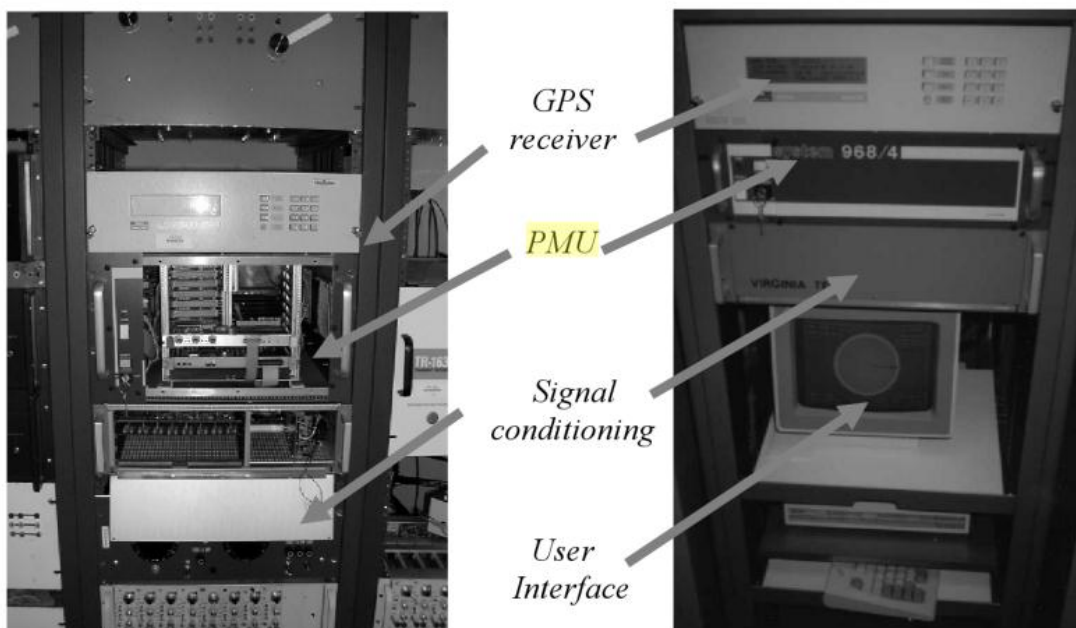


Figura 1 – Protótipo PMU Virginia Tech.

2.1.2 Panorama de aplicação de PMUs no mundo.

A unidade de medição fasorial é uma tecnologia bastante recente e suas aplicações, têm despertado um grande interesse, na comunidade científica, com a geração de trabalhos de pesquisa, artigos entre outros, como no ramo industrial. Ainda que existam projetos englobando o uso das PMUs em diferentes lugares, a exploração de suas potencialidades ainda é uma realidade futura. Porém, operadores de sistemas elétricos de diversos países já estão dando os primeiros passos com sua implantação, instalando-as em suas subestações e utilizando os dados obtidos para finalidades específicas.

Atualmente, as PMUs se mostram bem eficientes no registro de perturbações, monitoração de segurança, controle de emergência e implementações de caráter experimental. Vários países possuem estudos de implementações com o objetivo desenvolver suas mais diversas utilizações, países como Estados Unidos, Dinamarca, Japão, China, Islândia, França, entre outros.

O país que registra o maior número de PMUs instaladas em seu sistema são os Estados Unidos. Seu sistema elétrico é coordenado por diversos órgãos de operação, conhecidos como ISSO (*Independent System Operator*), ou seja, compreende vários subsistemas, em que mais de dez possuem unidades de medição fasorial instaladas em suas subestações. Porém, o nível de desenvolvimento da tecnologia é bastante distinto entre os diferentes sistemas. Como exemplo, podemos citar os sistemas administrados pelo TVA (*Tennessee Valley Authority*) e AEP (*American Electric Power*), que estão dando seus primeiros passos para a implantação do sistema PMU, enquanto outros órgãos como o WECC (*Western Electric Coordinating Council*), buscam o desenvolvimento de outras ferramentas para o monitoramento do sistema elétrico.

Outro país que possui destaque na utilização das PMUs é a França. Seu sistema, ao contrário da maioria dos países europeus, possui um modelo vertical. Embora, sendo sujeitos à figura de agentes reguladores e operadores do sistema, os serviços de geração, transmissão e distribuição de energia são, em sua maioria, controlados pela companhia estatal EdF (*Electricité de France*). Bem como todos os outros sistemas de grande porte, o sistema francês conta com esquemas especiais que visam evitar situações de colapso ou, ocorrendo tal fato, impedir que tais situações se espalhem e provoquem problemas de grandes proporções. Desde o início dos anos 70 até meados dos anos 90, o procedimento contra surtos e

instabilidades transitórias era isolar a área de ocorrência para que, desta forma, a perturbação não se propagasse. Entretanto, diante do grande crescimento e carregamentos dos sistemas de transmissão, estes dispositivos de isolamento deixaram de ter a mesma eficiência, momento no qual a necessidade de mudanças e de um novo sistema de proteção passou a ser avaliado, bem como a necessidade de monitoramento do comportamento das redes de energia. Tal monitoração foi conhecida como ‘medidor de fase’ mas, ao analisar suas características, podemos dizer que elas se encaixam como uma unidade de medição fasorial. Desta forma, as primeiras PMUs foram instaladas na França, quando se implantou o chamado Plano Coordenado de Defesa contra Instabilidade transitória, inicialmente, com um protótipo e cinco PMUs conectadas através de linhas dedicadas a um centro de aquisição e tratamento de dados. Dessa maneira, testes confirmaram a efetividade de tal Plano para a finalidade desejada e, aproveitando o fato, foi criado um sistema de monitoramento e registro de perturbações. Algumas mudanças foram propostas e realizadas no sistema elétrico francês, como a divisão do sistema elétrico francês em vinte áreas que compreendem os vários grupos de geradores independentes. A partir daí, a França passou a contar com um novo esquema especial de proteção, baseado nas informações fornecidas pelas medições. Até o ano de 1997, o Plano de Defesa operava em caráter experimental. Com base em bons resultados, o Plano de Defesa Coordenado entrou em operação efetiva na região sudeste francês em 1998.

Além dos países citados, os países nórdicos também implementaram a tecnologia PMU. O objetivo era incrementar a capacidade de transmissão e estudar a aplicabilidade de sistemas de medição fasorial sincronizados. Para isso, foram instaladas duas PMUs na Dinamarca e duas na Islândia. Na Islândia, estudos são realizados, conduzindo para aplicações em PSS (*Power Systems Stabilizers*) e, na Dinamarca, foram desenvolvidas aplicações para monitoramento de perturbações, análises *off-line* e validação e aprimoramento de modelos do sistema elétrico de potência.

Dentre outros países que viram nas PMUs uma maneira de sanar e analisar eventuais problemas em seus sistemas, podemos citar também o México, o qual optou pelo sistema WAMS (*Wide Area Measurement System*) em 1998, que consiste de PMUs e PDCs (*Phasor Data Concentrator*) estrategicamente localizadas em seu sistema. Tal sistema mede tensões, correntes e frequências em tempo real e armazena dados para análise pós-perturbação.

No Japão, os participantes do projeto de monitoramento fasorial foram algumas universidades, como Nagoya Institute of Technology, Kyush Institute of Technology,

University of Tokushima e Osaka University. O objetivo do estudo era implantar o SPMS (*Synchronous Phasor Measurement System*) para monitorar oscilações de frequência entre áreas do sistema elétrico. Como resultado, foram instaladas 9 PMUs na baixa tensão, em que já foram registrados e analisados diversos casos de perturbações e oscilações de frequência.

Outros lugares no continente asiático e alguns países da União Europeia, também já fazem o uso de PMUs como sistema de aquisição de dados de fase e amplitude, bem como o gerenciamento de seus sistemas elétricos como um todo, além da aplicabilidade para estudos e desenvolvimento de ferramentas mais abrangentes e elaboradas para que, desta forma, elas se tornem mais difundidas, uma vez que seu uso já se provou eficaz em diversos tipos de sistemas (ANDRADE, S. R. C., 2008).

2.1.3 Panorama de aplicação de PMUs no Brasil

O Sistema Interligado Nacional (SIN) é formado pelos sub-sistemas Sul, Sudeste, Centro-Oeste, Norte e Nordeste, interligados por extensa rede de transmissão de energia. Em sistemas destas proporções, distúrbios originados por desequilíbrios entre blocos de geração e de carga podem ocasionar variações expressivas na frequência do sistema, situações de colapso de tensão e até o desligamento de partes da rede e a perda de importantes centros consumidores, o que representa enormes prejuízos financeiros (FILHO, S. M. et al, 2005).

O ONS, com o objetivo de implantar o uso da tecnologia de medição fasorial na operação do SIN, iniciou em 2005 um projeto para instalar um sistema para registro do desempenho dinâmico do SIN durante perturbações. Este projeto, descrito no Plano de Ação do ONS como projeto 6.2 – “Implantação do Sistema de Oscilografia de Longa Duração”, tem como objetivos a implantação de um Sistema de Medição Fasorial-SMF e o desenvolvimento de aplicativos *off-line*. No final de 2005, foi firmado um contrato com uma empresa de consultoria internacional para a realização dos seguintes trabalhos: definição da arquitetura de Medição Fasorial, especificação técnica do CDC (Concentrador de Dados Central) do ONS, documentação para consulta e aquisição do CDC, especificação técnica das unidades de medição fasorial, especificação técnica dos canais de telecomunicação entre as PMU e o CDC, bem como desenvolvimento de metodologias para ensaios funcionais para homologação das PMU (FILHO, J., et al, 2010).

Apesar de diversos fabricantes internacionais oferecerem soluções PMU (Ex. ABB – RES521; AMETEK – TR2000; GE – N60; Reason – RPV-304; SEL – 421; Siemens-SIMEAS R-PMU, entre outros), existem divergências nos projetos de PMUs, como apresentado na Tabela I. PMUs com tecnologia nacional ainda encontram-se em fase de desenvolvimento. Este fato mostra que a indústria nacional tem um grande espaço a conquistar no que diz respeito às tecnologias de construção das unidades PMU e CDC, uma vez que a medição fasorial sincronizada é uma tecnologia que veio para ficar e modificar paradigmas de proteção, controle e monitoração.

Tabela I- Características PMUs comerciais

Fabricante	Modelo	função	GPS interno	IEEE1344	C37.118	Número de canais	Fasores Seq+
ABB	RES521	PMU	●	●	●	18	6
Arbiter	1133A	PMU QE	●	●	●	9	3
Arbiter	933A	PMU QE		●	●	9	3
Macrodyne	1690	PMU	●		●	30	10
AMETEK RIS	TR2000	DTR PMU	●		●	26	10
Qualtrol Hathaway	IDM	PMU	Opcional	●		12	5
DTR (Data Terminal Register) – Terminal com registro de dados							

Para que se possam utilizar diferentes PMUs para compor um Sistema de Medição Fasorial (SMF), é necessário que seus processos de medição e sincronização bem como seus modos de exteriorização tornem seus resultados comparáveis. O IEEE publicou em 1995 a norma IEEE 1344-1995 - “*IEEE Standard for Synchrophasors for Power Systems*” que foi revisada em 2005, gerando a norma IEEE C37.118. Em ambas são descritas as funções e as características que devem estar presentes em um produto para que ele possa ser caracterizado como uma PMU. São abordados os seguintes itens (FILHO, S. M. et all, 2005):

- Fasores (definição, limites de precisão, método de quantificação de erro de medição e métodos de teste);
- modo de operação (frequências de coleta, disponibilização automática);
- Sincronização da aquisição (sincronização de cada amostra, etiqueta de tempo de cada dado exteriorizado);

- Formato e conteúdo das mensagens (medidas, configuração, *status*, comandos, etc.);
- Protocolo de comunicação.

2.1.4 Medição Fasorial – Conceitos Básicos

A medição fasorial é conceituada como a estimação dos parâmetros de fase, amplitude e frequência da componente fundamental. Os ângulos de fases e a amplitudes das tensões no sistema de potência estão diretamente relacionados com o fluxo de potência. Na Figura 2 é apresentado o diagrama unifilar de um sistema trifásico com duas barras e seus respectivos fasores.

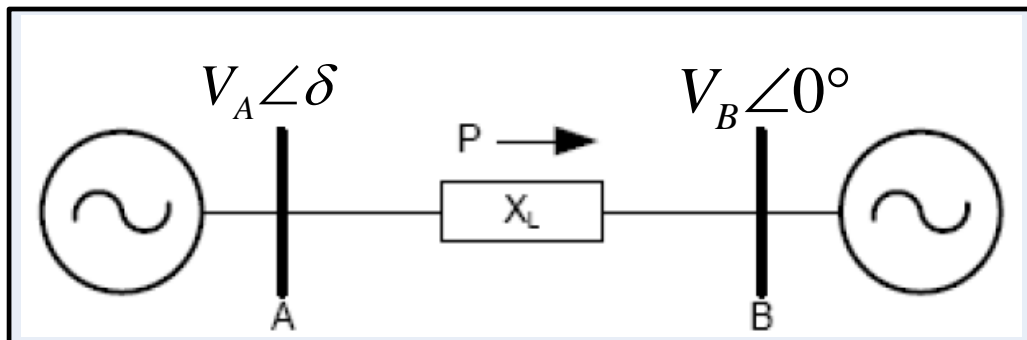


Figura 2 – Diagrama Sistema de Potência.

A obtenção de aferições sincronizadas de tensões e correntes de sequência positiva entre duas barras de um sistema, em regime permanente, permite a medida precisa da diferença angular (δ) entre duas barras de uma LT (linha de transmissão). Em (2.1) é apresentada a equação simplificada para determinar o fluxo de potência na LT em análise. O aumento da diferença angular, assim como uma tendência de aumento contínuo, indica que uma barra ou área está se distanciando angularmente da outra. Quando o ângulo de fase entre duas barras atinge condição de ruptura, indicando uma possível situação de instabilidade, o que pode levar ao colapso e ao desligamento de uma área de consumidores do sistema.

$$P = \frac{V_A \cdot V_B}{X_L} \cdot \text{sen}(\delta) \quad (2.1)$$

Na Figura 3 é mostrado o conceito da medição fasorial sincronizada. O sinal denominado PPS (*pulse per second*) é obtido a partir dos módulos de sincronização GPS. Este

sinal é a referência temporal, a partir da qual as fases dos fasores remotos podem ser estimadas. No exemplo da Figura 3, o primeiro fasor possui fase zero, ao passo que o segundo fasor possui fase -90° . De posse dos fasores sincronizados os sistemas de operação ou proteção terão informações relevantes para a tomada de decisão.

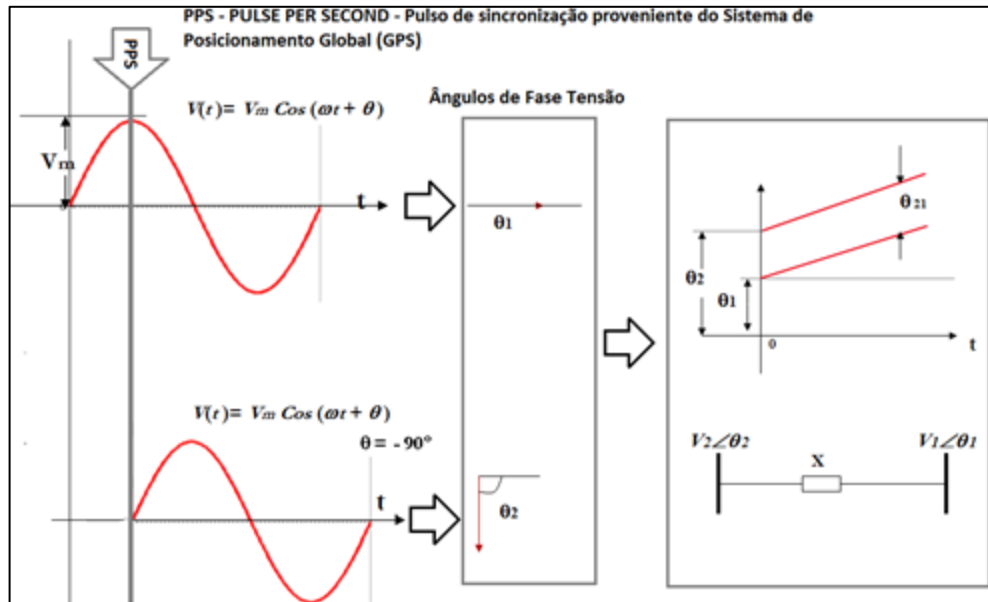


Figura 3 – Representação Fasorial.

A medida precisa desses parâmetros é dependente de um sistema de sincronização preciso, ou seja, um sistema capaz de representar os fasores de tensão e corrente utilizando uma referência temporal absoluta. A referência temporal comum aos equipamentos de monitoramento fasorial é um sinal de alta precisão sincronizado com o UTC (*Coordinated Universal Time*). A utilização do UTC é necessária ao concentrador de dados para o mesmo estimar as condições de operação do sistema elétrico de potência.

2.1.5 Sincronização do GPS

Nos sistemas de medição fasorial um dos maiores desafios relativos ao projeto é a sincronização dos diversos PMUs geograficamente distribuídos. De acordo com a IEEE1344 o erro de sincronismo deve ser inferior a 1us (0.000379 radianos) de erro na medição de fase. De modo a atender requisito mínimo de sincronismo, as PMUs utilizam o sistema GPS como sistema de sincronização (IEEE 1344-1995).

Os módulos de recepção de satélite possuem características particulares que permitem aos mesmos disponibilizarem os sinais necessários às aplicações desejadas. Nos GPS denominados como *GPS-Timing* a sincronização é proveniente do sinal IRIG_B ou PPS.

Ambos os sinais estão em sincronizados temporalmente. O sinal IRIG-B é o mais conhecido e citado em aplicações envolvendo PMU. Na Figura 4 é apresentada o comportamento dos sinais de sincronismo provenientes do GPS, o sinal de sincronismo enviado aos sistema de aquisição de dados que ocorre na borda de subida do PPS e do IRIG-B-DC.

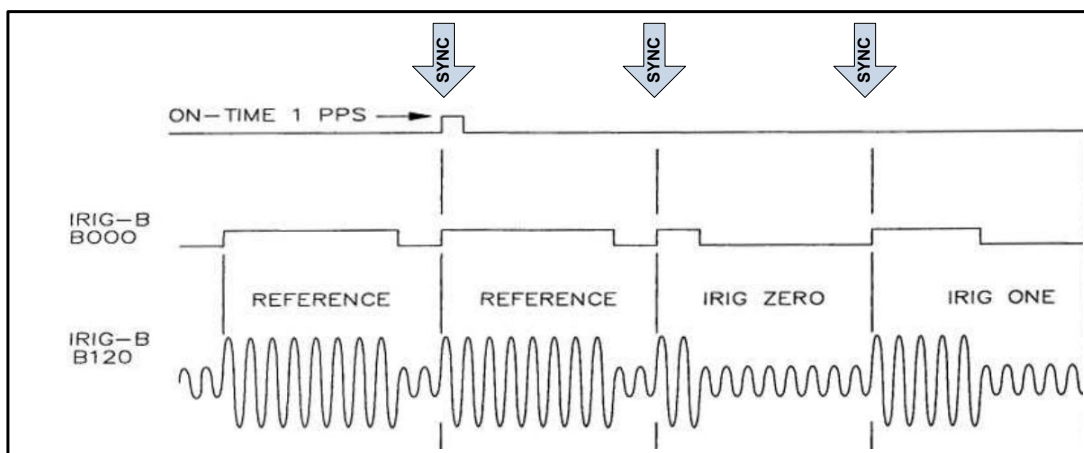


Figura 4 – Sinais de Sincronismo GPS: PPS e IRIG-B.

O sinal IRIG-B B000 é também denominado IRIG-B-DC que é o resultado da demodulação do sinal IRIG-B B120.

A precisão do sinal de sincronismo está associada as características do módulo GPS. Para dispositivos com alta capacidade de processamento, o erro do sincronismo está compreendido na faixa de 100ns. O sinal de IRIG-B-DC tem erro de 100ns e, para alguns receptores GPS específicos, o erro do PPS é compreendido na faixa dos 50ns. Os sinais apresentados têm como principais características a fácil integração com as plataformas de processamento e a precisão superior as normas.

2.1.6 Sincronização dos Conversores A/D

A sincronização dos conversores A/D é dependente do sinal de sincronismo. Na Figura 5 são apresentadas duas estruturas para a geração do sincronismo dos conversores A/D. Na Figura 5-A é apresentada uma topologia de circuito baseado no uso de hardware interno ao processador, no caso contador de eventos, um temporizador interno ao processador denominado *timer* e interrupção de *hardware*. Esse tipo de controle tem como principal característica a simplificação dos circuitos eletrônicos, fácil modificação das taxas de amostragem, controle do contador via interrupção de *hardware*, o que garante o ajuste do sincronismo segundo à segundo. A precisão da temporização para esse tipo de topologia está diretamente associada à estabilidade do oscilador (erro) do processador e a resolução temporal do contador.

Para a aplicação Figura 5-B, o sincronismo e disparo dos conversores A/D é executado externamente por meio de um multiplicador de *clock* (PLL – *phase locked loop*), o qual utiliza o sinal do PPS ou IRIG-B000 como referência de sincronismo. As taxas de amostragem podem ser modificadas, mas de forma mais lenta que a apresentada na Figura 5-A, uma vez que é necessário passar novos parâmetros para o dispositivo através de algum barramento de comunicação, o que exige a implementação de mais rotinas de controle. Para a topologia da Figura 5-A, o sinal mais adequado para o sincronismo é o PPS, enquanto na topologia da Figura 5-B, o sinal mais adequado é o IRIG-B000 (1 kHz).

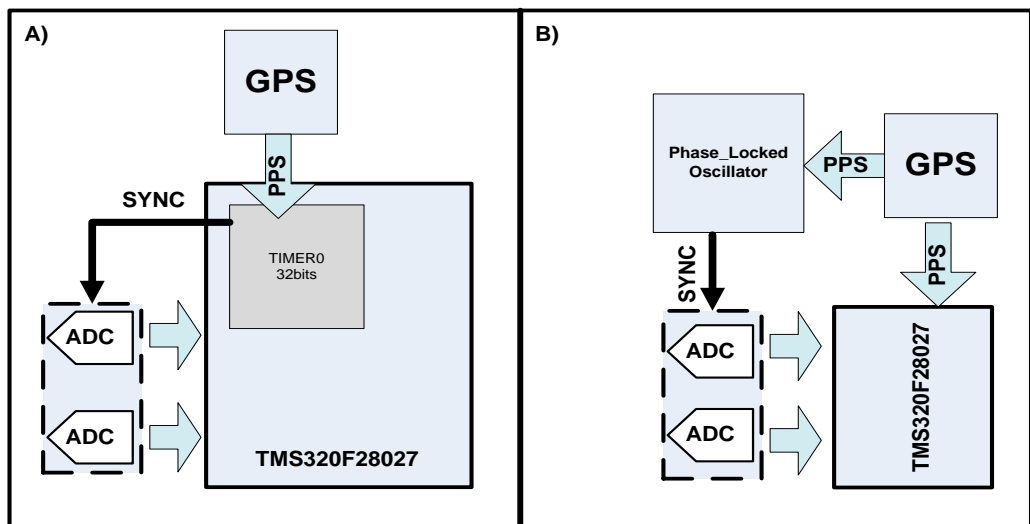


Figura 5 - Duas opções de sincronização: (a) O sinal de sincronização é utilizado para disparar um temporizador interno a CPU; (b) O sinal de sincronização é utilizado para sincronizar um oscilador PLL.

2.1.7 Protocolos de Comunicação do GPS

Parte fundamental do sistema de monitoração com PMU é a formatação e a comunicação de dados. Para que isso ocorra de maneira compatível, o IEEE publicou em 2005 uma norma denominada IEEE C37.118/D6.0 – *Draft Standard for Synchrophasors for Power Systems* (IEEE C37.118-2005). De acordo com esse padrão estrutura básica do protocolo de comunicação deve conter as seguintes informações:

- ID – Identificação da origem dos fasores (nome da instalação ou da PMU) ;
- Instante de tempo associado à coleta do fasor;
- *DATA* – Fasor (módulo, ângulo e frequência) de tensões e correntes (fase e/ou sequências);
- *Frame Sec.* – Indicação do estado da sincronização no período em que foi computado o fasor;
- *CHK - Checksum* – Indicação de que os dados estão corretos;

A estrutura do protocolo IEEE C37.118 é apresentado na Figura 6.

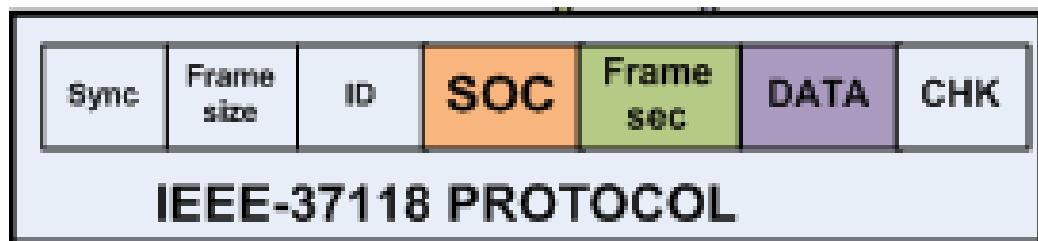


Figura 6 – Formato do Protocolo IEEE-C37118.

A montagem do *frame* de transmissão de dados é dependente da decodificação dos dados provenientes do módulo GPS. Atualmente o protocolo padrão utilizado por dispositivos de navegação GPS é denominada NMEA (*National Marine Electronics Association*) – 0183, sua principal característica é que as sentenças com as informações referentes ao

posicionamento, data, hora, entre outros, são transmitidas em formato ASCII (*String*), ou seja, as sentenças transmitidas são apresentadas em um formato que dispensa qualquer processamento para a aquisição da informação desejada. Em aplicações envolvendo sincronismo e, de acordo com o IEEE C37.118, a principal informação a ser extraída do GPS é o UTC. O UTC passa a informação do tempo decorrido desde a ativação do sistema GPS. A extração dessa informação baseada no protocolo NMEA depende de um esforço computacional acentuado, assim protocolos como TSIP (*TRIMBLE Standard Interface Protocol*), protocolo proprietário da empresa Trimble são mais indicados para a aquisição do parâmetro UTC, que geram a referência para o IEEE C37.118 denominada UNIX, o qual foi ativado em 1 de janeiro de 1970.

Uma vez extraídos todos os parâmetros necessários para a operação do sistema PMU, e recebidas as informações dos GPS, os dados devem ser adequadamente montados e transmitidos para o CDC. O CDC coleta e alinha os dados fasoriais sincronizados e organizados no formato da norma IEEE C37.118. A partir daí, os dados são utilizados para aplicações em “tempo real” ou para análise pós-distúrbio. (FILHO, J. et all, 2010)

A transmissão dos dados para o CDC deve respeitar o número de pacotes com os dados referentes as aquisições a cada segunda de acordo com a Tabela II.

Tabela II – Número de pacotes a serem enviados ao CDC.

Frequência do Sistema	Número de pacotes enviados					
	10	12	15	20	25	30
50 Hz	•				•	
60 Hz	•	•	•	•		•

No capítulo que trata do desenvolvimento do hardware das plataformas para monitoramento do sistema elétrico de potência serão apresentados as escolhas e topologias de hardware utilizadas de modo a prover todos os recursos para o desenvolvimento de unidades de medição fasorial.

2.1.8 Especificações Básicas de uma PMU

Para se obter uma configuração mínima para o *hardware* da PMU foram estudadas as normas do IEEE e IEC, e levantado as características de diversos equipamentos comerciais. A Tabela III apresenta diversas plataformas PMU disponíveis no mercados. É importante destacar que comparando as normas com as especificação dos equipamentos, verificou-se que apenas dois deles apresentam características desejadas pelas normas IEEE1344 e IEEE C37.118.

Tabela III – Fabricantes e Características de PMU.

Fabricante	Modelo	Função	GPS Interno	IEEE1344	IEEE C37.118	Número de Canais	Fasores SEQ+
ABB	RES521	PMU	•	•	•	18	6
Arbiter	1133 A	PMU QE	•	•	•	9	3
Arbiter	933 A	PMU QE		•	•	9	3
Macrodyne	1690	PMU	•		•	30	10
AMETEK RIS	TR2000	DTR PMU	•		•	26	10
QualtrolHathaway	IDM	PMU	Opcional	•		12	5
DTR (data terminal register) – terminal com registro de dados							

De acordo com (PHADKE, 2005) e equipamentos comerciais, chegou-se a definição da arquitetura básica de hardware para um equipamento PMU, a qual é constituída de:

- Conversores AD com amostragem síncrona;
- Modulo de recepção GPS com pulso de sincronismo IRIG-B ou PPS;
- Unidade central de processamento – responsável por medir as grandezas elétricas e processar as grandezas elétricas, além de concatenar os dados para a integração com etiqueta de tempo proveniente do GPS;

- Interface de comunicação de dados (Ethernet, GPRS, fibra óptica ou outro).

2.2 Unidades de Medição de QEE

2.2.1 Histórico QEE

Monitoramento da qualidade de energia é um processo que pressupõe a aquisição, análise e interpretação dos sinais de tensão e corrente de um sistema de energia elétrico. Um sistema de monitoração da qualidade de energia pode ser utilizado para: (a) a caracterização do desempenho do sistema, através da qual a concessionária pode identificar problemas e oferecer informações relevantes ao usuário final; (b) monitoramento para caracterização de problemas específicos e (c) ferramenta para manutenção preditiva.

O primeiro dispositivo de QEE foi desenvolvido na década de 60, quando Martzloff desenvolveu um contador de surtos produzidos por descargas elétricas (MCEACHERN, A.). O conceito de monitoração de diversos distúrbios de QEE foi formado pelos engenheiros e somente na metade da década de 70 é que a primeira geração de monitores QEE foi desenvolvida e lançada no mercado pela empresa *Dranetz Enginnering Laboratories* (BINGHAM, R. P; DRANETZ, 1975), que foi o primeiro monitor-analisador microprocessado. Neste equipamento porém as informações eram enviadas para uma impressora de papel. A segunda geração de monitores de qualidade de energia surgiu na metade da década de 80. Esta geração já incluía monitores gráficos de boa resolução e memórias para o armazenamento dos dados capturados. Estes monitores eram capazes de analisar eventos transitórios e de estado permanente. Alguns equipamentos desta geração já possuíam capacidade de transmissão remota de dados e mecanismos otimizados para captura dos eventos de QEE.

A terceira geração de analisadores de QEE começaram a despontar da década de 90, inspirada, em parte, pelo projeto EPRI DPQ (EPRI-RP3098-01). Esta geração de monitores trouxeram a ideia de sistemas de monitoramento da QEE, em que tanto o *hardware* do monitor, quanto o software de gerenciamento das informações passaram a ser em parte fundamentais de um mesmo equipamento. Ao final do projeto os engenheiros perceberam as dificuldades no gerenciamento de um grande sistema de monitoração da QEE, tais como: (a) a grande quantidade de dados para armazenar e analisar, originários de vários monitores

instalados em pontos distintos do sistema de potência e (b) as dificuldades de transferência de grande quantidades de dados, armazenados localmente nos monitores, para a central de gerenciamento da QEE. Uma conclusão importante do projeto é que se constatou que a qualidade de um monitor de QEE está na sua capacidade de gerar informações úteis e concisas e não em sua capacidade de armazenar grandes volumes de dados oscilográficos.

2.2.2 Conceitos Básicos

Os distúrbios de qualidade de energia cobrem uma larga faixa de frequência, variando da frequência CC (0 Hz) até alguns MHz, sendo que sua duração temporal também cobre longo intervalo de tempo, desde microssegundos até dias. Estes fenômenos incluem desde sobre tensões transitórias de curta duração até cortes de energia que podem durar horas ou dias. Também fenômenos em estado permanente, tais como distorção harmônica, *flicker*, entre outros. A

Tabela IV lista os fenômenos de qualidade de energia, destacando sua duração e a faixa de frequência envolvida.

Estes distúrbios de QEE torna o desenvolvimento de padrões, procedimentos de medição e equipamentos muito difícil. Entretanto, diversos esforços têm sido feito no sentido de se obter padrões que possam ser utilizados em todo o mundo. O IEEE 1159 corresponde ao grupo de trabalho do IEEE que coordena o desenvolvimento de padrões de monitoramento (IEEE 1159-1995). Muitos dos trabalhos do IEEE estão sendo conduzidos em parceria com o IEC, de modo a buscar uma unificação de padrões que sirvam para o mundo todo.

Tabela IV – Características de alguns distúrbios de qualidade de energia.

Categoria	Conteúdo espectral	Duração típica	Amplitude típica
Transitórios			
Transitórios Impulsivos	Tempo de subida entre 5 ns e 1 ms	< 1 ms	
Transitórios Oscilatórios	Até 5 MHz	5 μ s – 50 ms	0 – 8 pu
Variações de curta duração			
<i>Sag</i> (afundamento)		0,5 ciclo – 1 min.	0,1 – 0,9 pu
<i>Swell</i> (sobre-tensão)		0,5 ciclo – 1 min.	1,1 – 1,8 pu
Interrupção		< 1 min.	< 0,1 pu
Variações de longa duração			
Sub-tensão		> 1 min.	0,8 – 0,9 pu
Sobre-tensão		> 1 min.	1,1 – 1,2 pu
Interrupção sustentada		> 1 min.	0,0 pu
Distorções da forma de onda			
Dc offset		Regime permanente	0 – 0,1%
Harmônicos	0 – 100 ^o harmônico	Regime permanente	0 – 20%
Inter harmônicos	0 – 6 KHz	Regime permanente	0 – 2%
Notching		Regime permanente	
Ruído	Toda banda	Regime permanente	0 – 1%
Outros distúrbios			
Desbalanceamento de tensão		Regime permanente	0,5 – 2%
Flutuação de tensão (<i>flicker</i>)	< 25 Hz	Intermitente	0,1 – 7%
Variações na frequência fundamental		< 10 s	

As normas mais importantes e mais citadas em diversos trabalhos são listadas abaixo:

- IEEE1159 (*IEEE Recommended Practice For Monitoring Electric Power Quality*);

- IEEE 1459-2000 (*IEEE Trial Use Standard Definitions for the measurement of electric Power quantities Under sinusoidal, Non-sinusoidal, balanced, or unbalanced conditions*);
- EN50160 (*Voltage Characteristics in public distribution systems*);
- IEC 62053-22 (*Electricity metering equipment*);
- IEC61000-4-30 (*IEC testing and measurement techniques – power quality measurement methods*);
- IEC61000-4-7 (*General guide on harmonics and interharmonics measurements and instrumentation*);

A Norma IEC61000-4-30 Classe-A define uma metodologia de cálculo para uma série de parâmetros de QEE, para que os monitores de QEE de diferentes fabricantes apresentem os mesmos resultados, uma vez que eles utilizam a mesma base de sincronismo de tempo (GPS). A partir desta normas, é possível definir uma forma de cálculo para frequência, magnitude da tensão, *dips* (afundamentos) e *swells* (elevações), interrupção, transitórios, desequilíbrio de tensão, presença de sinalização e variações rápidas de tensão; além de especificar o erro máximo que o medidor de QEE deve apresentar em cada parâmetro. Além de definir as formas de calculo de parâmetro a norma cria o conceito de marcação de dados (*flag*) caso algum dado tenha sido deturpado por um evento. Por exemplo, o equipamento pode detectar uma variação no conteúdo harmônico que não representa de fato uma variação harmônica do sistema, e sim uma variação em função do próprio evento, nesse caso os dados são marcados com o *flag*.

Os medidores de QEE que seguem a IEC61000-4-30 devem registrar os dados analisados agrupados em 3 tempos diferentes, chamados níveis de agregações:

- a) Nível de agregação de 180 ciclos para sistemas de 60Hz ou de 150 ciclos para sistemas de 50Hz. O início do registro de medição é após a determinação do tempo de 1 ciclo da forma de onda.
- b) Nível de agregação de 10 minutos.
- c) Nível de agregação de 2 horas.

No fim do período de cada nível de agregação, um novo dado deve ser agregado ao registro do equipamento. Mesmo que algum dado seja sinalizado com *flag*, o mesmo deve ser agregado ao registro para poder ser analisado com outras técnicas que o fabricante do equipamento implementar ou que o usuário escolher.

Baseado nas normas citadas anteriormente, a características de um monitor de qualidade de energia de possuir a estimação dos seguintes parâmetros como apresentado na Figura 7.

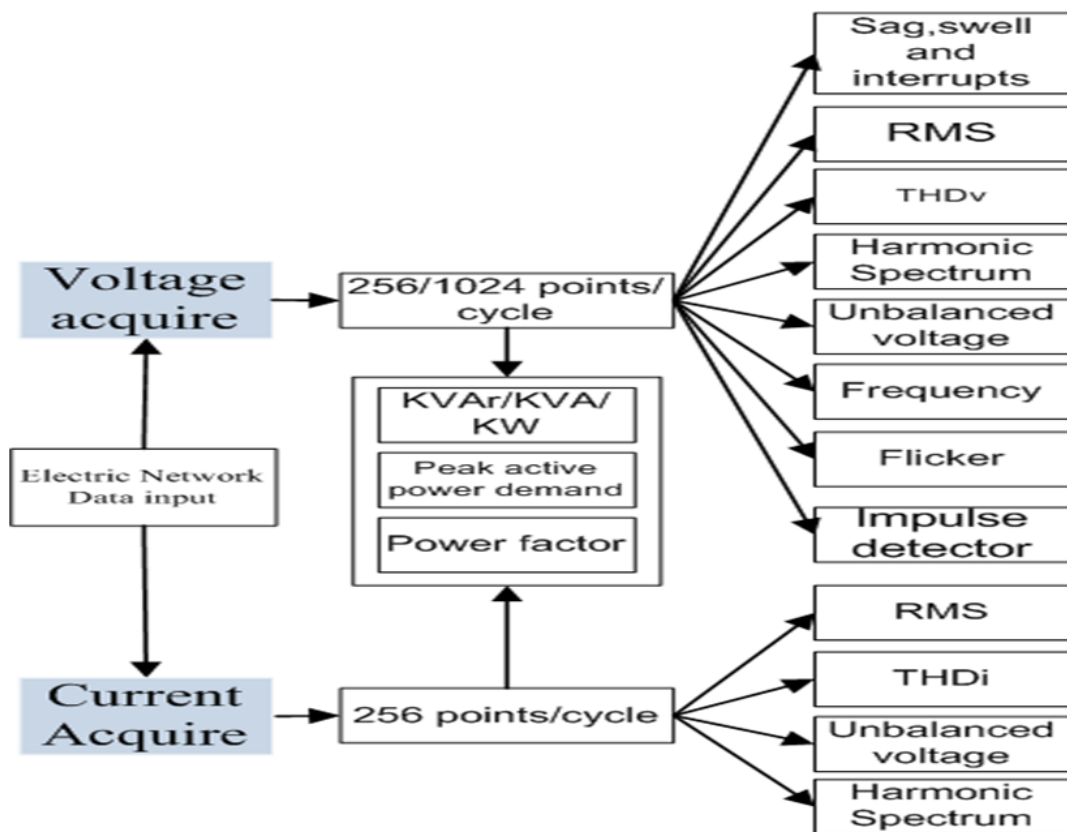


Figura 7 – Diagrama de Parâmetros de QEE a serem extraídos. Passar figura para portugues

O mercado de dispositivos para a medição de parâmetros de QEE (qualidade de energia elétrica), é um referencial das estruturas que devem ser implementadas no desenvolvimento de novos dispositivos. Na

Tabela V são apresentadas as características de diversos equipamentos comerciais.

Tabela V – Fabricantes e características de Medidores de QEE.

Modelo Marca	NPT	ADC (Bits)	V	I	VA-VAR-W	Harmônicos	Desbalanceamento	THD
AEMC3945	256	14	•	•	•	50	•	
Dranetz-BMI	256	16	•	•	•	63	•	•
FLuke 1750	256	---	•	•	•	63	•	•
MeggerPA9	256	---	•	•	•	63	•	
SummitPS4000	2048	---	•	•	•	63	•	•
Dent-Inst ekit4300	128	12	•	•	•	63		•
eXpertmeter EM720	1024	---	•	•	•	63	•	•
Elspec G4400	1024	16/19	•	•	•	63	•	•
Pqube	256	14	•	•	•	---	•	•

Os dispositivos citados na

Tabela V estão em conformidade com um ou mais normas referentes ao processo de monitoramento de energia.

2.2.3 Características básicas de um Monitor de QEE

Com base nas informações técnicas dos produtos listados na

Tabela V e nas normas mencionadas, são listadas as características desejáveis a um dispositivo de medição de parâmetros de qualidade de energia.

- Número de amostras por ciclo : 256;
- ADC : resolução de 16 bits;

- Número de harmônicos extraído : 50;
- Desbalanceamento trifásico;
- Taxa de distorção harmônica (THD) para tensão e corrente ;
- Medição de parâmetros: tensão, corrente, potência ativa, potência reativa, potência aparente entre outros.

2.3 Analisador de Harmônicos Variantes no Tempo (AHVT)

2.3.1 Histórico AHVT

Os sistemas elétricos de potência, até cerca de duas décadas, não apresentavam grande número de dispositivos eletrônicos e cargas não lineares. Assim, a forma de onda da tensão e da corrente no sistema gerada não apresentavam distorções significativas. Entretanto, com o desenvolvimento de dispositivos de eletrônica de potência e com a proliferação de cargas não lineares, a distorção harmônica no sistema passou a sofrer grande elevação (HOSSEINI, S. H.; MOHAMMADI, K., 2006). Além disso, a presença cada vez maior de cargas sensíveis (computadores, sistemas de controle industrial microprocessados, etc.) faz com que a necessidade de medição e monitoramento dos harmônicos torne-se cada vez mais importante (KARIMI-GHARTEMANI, M.; IRAVANI, M, 2005).

Neste novo panorama, uma das questões mais importantes a ser considerada são os harmônicos. Harmônicos em sistemas de potência é um conceito ligado tradicionalmente a componentes de estado estacionário, na qual a forma de onda a ser analisada assume ser periódica. Neste caso, a principal ferramenta para análise é a transformada discreta de Fourier - *discrete Fourier transform* (DFT), utilizada normalmente em sua forma computacionalmente eficiente, ou seja, a transformada rápida de Fourier - *fast Fourier transform* (FFT) (MITRA, 2005). A apresentação do espectro harmônico do sinal normalmente é feita através de gráficos de barras ou de um gráfico de resposta em magnitude. Desta forma, como o sinal é estacionário (não variante), é possível observar o seu conteúdo harmônico (RIBEIRO, P. F. (Ed.))(FABRI et al., 2010). Existem ainda vários outros métodos

utilizados para medir e estimar harmônicos estacionários, como o método dos mínimos quadrados (*least-square methods*) (LOBOS, T.; KOZINA, T.; KOGLIN, H. J., 2001), redes neurais (WU, X. et al., 2008; CANDÈS, 1998) e os bancos de filtros (LU, S.L, 2005a; SUN, H.; SHUE, L, 2007), filtro adaptativos, etc.

Mais recentemente o conceito de análise de harmônicos variante no tempo tem sido introduzido (RIBEIRO, P. F, 2009 ; FABRI, D. et all., 2010). Este conceito assume que o sinal a ser analisado é não estacionário e, portanto, técnicas de processamento de sinais para sinais não estacionários devem ser empregadas. Estas técnicas têm sido agrupadas em duas categorias: (a) estimação e (b) decomposição. Dentre as técnicas de estimação destacam-se filtro de Kalman (CHEN et al., 2010), HOSSEINI, S. H.; MOHAMMADI, K., 2006) e Phase-Locked-Loop (PLL) (CARVALHO, J. R. et all., 2007) (RIBEIRO, P. F. (Ed.)). Já dentre as técnicas de decomposição destacam-se a short time Fourier transform (STF), transformada wavelet (TW) (SILVEIRA, P. M. et all, 2007; PHAM, V.; WONG, K, 2001), banco de filtros (DUQUE, C. A. et al., 2010, 2008) e por fim uma forma especial da STF denominada *sliding-window recursive DFT* (SWRDFT) (SILVEIRA, P. et al., 2008).

2.3.2 Características básicas do Equipamento

A técnica de decomposição têm motivado o desenvolvimento de um novo equipamento para a análise de harmônicos variantes no tempo, denominado de Analisador de Harmônico Variante no tempo (AHVT) (FABRI, D. F, 2010). O diagrama de blocos deste equipamento é apresentado na Figura 8. Nesta figura, a unidade de processamento corresponde ao “coração” do analisador, é nesta unidade que a decomposição do sinal em suas componentes harmônicas variantes no tempo ocorre. Dependendo da especificação de projeto do AHVT, esta unidade deverá ser capaz de decompôr, em tempo real, o sinal original em H componentes harmônicas., sendo que valores típicos para H=15, 35 e 50. Acrescentando a isto, o AHVT poderá ter mais de um canal de entrada, por exemplo, no caso de decomposição de sistemas trifásicos. Além da grande capacidade de processamento requerida pela unidade de processamento, acrescenta-se a necessidade de se ter um canal de comunicação de grande velocidade. Estes dois parâmetros serão fundamentais na definição da estrutura de hardware do AHVT.

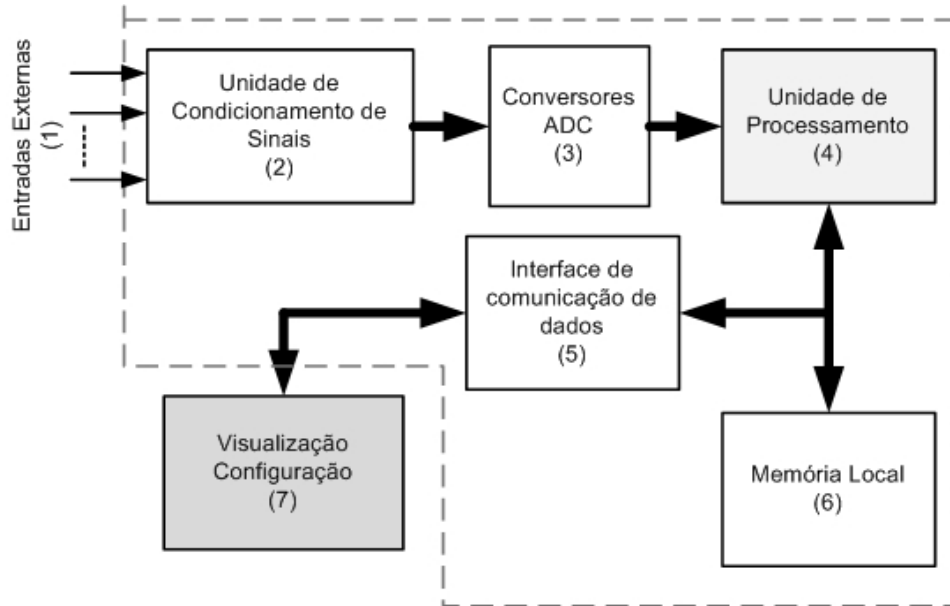


Figura 8 - Diagrama de blocos de um Analisador Variante no Tempo

As características mínimas para um AHVT de analisador com capacidade de decomposição de até o 50º harmônico, são resumidas a seguir:

- Conversores A/D de 12 bits para tensão e 16 bits para corrente (CHEN, S.,2003), com *sample-holds* individuais, para a sincronização dos canais;
- Taxa de amostragem superior à que $2 \cdot 50 \cdot 60 = 6000$ Hz ou 100 amostras por ciclo;
- Velocidade de transmissão da interface de comunicação: 9,6 Mbits/s .

Para a estimação da velocidade de transmissão assumiu-se uma taxa de amostragem de 200 amostras por ciclo, uma janela de 12 ciclos. Assim o conjunto de dados armazenados durante uma janela é de $200(\text{amostras}) \cdot 12(\text{ciclos}) \cdot 50(\text{harmônicos}) = 120.000$ palavras. Assumindo que as palavras sejam de 16 bits obtém-se uma massa de dados de 1.920.000 bits. Finalmente assumindo que os dados devem ser transmitidos em 0,2s, ou seja no intervalo de tempo necessário para processar e armazenar 12 ciclos do sinal, chega-se a taxa final de 9,6 Mbps. Esta taxa pode ser atendida através da USB 2.0, cuja taxa de transferência é de 480 Mbps (FTDI CHIP 2010).

2.4 Conclusões do Capítulo

Este capítulo apresentou uma revisão bibliográfica de três aplicações em sistemas de potência: (a) unidade de medição fasorial; (b) monitor de QEE e (c) analisador de harmônicos variantes no tempo. O estudo das normas e das bibliografias correspondentes a cada aplicação são fundamentais para o projeto de uma estrutura de hardware que possa ser empregada para implementar PMU+QEE e um outra para o AHVT. Estas estruturas de hardware serão abordadas no próximo capítulo.

3 Hardware - Sistema de Filtragem e Condicionamento

O processamento de sinais está diretamente associado a capacidade de aquisição e condicionamento dos sinais para o posterior processamento e extração de parâmetros. Para que isso aconteça é necessário a utilização de circuitos eletrônicos específico. A aquisição está diretamente relacionada a interpretação dos sinais provenientes do transdutor e o condicionamento relacionado ao ajuste das características de amplitude e espectro de frequências contidos no sinal. O espectro de frequências do sinal é controlado com a utilização dos filtros analógicos. Os filtros analógicos são comumente encontrados nos mais diversos equipamentos eletrônicos com as mais diversas finalidades, podem ser citados alguns exemplos como tratamentos de sinais de áudio, filtragem sinais elétricos para medição de parâmetros de qualidade de energia (redução de ruídos e frequências indesejadas) entre outros. Em sistemas de medição de parâmetros elétricos, a principal aplicação para filtros são como filtros passa-baixas, para a eliminação do fenômeno conhecido como “*aliasing*”, ou sobreposição espectral.(MITRA S. K., 2006 ; MICROCHIP,1999).

Os filtros analógicos são divididos em dois grupos distintos: filtros passivos e filtros ativos.

3.1 Filtros Passivos

Filtros passivos são comumente utilizados em aplicações nas quais o filtro deve ter um pólo ou as bandas de passagem em frequência estão fora dos limites de operação dos amplificadores operacionais, como por exemplo é observado nas aplicações de RF (rádio frequência) (MICROCHIP, 1999). A implementação de filtros passa-baixas passivo é realizada tipicamente com resistores e capacitores. O filtro passivo pode ser implementado de acordo com as equações apresentadas na Figura 9.

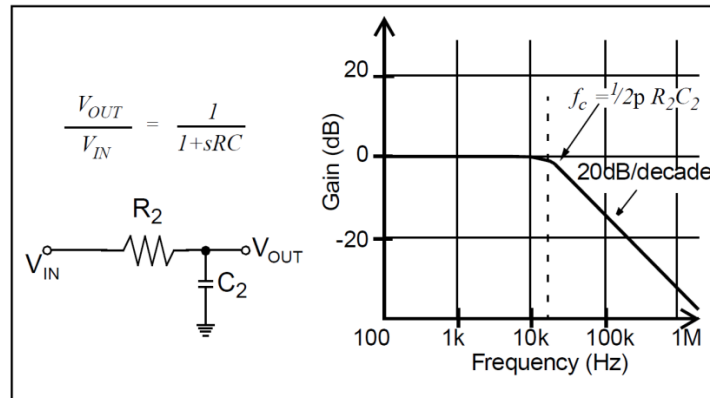


Figura 9 – Filtro Passa-Baixas Passivo.

A implementação de filtros passivos é caracterizada pela alta impedância de saída do filtro além do problema de casamento de impedância. Em algumas aplicações o casamento de impedância exigiria a modificação dos valores de componentes que resultaria na alteração das características da curva de resposta em frequência do filtro. Uma implementação muito comum é a utilização de filtros de pólos simples na entrada de conversores A/D Delta-Sigma, uma vez que a elevada impedância do filtro não interfere no processo de conversão (MICROCHIP, 1999).

3.2 Filtros Ativos

Filtros ativos são a combinação de amplificadores operacionais com elementos passivos. O grande diferencial dos filtros ativos é a característica de isolamento do entre os estágios de entrada e saída. A isolamento é característica intrínseca dos amplificadores operacionais (alta impedância de entrada e baixa impedância de saída). Os filtros ativos podem ser construídos baseados em estruturas de pólos simples ou polos duplos.(MICROCHIP,1999;SHENOI B. A., 2006)

3.2.1 Filtro Ativo de Pólo Simples

Os filtros ativos de pólos simples são caracterizados por possuírem resposta similar a filtros realizados em estruturas passivas, mas com a característica de isolamento entre os estágios de entrada e saída. Na Figura 10 são apresentadas as topologias de construção e as equações para filtros de pólo simples invertido e não-invertido.

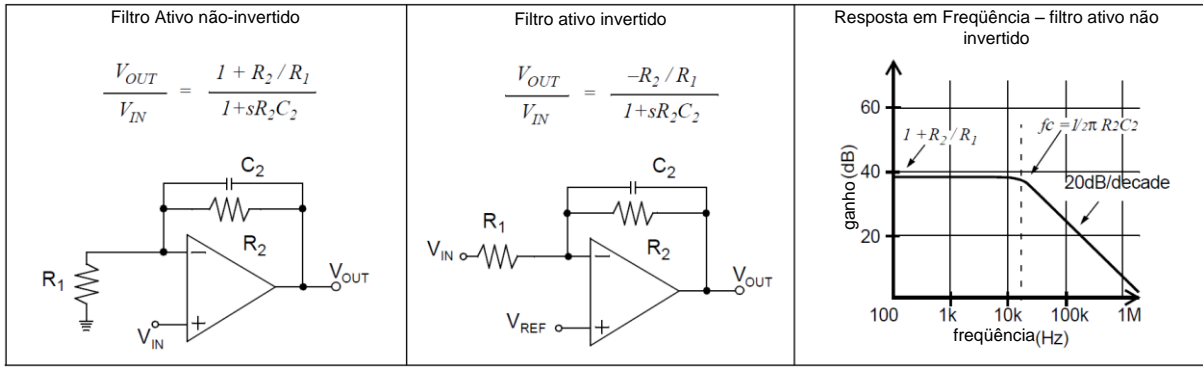


Figura 10 – Modelos de Filtros Ativos.

3.2.2 Filtro Ativo de Pólo Duplo

A topologia de filtros de pólos duplos mais conhecida é denominada Sallen-key (MICROCHIP, 1999). Essa estrutura de filtro permite a realização de ganho unitário na banda de passagem do sinal como mostrado na Figura 11-a, ou com ganho diferente de 1 (Figura 11-b). É importante observar que implementações baseadas no circuito da Figura 11-b exigem componentes com precisão superior às implementações baseadas no circuito do Figura 11-a uma vez que a função de transferência possui mais variáveis para alterar a localização dos polos da função de transferência e, conseqüentemente, tornar a operação do filtro instável (SHENOI, B. A., 2006).

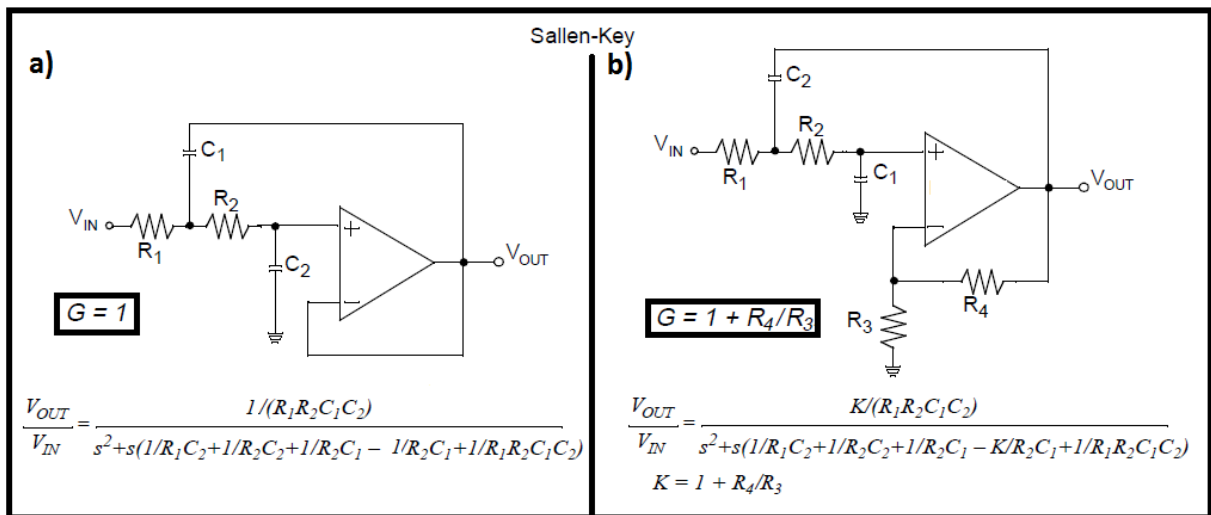


Figura 11 – Estruturas Sallen-Key de filtros.

O circuito por ser estruturado baseado na topologia Sallen-Key tem como principal característica o suporte a cinco tipos de filtros: Butterworth, Chebyshev, Gaussiano, fase linear e Bessel. As características de resposta de magnitude, de fase e de atraso de grupo dos filtros de 6 pólos são apresentadas na Figura 12.

Para a implementação inicialmente proposta neste trabalho foi escolhido o filtro Butterworth. O filtro Butterworth é um dos mais utilizados em aplicações envolvendo extração de parâmetros e reconstrução de sinais, por apresentarem principalmente banda de passagem plana, entretanto pode-se observar que o filtro de Bessel tem um atraso de grupo constante em praticamente toda a zona de passagem, o que representa uma característica muito desejada em sistemas de medição sincronizada. A implementação do filtro de Bessel será explorada numa futura versão do hardware. Na Figura 13 é apresentado as curvas de resposta para o filtro Butterworth de acordo com sua ordem.

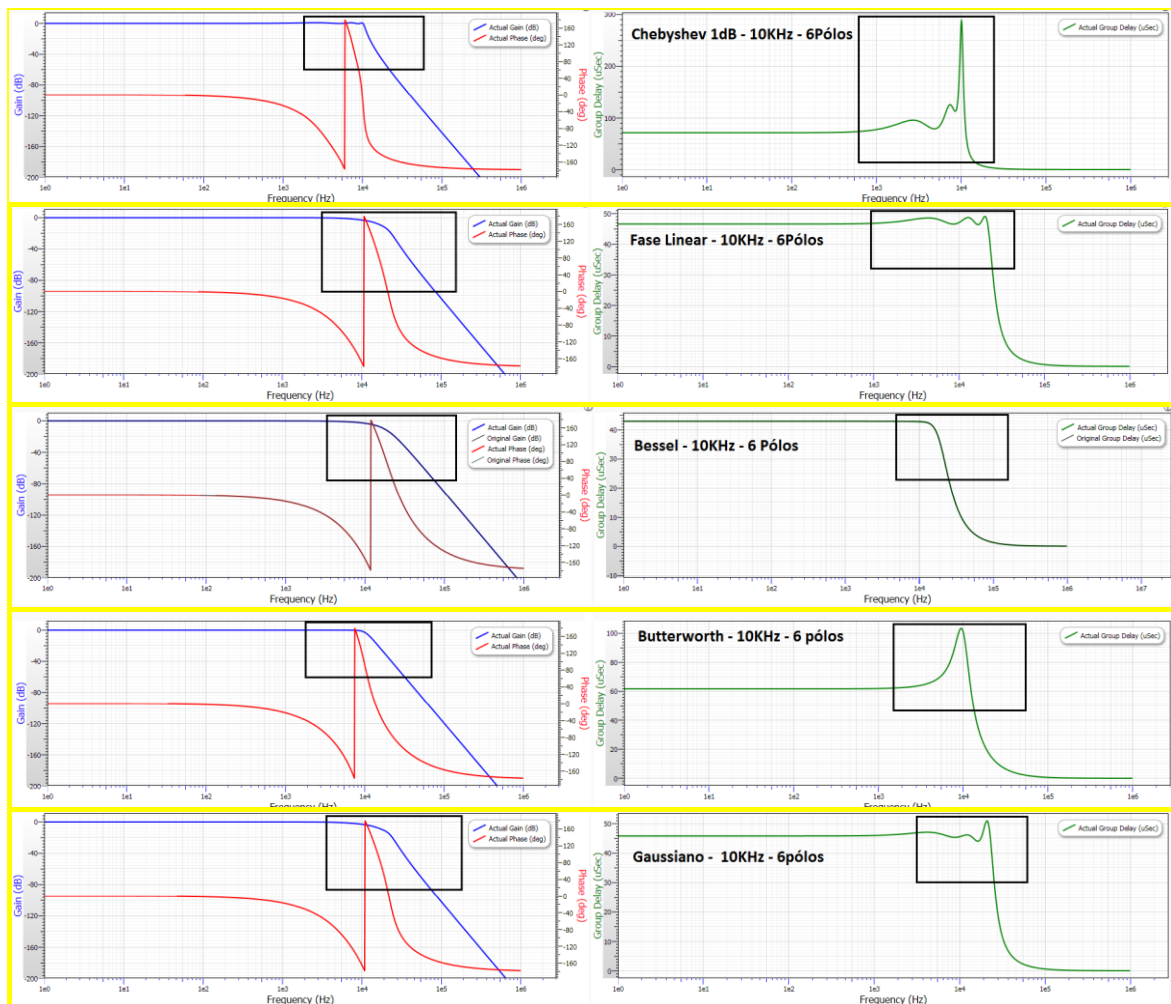


Figura 12 – a) filtro de Chebyshev, b) Fase Linear, c) Bessel, d) Butterworth e e)Gaussiano. À esquerda são apresentadas as respostas de magnitude e fase e à direita o atraso de grupo para cada filtro.

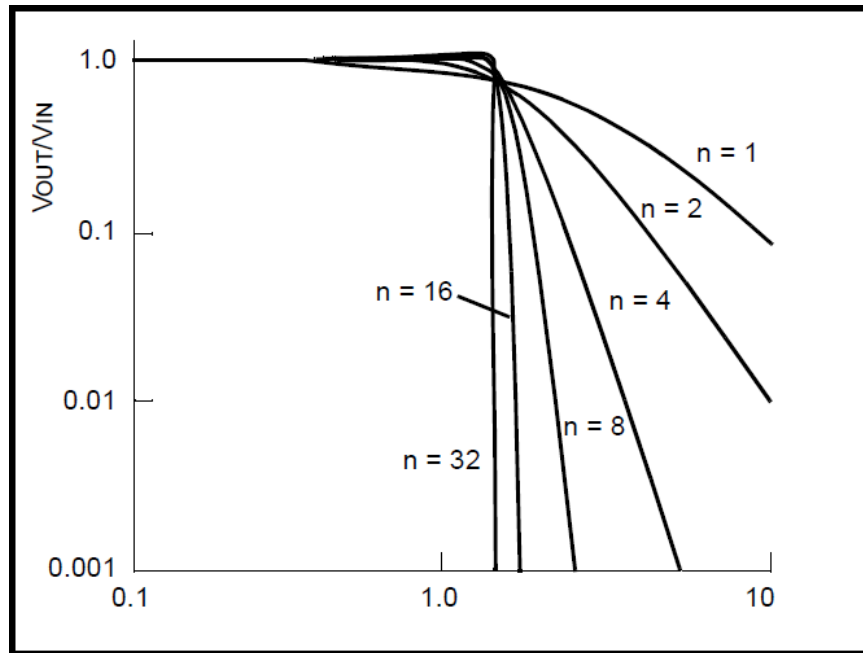


Figura 13 – Curvas de operação de filtros Butterworth em função do número de polos.

3.3 Filtro *anti-aliasing*

Neste trabalho, a principal aplicação dos filtros analógicos é eliminar os efeitos da sobreposição espectral, também denominada como *aliasing*. Na prática os denominados filtros anti-aliasing são a primeira interface entre o domínio do tempo - contínuo (sistema analógico) e o domínio do tempo discreto (sistema digital) (MITRA S. K., 2006).

A sobreposição espectral é um fenômeno decorrente do processo de digitalização do sinal analógico, que tem como principal efeito a distorção dos sinais de interesse.

O efeito da sobreposição espectral pode ser matematicamente determinado através da equação (3.1):

$$f_{aliasing} = |f_{in} - Nf_s|, \quad (3.1)$$

Em que $f_{aliasing}$ representa a frequência final da componente individual f_{in} após a amostragem com a taxa de amostragem f_s , N é um número inteiro que especifica em qual faixa de frequência a componente individual se localiza. A Figura 14-a mostra que a

componente 2 está na faixa para $N=1$. Cada faixa tem largura f_s está centrada na frequência Nf_s . Assim a equação (3.1) representa um método prático e fácil para encontrar o valor da frequência após a amostragem. O exemplo a seguir ilustra melhor o emprego desta equação.

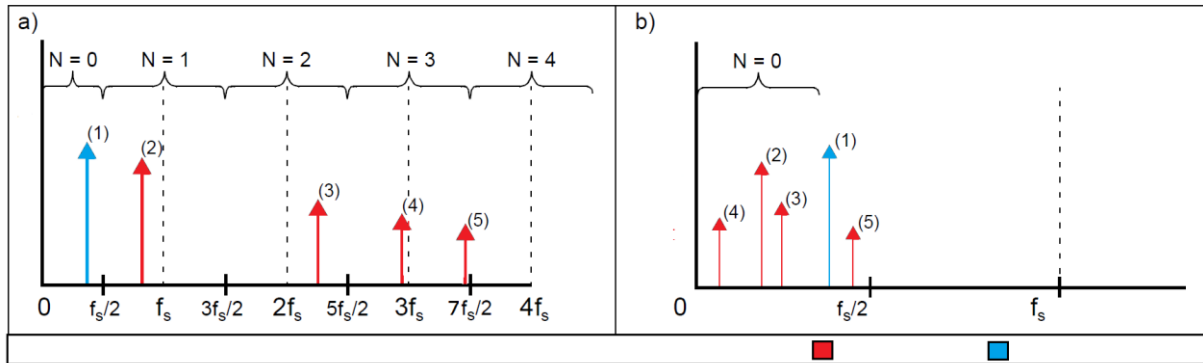


Figura 14 – Espectro de um sinal digitalizado com aliasing.

Exemplo: Para uma frequência de amostragem $f_s = 100 \text{ kHz}$ e um sinal hipotético composto pelas seguintes componentes:

$$f_{in} = a1 \times 41\text{kHz} + a2 \times 82\text{kHz} + a3 \times 219\text{kHz} + a4 \times 294\text{kHz} + a5 \times 347\text{kHz}$$

O sinal f_{in} Figura 14-a) quando amostrado sem a utilização do filtro *anti-aliasing* apresentará a seguinte composição espectral de acordo como exemplificado na Figura 14-b). A Tabela VI mostra a composição harmônica, obtida a partir de (3.1).

Tabela VI - Tabela de composição harmônica:

Frequência	$f_{aliasing} = f_{in} - Nf_s $	N	f_{out}
41KHz	$f_{aliasing} = 41\text{KHz} - 0 * 41\text{KHz} $	0	$f_{out1} = 41\text{KHz}$
82KHz	$f_{aliasing} = 82\text{KHz} - 1 * 82\text{KHz} $	1	$f_{out2} = 18\text{KHz}$
219KHz	$f_{aliasing} = 219\text{KHz} - 2 * 219\text{KHz} $	2	$f_{out3} = 19\text{KHz}$
294KHz	$f_{aliasing} = 294\text{KHz} - 3 * 294\text{KHz} $	3	$f_{out4} = 6\text{KHz}$
347KHz	$f_{aliasing} = 347\text{KHz} - 4 * 347\text{KHz} $	4	$f_{out5} = 53\text{KHz}$

Na Figura 15, é apresentado o resultado de um sinal digitalizado com a utilização de um filtro passa-baixas *anti-aliasing*. Em análise, a utilização de desses tem como principal função restringir o espectro do sinal amostrado em $\frac{f_s}{2}$ como exemplificado na Figura 15-b).

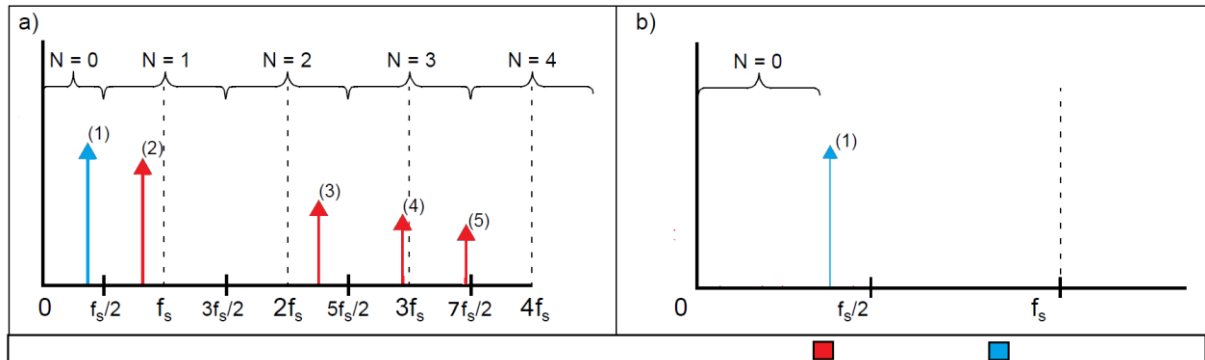


Figura 15 - Espectro de um sinal digitalizado sem aliasing.

O principal papel do filtro *anti-Aliasing* é eliminar as bandas laterais do sinal a ser digitalizado, desse modo o efeito gerado pela sobreposição espectral é eliminada.

3.4 Condicionamento de Sinais

O condicionamento de sinais tem como principal função escalonar sinal analógico a ser amostrado, aos níveis de tensão permitidos pelo conversor analógico-digital. Outras funções de grande importância do condicionamento de sinais são: ajustes de ganhos, compensação do erro de *offset* proporcionado pelos componentes ativos do filtro (amplificadores operacionais) e inclusão da componente DC, de modo a permitir que o sinal a ser processado esteja compreendido dentro dos limites de operação do dispositivo de conversão analógico digital.

3.4.1 Condicionamento de Tensão

O condicionamento de tensão, neste trabalho, é feito através de um transformador com características especiais. O núcleo do transformador foi construído com liga de ferro-silício

(baixa histerese), o que permite que os sinais de até 20kHz tenha atenuação de amplitude minimizada. Na Figura 16 é apresentado o circuito de condicionamento de tensão, cujos detalhes são apresentados a seguir

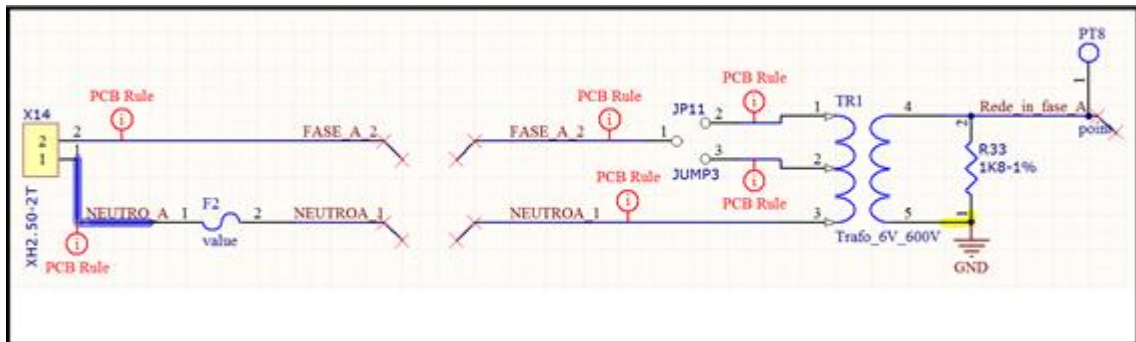


Figura 16 – Circuito abaixador de tensão da rede elétrica.

Características do circuito de acoplamento:

- Tensão máxima no enrolamento primário : 300Vpico entre conexão de enrolamentos 1-2 ou 2-3 e 600 Vpico entre conexão enrolamento 1-3;
- Tensão máxima no enrolamento secundário: 3Vpico (300V) ou 6Vpico (600V);
- Frequência máxima de operação: 20kHz;
- Fusível de proteção 0.1A .

A tensão de entrada é selecionada de acordo com a aplicação. É importante observar que para cada tensão de operação os ganhos de entrada e a tensão de referência devem ser calibrados. Foram realizados testes para aferir a resposta do transformador quando o mesmo é excitado através do enrolamento secundário por meio de um sintetizador de sinais implementado utilizando o DSP TMS320F28027. O sintetizador foi feito para permitir o estudo condicionamento (o sistema de auto-calibração de tensão é apresentado no capítulo 4). O teste tinha como principal papel determinar o comportamento da impedância do transformador em função da frequência do sinal sintetizado Figura 17. O resistor de carregamento do trafo (R33) do esquema apresentado na Figura 16 foi determinado baseados nos testes realizados, no qual o valor de 1k8 apresentou os melhores resultados para a calibração do algoritmos de calculo de harmônicos (DFT) para as frequências de interesse.

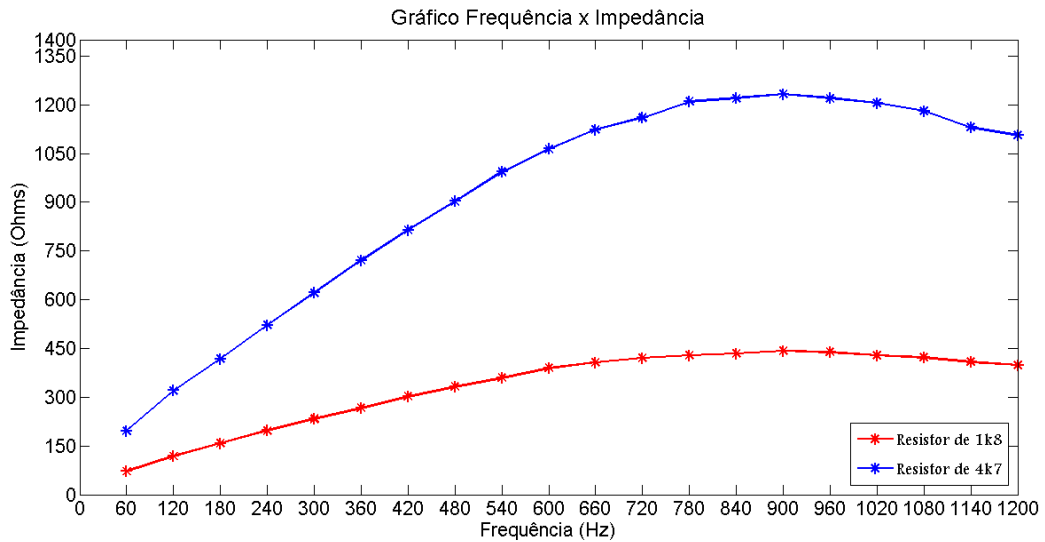


Figura 17 – Curva de operação do transformador de entrada.

O sistema analógico tem integrado à saída do filtro o circuito de ajuste de ganho e *offset*. Assim é possível que o filtro seja modificado de acordo com a aplicação desejada, o circuito de ajuste de *offset* permite que a componente contínua possa ser ajustada de +3.3 volts a -3.3 volts, além de corrigir o *offset* propagado pelos operacionais através do filtro passa baixa. A Figura 18 apresenta o esquema eletrônico do circuito de condicionamento de sinais. A saída do circuito em questão pode ser conectadas diretamente ao conversor A/D de 12 bits do DSP, conversor A/D de 16 bits (AD7860 – *Analog Devices*) ou, simultaneamente, aos dois conversores.

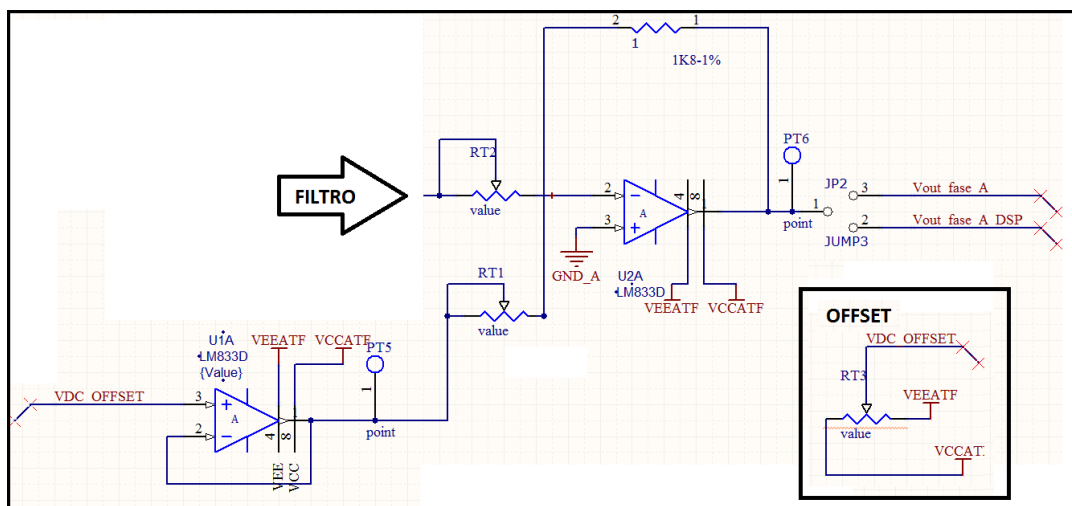


Figura 18 – circuito de ajuste de ganho e offset.

A proposta do hardware construído é a possibilidade de múltiplas implementações de acordo com à aplicação. Essa flexibilidade é possível devido a possibilidade de desabilitar estágios do filtro. A estrutura permite a utilização de somente um filtro passivo RC, filtro combinado RC + filtro ativo Butterworth – Sallen-Key ou somente filtro ativo.

A intenção da flexibilidade de montagem do filtro foi permitir o estudo e implementação de diferentes estratégias de processamento, incluindo filtros digitais, substituição de filtros analógicos por filtros digital em modelos de sobre - amostragem (*oversampling*) (SUKUMAR, M. B., et all, 2009) entre outros. A Figura 19 apresenta a representação em bloco do modelo eletrônico desenvolvido para a implementação dos múltiplos modos de filtragem.

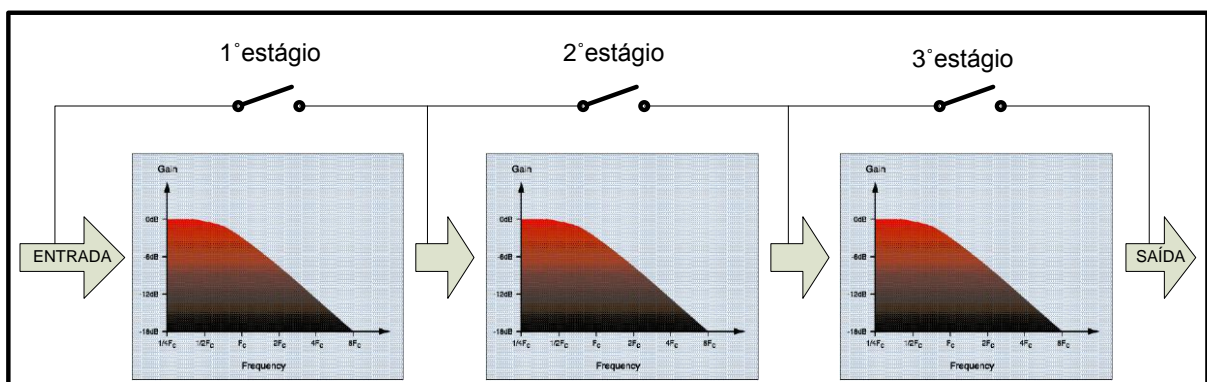


Figura 19 – Diagrama de operação do filtro anti-aliasing.

3.4.2 Condicionamento de Corrente

A aquisição de corrente para o sistema de medição pode ser feita através de um transformador de corrente ou de medição sensor de efeito Hall (ALLEGRO,) O Sensor de efeito Hall da Allegro Microsystems é capaz de medir corrente AC/DC máxima de 15A para o modelo de sensor utilizado. O mesmo proporciona ao circuito isolamento galvânica de 2100Vrms e frequência máxima de operação de 80 kHz (ALLEGRO,2010). Os transformadores de corrente podem possuir relação corrente/tensão ou corrente/corrente. No caso de relação corrente/corrente o transdutor deverá ser o sensor de efeito hall. A placa

admite os dois modelos de sensores de efeito Hall o ACS712-05 para medições até 5A ou ACS712-15 – para medições até 15A e transformadores de corrente.

A Figura 20 apresenta o modelo do transformador de corrente utilizado com precisão de 1%.



Figura 20 – Transformador de corrente.

3.5 Desenvolvimento e Projeto dos Filtros

Para o desenvolvimento dos filtros ativos, foram utilizadas as ferramentas de projeto e simulação da *Texas Instruments* (TI). O software livre disponibilizado pela TI denominado FilterPro3 tem características bem interessantes para a implementação e estudo de estruturas de filtragem, além de fornecer comparativos entre as mais diversas estruturas e topologias de filtragem, e portanto, permite determinar de forma bastante fácil os melhores valores para os componentes passivos (resistores e capacitores) de acordo com as tabelas de valores, as quais variam o nível de precisão dos componentes.

As características do filtro implementado são as seguintes:

- Tipo de filtro: 3 cascatas de 2 ordem filtro Butterworth – Sallen-Key.
- Frequência de corte (3dB): 3,2 kHz;
- Número de pólos: 6 – 60dB por década;
- Ganho : unitário;

- Tipo de operacional: LM833 – Áudio baixo ruído;
- Precisão componentes passivos: 1%.

O projeto do filtro é apresentado na Figura 21.

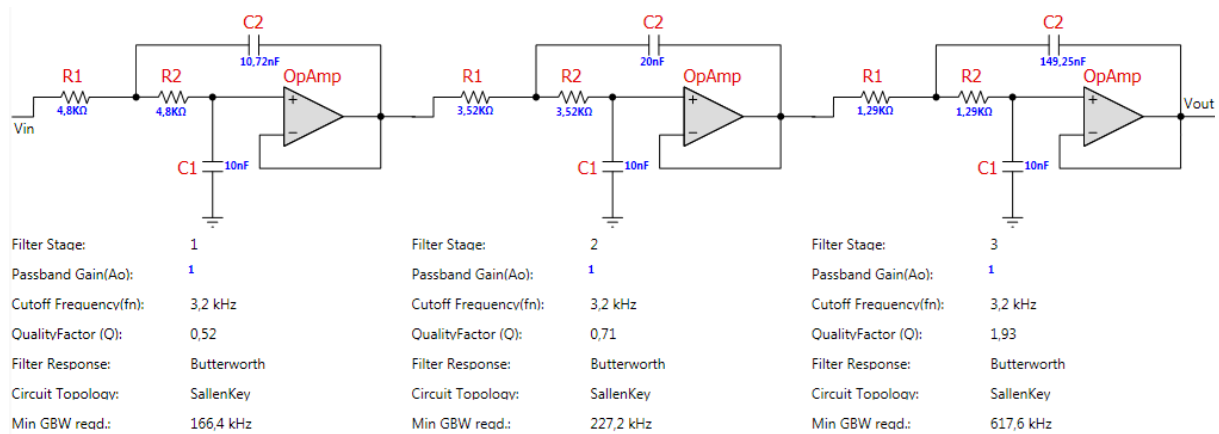


Figura 21 – Projeto do filtro anti-aliasing: Frequência de corte de 10 kHz, Butterworth 6ª ordem.

As curvas de operação do filtro são apresentadas abaixo, é necessário ressaltar que para frequências superiores á 100Hz é necessário aplicar correção de fase na estimação. Já o ganho é unitário em toda a banda de passagem, o diagrama de Bode é apresentado na Figura 22.

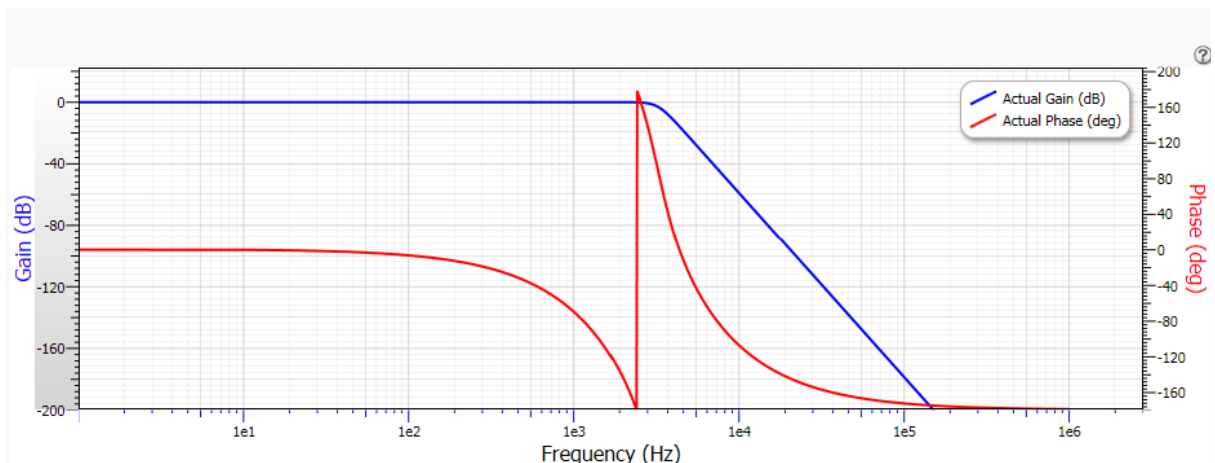


Figura 22 – Diagrama de bode do filtro implementado.

Outro ponto importante apresentados nos gráficos é referente ao atraso de grupo gerado pelo filtro, Figura 23, a correção em medições de fase é de extrema importância

principalmente em aplicações referentes a medida sincronizadas, que é foco de estudo para os hardwares desenvolvidos. A abordagem sobre a correção do atraso de grupo é abordado no capítulo 4.

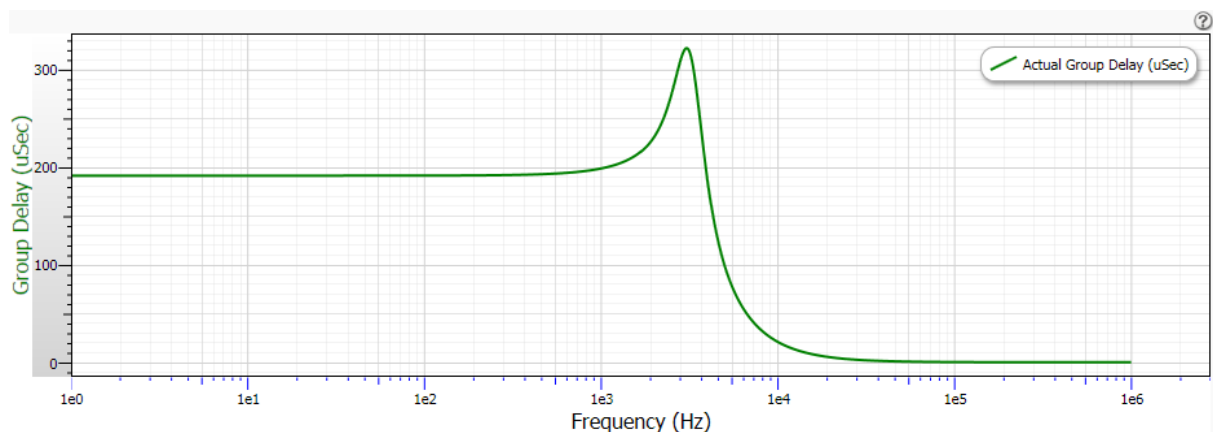


Figura 23 – Atraso de grupo do filtro implementado.

3.6 Hardware Analógico para a Aquisição de Tensão e Corrente para PMU – QEE

3.6.1 Aquisição de Tensão

- canais independentes, transformador com relação 600V-6V, com banda de passagem de 20 kHz;
- Circuito de autocalibração;
- Seleção de conversores AD – 12bits DSP ou 16 bits externo –AD7860;
- Conversores DC-DC – Fontes de tensão independentes e isoladas (redução de ruído);
- Filtro de 6° ordem – Salley-key (configurável de acordo com aplicação);
- Ajuste de ganho e referência de tensões independentes por canal;

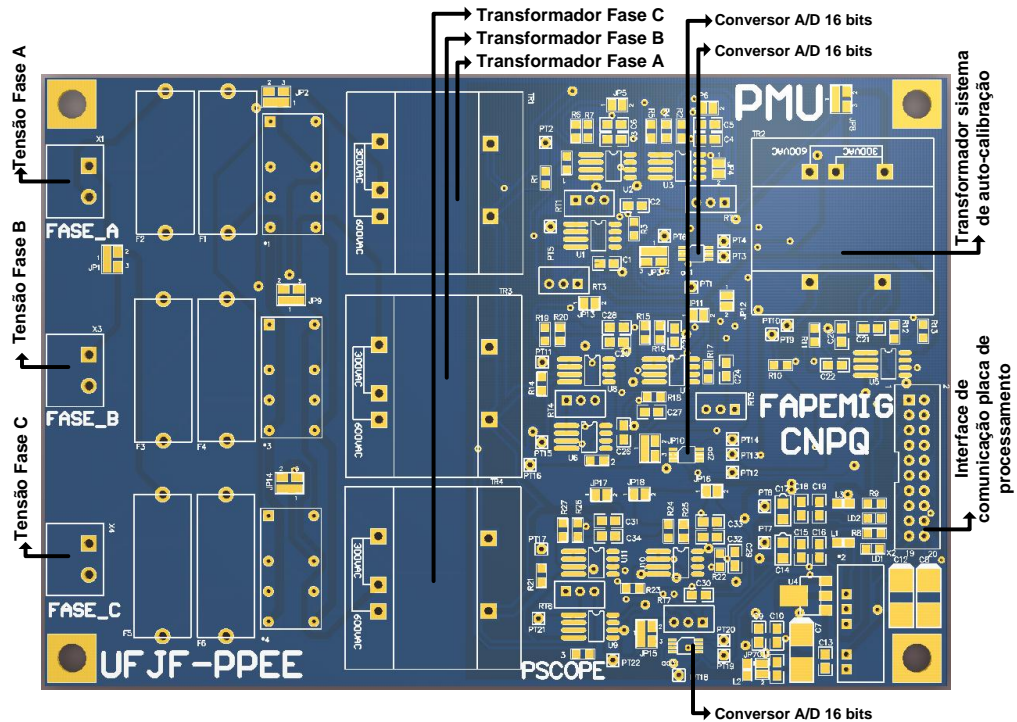


Figura 24 – Placa de aquisição de tensão PMU-QEE.

3.6.2 Aquisição de Corrente

- canais independentes, com possibilidade de medição via alicate de corrente ou sensor de efeito Hall. Sensor de efeito Hall com corrente AC/DC máxima de 15A. Alicates de corrente com relação corrente/tensão ou corrente/corrente. No caso de relação corrente/corrente o transdutor deverá ser o sensor de efeito hall. A placa admite a dois modelos de sensores de efeito Hall o ACS712-05 para medições até 5A ou ACS712-15 – para medições até 15A e transformadores de corrente.
- Seleção de conversores AD – 12bits DSP ou 16 bits externo –AD7860;
- Conversores – Fonte de tensão independente e isolada;
- Filtro de 6° ordem – Salley-key (configurável de acordo com aplicação);
- Ajuste de ganho e referência de tensão independentes;

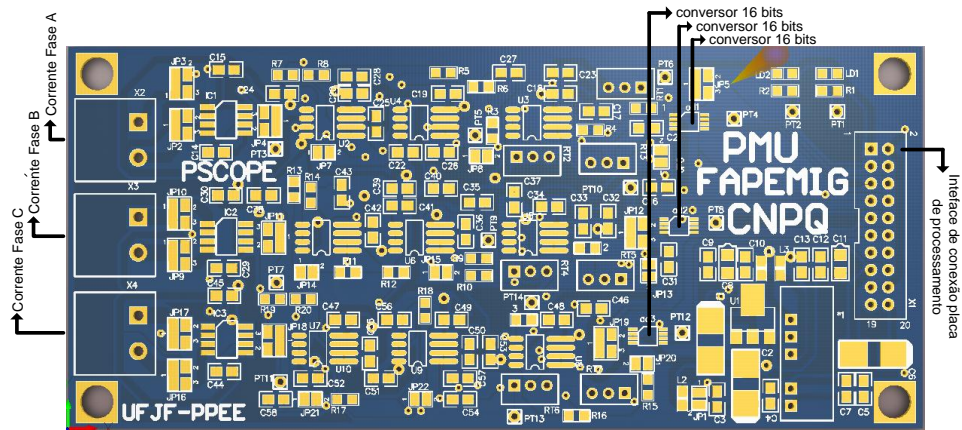


Figura 25 – Placa de aquisição de corrente PMU-QEE.

3.7 Hardware Analógico para a Aquisição de Tensão e Corrente para AHVT

As placas de filtragem e condicionamento para o AHVT possuem as mesmas características eletrônicas das placas PMU-QEE porém, são monofásicas.

3.7.1 Aquisição de Tensão

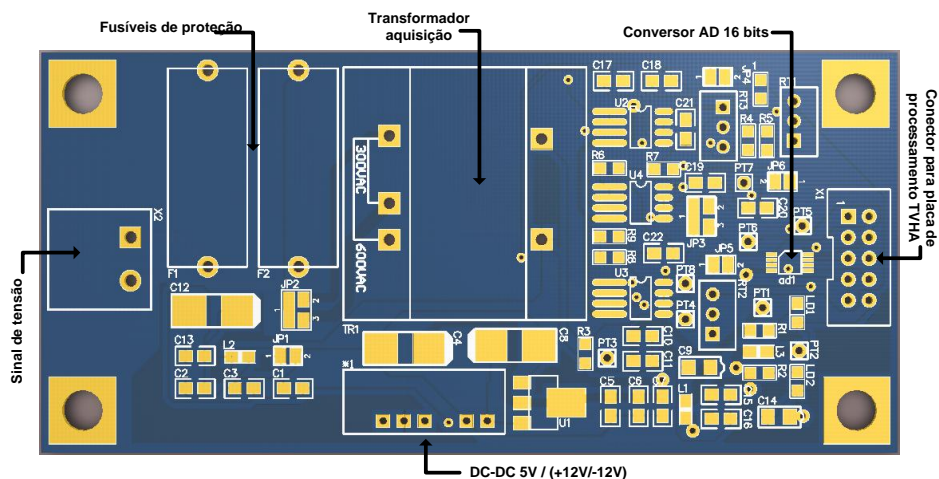


Figura 26 - Placa de aquisição de tensão AHVT.

3.7.2 Aquisição de Corrente

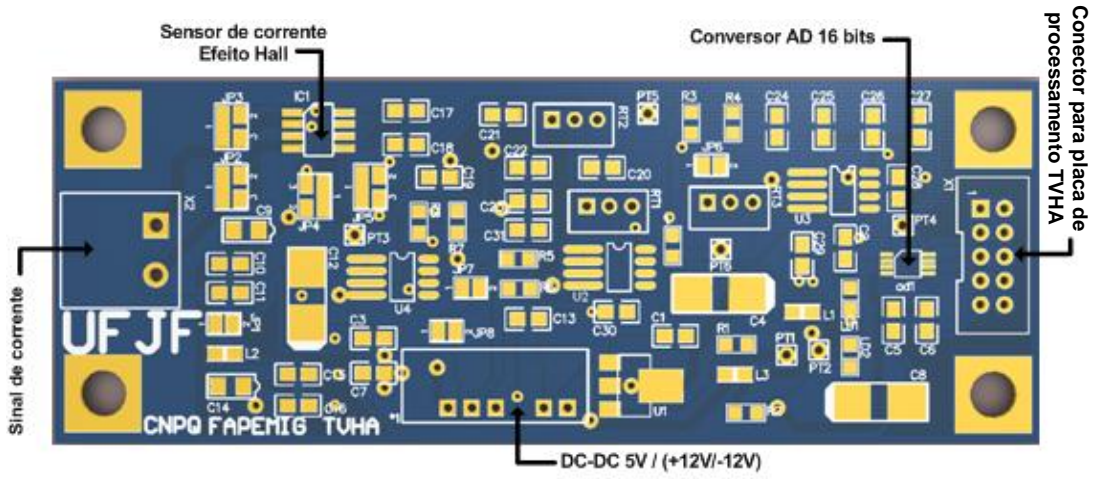


Figura 27 - Placa de aquisição de corrente AHVT.

4 Desenvolvimento do Hardware – Sistema Digital

Este capítulo apresenta a estrutura digital do hardware desenvolvido para a plataforma de processamento de sinais. Inicialmente, procura-se identificar as estruturas comuns às aplicações de PMU, monitor de QEE e Analisador de Harmônico Variante no tempo. A partir das especificações de cada aplicação verifica-se que a unidade PMU e o monitor de QEE podem compartilhar uma plataforma de hardware comum, porém a aplicação AHVT requer, neste momento, uma plataforma dedicada. As estruturas digitais são então abordadas em termos de blocos, com detalhes suficientes para compreender a estrutura total. Os circuitos esquemáticos estão disponíveis em CD-ROM, que acompanha esta dissertação.

4.1 Conceitos de produtos e equipamentos comerciais

O desenvolvimento de plataformas de processamento de sinais para aplicação em sistemas de potência, tem como principal característica a concepção e desenvolvimento de hardware com elevada capacidade de processamento e além de uma instrumentação dedicada a aquisição dos sinais de baixa, média e alta tensão. Dispositivos para aplicações nesse tipo de processamento devem possuir características especiais de tal modo que possam ser facilmente adaptados para as mais diversas aplicações, sem alterações significativas na estrutura de hardware. Essa flexibilidade é resultado da implementação de sistemas redundantes, pontos de teste, by-pass (capacidade de ativar ou não determinadas partes do hardware).

Com base na revisão bibliográfica do Capítulo 2, a Tabela VII apresenta o resumo das principais características das três aplicações alvo desta dissertação. O estudo comparativo desta tabela é um ponto fundamental para a determinação das estruturas de hardware necessárias para implementá-las.

Tabela VII – Características das três aplicações desenvolvidas nesta dissertação

Característica	PMU	Monitor QEE	AHVT
ADC	12/16	12/16	12/16
Número de Harmônicos	1	50	50
Taxa de amostragem (pontos por ciclo)	64/128	128	128/256
Memória de armazenamento	2 Gbytes	2 Gbytes	32 Mbytes
Canal de Comunicação	Ethernet/GPRS	Ethernet/GPRS/USB	USB
Sincronização GPS	Sim - Necessária	Sim	Não
Algoritmos principais	Fasor, frequência, calculo de sequencia positiva, potência ativa, reativa e aparente	Fasor, frequência, harmônicos, desbalanceamento, THD para tensão e corrente, potência ativa, reativa e aparente, <i>flicker</i> , etc.	decomposição harmônica

Com o objetivo de se obter a estrutura de hardware que possa ser a mais genérica possível apresenta-se inicialmente o diagrama de blocos do monitor de QEE e da unidade PMU. Por razões que serão explicadas mais adiante optou-se em desenvolver uma estrutura em separado para o AHVT.

O diagrama de blocos genérica de um monitor de QEE é apresentada na Figura 28 (ANANTH, I.; M.M. MORCOS A,1999), ao passo que o diagrama de blocos para uma unidade PMU é mostrado na Figura 29.

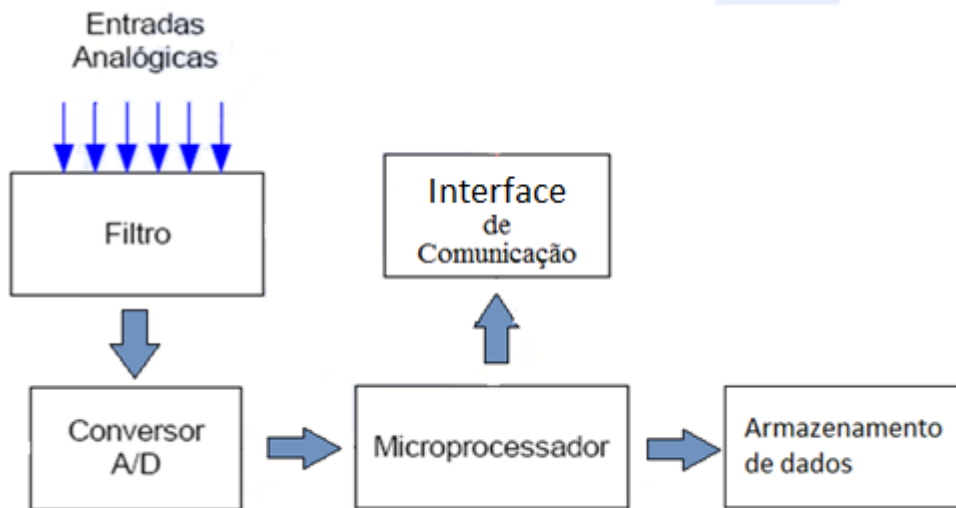


Figura 28 – Estrutura de blocos do monitor de QEE.

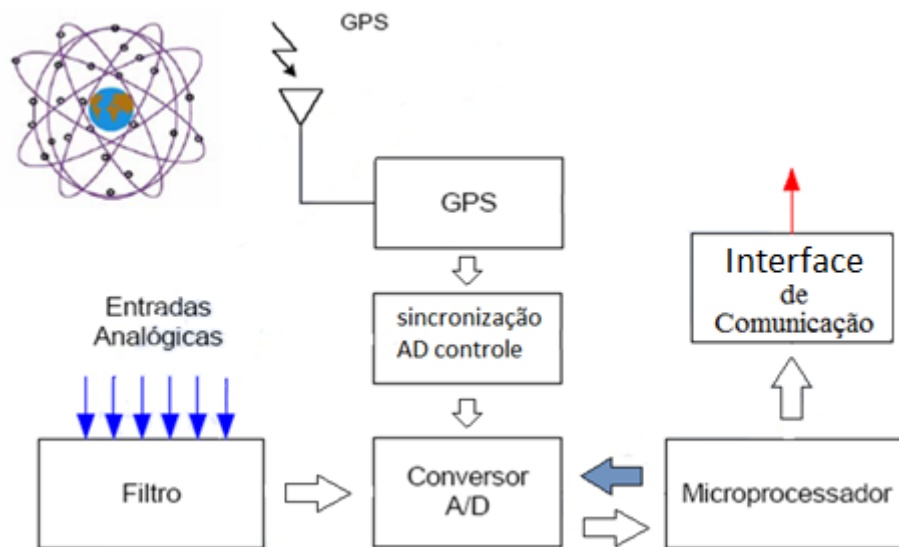


Figura 29 – Diagrama de blocos da PMU

Analisando os diagramas de blocos da Figura 28 e da Figura 29 é possível verificar que ambos os equipamentos apresentam similaridades que possibilita o desenvolvimento de um único hardware. A principal proposta do trabalho é desenvolver um *hardware*.

Em uma análise do diagrama de blocos do QEE e do PMU, é observável a similaridade entre os dispositivos. Como descrito no Capítulo 2, a PMU tem como função principal fornecer informações sobre a estabilidade do sistema elétrico de potência, ou seja,

estimar o fasor da componente fundamental. Com a integração de recursos de analisador de qualidade de energia é possível gerar estudos como propagação de componentes harmônicas, identificar cargas, prover um mapeamento de cargas e aumentar assim a confiabilidade de todo sistema de potência.

4.2 Especificação de um dispositivo PMU+ QE

O diagrama de blocos de uma unidade de medição fasorial com recursos de qualidade de energia é apresentado na Figura 30.

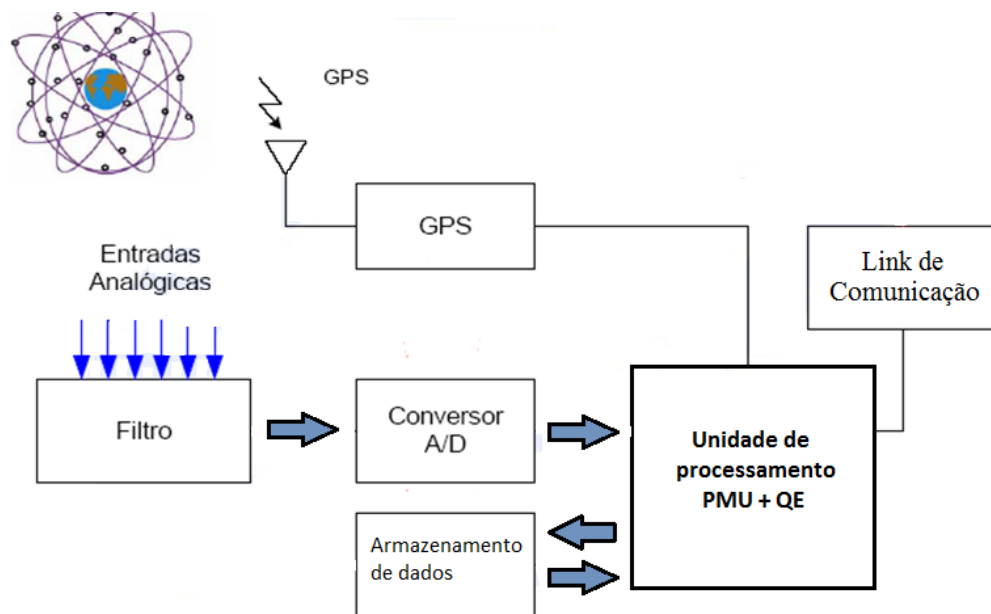


Figura 30 – Diagrama de blocos do hardware da Unidade PMU + QEE

4.2.1 Hardware de sincronismo GPS

O desenvolvimento dos circuitos de sincronismo foi baseado no módulo GPS LASSEN IQ 12 canais TRIMBLE (TRIMBLE, 2005). Esse tem como principal característica disponibilizar um pulso sincronizado com o UTC (PPS) com precisão de 50ns (TRIMBLE, 2005) para sinais de GPS válidos. Esta precisão de tempo corresponde em termos do ângulo do fasor da componente fundamental a um erro de $18,85 \times 10^{-6}$ radianos que é muito inferior aos mínimos parâmetros recomendados pela IEEE 1344-1995.

Outro ponto relevante para a escolha o GPS Trimble é que o mesmo disponibiliza as informações em dois formatos distintos: NMEA 0183 e TSIP. Para a aplicação de sincronização e formação de estampa de tempo para a transmissão dos dados para o CDC, a utilização do protocolo TSIP apresenta vantagem, pois o mesmo já disponibiliza diretamente o valor de UTC. Na Figura 31 é mostrado a estrutura de montagem do SOC_G (*start of conversion*). Esta estrutura mostra a recepção do pacote TSIP, do qual é extraído o UTC. A referência temporal padronizada para o sistema PMU é conhecida como UNIX. Como ambas as estruturas são representadas em segundos, com a recepção do valor UTC é adicionada uma constante que é fixa e permite a determinação do valor UNIX.

A recepção do pacote TSIP contendo o valor UTC é disponibilizado a cada 4 segundos. Assim uma vez recebido o valor do mesmo, o sistema incrementa a contagem, a cada PPS, até que um novo pacote seja recebido.

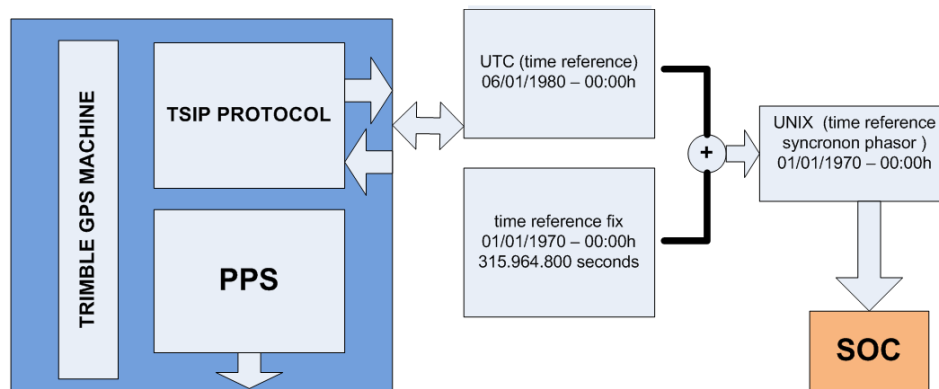


Figura 31 – Diagrama de blocos do sistema GPS e da extração da informação temporal.

A recepção do pacote TSIP é feito por meio da interface serial (SCI) configurada à 9600bps (bits por segundo), sem paridade. O sinal de PPS provido pelo módulo GPS é disponibilizado segundo a segundo através do pino PPS. A detecção em *hardware* é efetuada pelo processador através de interrupção de hardware. De acordo com (LASSEN,2005), o sinal do PPS deve ser somente considerado para recepção válida do GPS. Para garantir a medição ininterrupta do sistema, foi implementado em paralelo ao GPS um relógio de tempo real RTC (*Real Time Clock*). Tal dispositivo tem como característica garantir a operação contínua do sistema independente do GPS. O RTC é ajustado periodicamente com o horário UTC. Na

aplicação foi utilizado o RTC DS1338-33Z (MAXIM, 2010), que tem como principal característica um atraso máximo de 2 segundos por mês caso o mesmo não seja ajustado. A integridade do sinal PPS é verificada constantemente através do monitoramento do número de satélites. Uma vez que o DSP ou microprocessador gerenciador detecta que o sinal de GPS é válido, o mesmo realiza a medição do intervalo de tempo entre os disparos gerados segundo a segundo pelo RTC e GPS.

Na Figura 32 é apresentado o diagrama de bloco representando a operação do bloco de sincronismo. Assim com a falha do sinal proveniente do GPS, o processador gerenciador assume como base de tempo o RTC, porém ao montar o cabeçalho da informação a ser transmitida ao CDC, a mesma será corrigida pelo valor determinado pela diferença temporal entre os dispositivos. A estrutura de medição da diferença temporal entre RTC SQW e GPS PPS é efetuada através de um contador de 32 bits para o DSP ou 16 bits para o microcontrolador gerenciador (ATMEGA1281 – ATMEL).

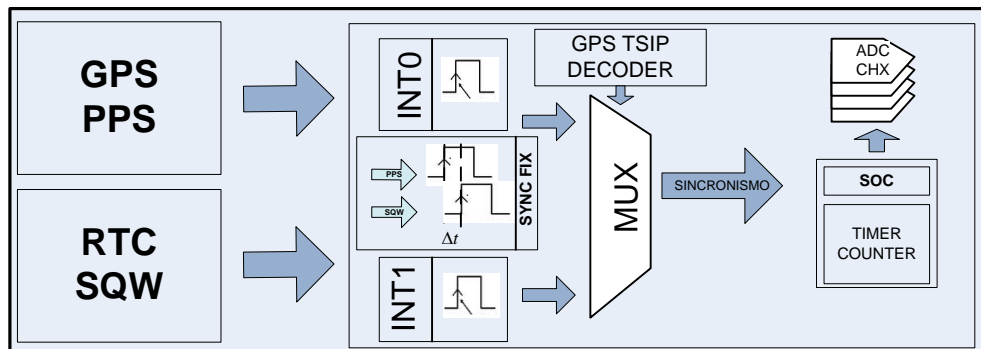


Figura 32 – Diagrama de blocos do sistema de sincronismo. Caso o sinal PPS deixe de ser válido, o sistema de sincronização comuta para o RTC. A diferença Δt computada previamente é utilizada para corrigir a estampa de tempo.

A recepção dos dados provenientes do GPS ocorre 300ms após a borda de subida do PPS. Em aplicações onde é desejado que o sistema envie parâmetro segundo a segundo, esse fato minimiza a complexidade da máquina de estados responsável por receber, processar, decodificar e enviar os dados. Isso acontece, pois, de acordo com a norma IEC61000-4-30, a estimação de parâmetros para 60 Hz devem ser consideradas a cada 12 ciclos. Assim é possível operar o processador em etapas bem definidas e não sobrepostas.

4.2.2 Sincronização dos conversores A/D

A principal função do sistema de sincronização é fazer com que os conversores A/D efetuem disparos simultâneos. Para que isso aconteça é necessário que segundo a segundo o contador que controla os pulsos de disparo dos conversores seja resincronizado, assim os sinais desejados devem ser amostrados em intervalos regulares de

$$t = \frac{1}{f_0 * N_{pt}}, \quad (4.1)$$

em que, f_0 é a frequência fundamental e N_{pt} número de amostras por ciclo.

Para aplicações envolvendo analisadores de qualidade de energia, as taxas de amostragem são normalmente superiores a 64 pontos por ciclo (KUHLMANN ,V., et all,2007), na prática o número de amostras por ciclo está diretamente associado à capacidade de processamento disponível em relação aos parâmetros desejados. Para as aplicações objetivo desse trabalho, 128 pontos por ciclo, ou seja, uma $f_s = 7680\text{Hz}$. Assim, teoricamente, é possível determinar a amplitude até do 64° harmônico.

O contador responsável por efetuar os disparos dos conversores é sincronizado, segundo a segundo, por meio do pulso de sincronização, que é providos pelo PPS-GPS ou SQW-RTC. No equipamento em questão, o contador 0 (*TIMERO - 32 bits*) é utilizado para gerenciar os disparos de aquisição.

De modo a prover estudos abordando diversas estruturas de aquisição de dados, foram desenvolvidos 4 modelos para aferição do conversor A/D. As variações são baseadas na utilização de conversores A/D interno do DSP, A/D externo, processamento em um único processador e processamento distribuído. A Tabela VIII apresenta as estruturas desenvolvidas.

Tabela VIII – Estruturas de aquisição de dados.

Modelo	Número de processadores	Tipo de conversor	Aquisição simultânea	Número de canais aquisitados
DSP1AD1	1	Interno 12 bits	2 canais simultâneos	6
DSP1AD6	1	Externo 16 bits	Sim	6
DSP3AD3	3	Interno 12 bits	Sim	6
DSP3AD6	3	Externo 16 bits	Sim	6

As estruturas desenvolvidas têm como principal objetivo prover estruturas de *hardware* para pesquisa e geração de instrumentos para aferição, processamento e armazenamento de parâmetros de energia.

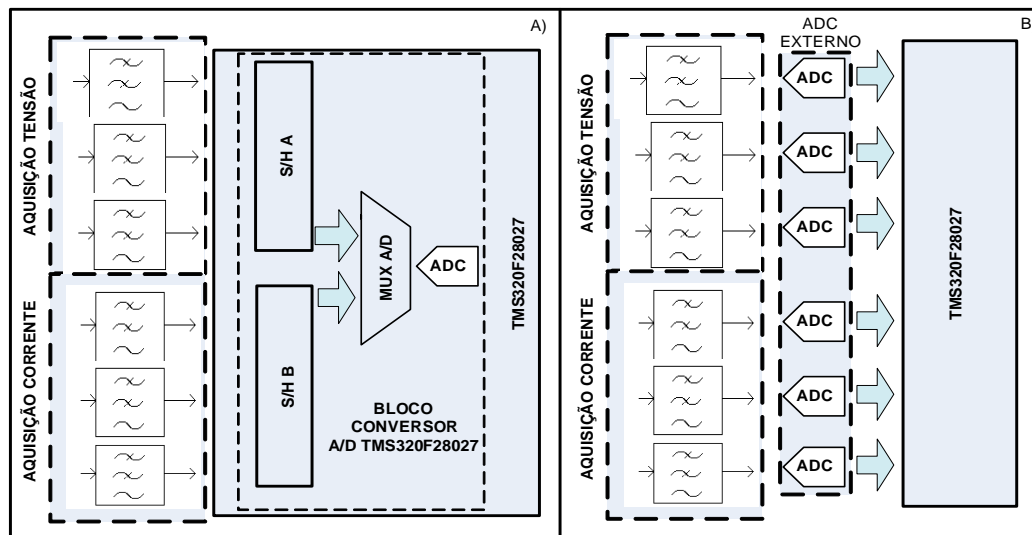


Figura 33– Sistema de aquisição utilizando conversor interno(a) e externo (b), com um único processador.

Na Figura 33 são apresentadas duas estruturas de aquisição baseadas em um único processador. A principal diferença entre elas é o fato de que a Figura 33-A utiliza conversor A/D interno (12 bits) enquanto a Figura 33-B utiliza conversores externos (16 bits). Além disso, a estrutura da Figura 33-A não permite amostragem simultaneamente de todos os canais, ao passo que a estrutura na Figura 33-B permite.

Na Figura 34 são apresentadas duas estruturas baseadas em processamento distribuído com aquisição simultânea para todos os canais conversores.

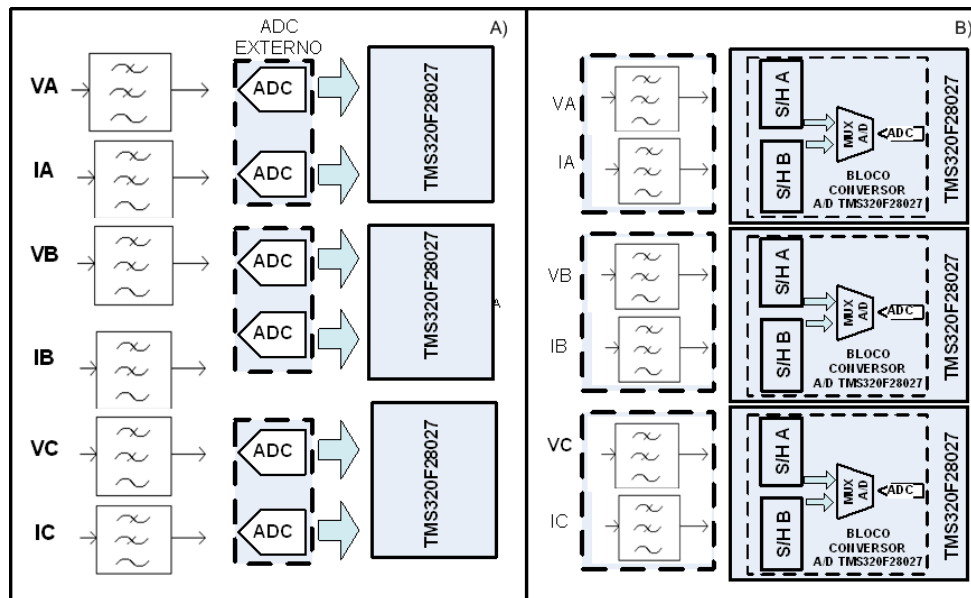


Figura 34 – Sistema de aquisição utilizando conversor externo(a) e externo (b), com 3 processadores.

A estrutura SOC (*start of conversion*) é responsável por configurar todos os parâmetros referentes ao processo de conversão A/D, que incluem: aquisição simultânea, tempo de retenção S/H, e, principalmente, o sequenciamento, ou seja, a prioridade a ser seguida no acesso aos canais. Para garantir a coerência e precisão das medidas, todas as topologias implementadas são baseadas em aquisição simultânea do sinal de tensão e correntes. Todos os conversores A/D são disparados através de interrupção de hardware.

Quando as estruturas da Figura 34 são analisadas do ponto de vista de núcleos independentes, a utilização de fontes de *clock* diferentes tem como consequência a aquisição simultânea nos pares, mas não a aquisição simultânea no grupo de sinais a serem amostrados. Para garantir amostragem síncrona em todos os canais foi implementado um barramento de *clock* comum a todos os dispositivos de processamento de modo que todos os processadores estejam em sincronismo de aquisição e em sincronismo de *clock*.

A precisão da temporização é resultado da resolução do temporizador e da estabilidade do *clock* de operação dos processadores. Para a aplicação foi utilizado um temporizador de 32

bits (precisão de 16.6ns) e a fonte de clock para o processador é um oscilador externo com frequência de operação de 20 MHz com precisão de $\pm 30\text{ppm}$ ($3 \times 10^{-3}\%$ desvio da frequência de operação). A frequência de operação do DSP é 60MHz, gerada a partir do oscilador externo via PLL. Tais fatores foram selecionados de forma a reduzir o erro de sincronismo entre os múltiplos dispositivos e de modo a aumentar a confiabilidade do sistema projetado.

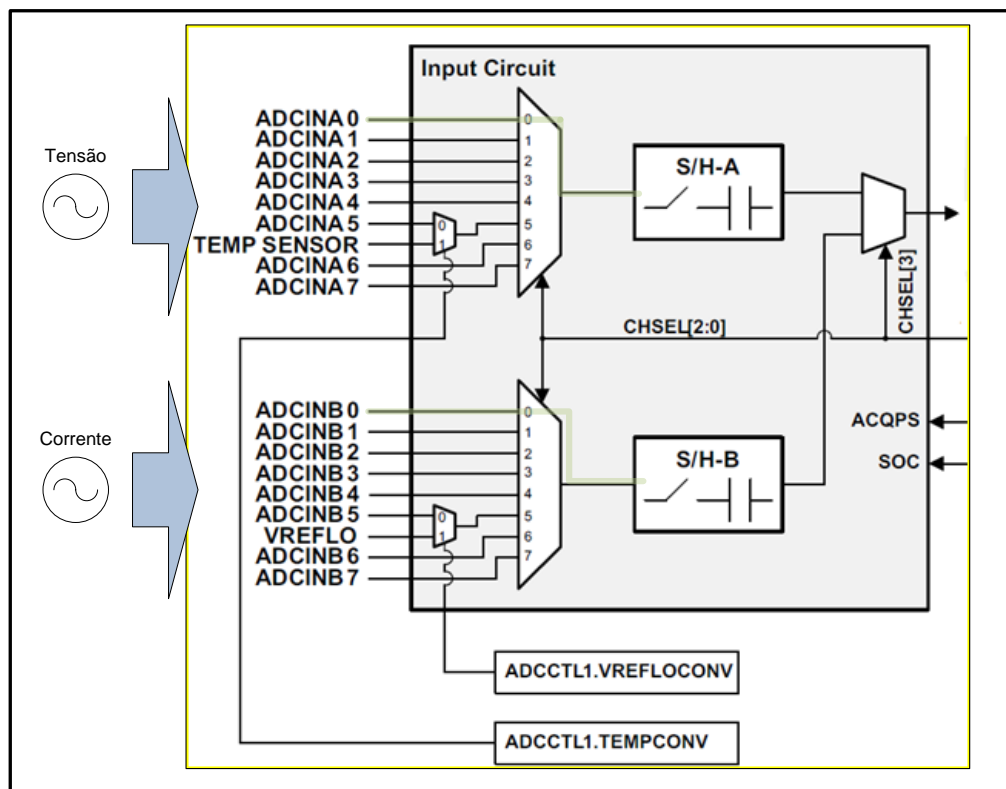


Figura 35 – Estrutura interna do conversor A/D do TMS320f28027.

Na Figura 35, o sistema acessa sequenciamento os pares de tensão e corrente de acordo com a estrutura de prioridade do SOC utilizando um único DSP, o que tem como consequência um erro fixo na medição de fase.

De acordo com as especificações técnicas do DSP TMS320F28027 o tempo de conversão A/D é de 217ns. Assim o tempo de conversão do grupo acessado simultaneamente é de 534ns. Na Tabela VIII são apresentados os valores referentes ao tempo de conversão e o erro de fase causado para a estrutura de conversão apresentada Figura 35.

Tabela IX – Tempo de Conversão e erro fasorial.

Canais aquisitados	Tempo	Erro de fase (radianos)
A1 - B1	0	0
A2 - B2	514ns	$3.2296e^{-6}$
A3 – B3	1028ns	$6.4591e^{-6}$

A seleção tipo de conversor (12 bits interno ou 16 bits externo) tem como função prover a opção de analisar e possibilitar as soluções mais adequadas de acordo com a aplicação para o *hardware*. De acordo com (CHEN, S.,2003) a resolução do conversor A/D deve ser em função do ponto em que a aferição vai ser realizada (distribuição, subtransmissão ou transmissão) e o tipo de grandeza que é desejado medir. A Tabela X e a Tabela XI apresentam a resolução do conversor em função do limites de distorção da precisão e do tipo de sistema elétrico para a medição harmônica de tensão e corrente, respectivamente.

Tabela X– Resolução necessária para medição de harmônicos de tensão.

Medição de harmônicos tensão			
Sistema elétrico	Limite de distorção	Acurasse	Resolução do conversor A/D
Distribuição	3.0%	$\pm 0.150\%$	≥ 11 bits
Subtransmissão	1.5%	$\pm 0.075\%$	≥ 12 bits
Transmissão	1.0%	$\pm 0.050\%$	≥ 12 bits

Tabela XI - Resolução necessária para medição de harmônicos de tensão.

Medição de harmônicos corrente			
Sistema elétrico	Limite de distorção	Acurasse	Resolução do conversor A/D
Distribuição	0.30%	$\pm 0.015\%$	≥ 14 bits
Subtransmissão	0.15%	$\pm 0.0075\%$	≥ 15 bits
Transmissão	0.15%	$\pm 0.0075\%$	≥ 15 bits

As soluções para aquisição dos sinais analógicos de tensão e corrente projetadas atendem a norma IEEE Std. 519:1995 para a medição de harmônicos (CHEN, S.,2003).

4.2.3 Definição do processador

Os estudos iniciais para implementação da estrutura PMU foram baseadas no DSP TMS320F2812 da Texas Instruments. A plataforma de desenvolvimento utilizada foi a EZDSP. Nos estudos iniciais foi constatado que o TMS320F2812 possuía problemas com os conversores A/D de 12 bits. Tal fato é reconhecido oficialmente pela empresa fabricante, assim como em fóruns voltados à solução de dúvidas e troca de ideias entre desenvolvedores. Devido à necessidade do desenvolvimento de uma plataforma com custo reduzido, após avaliação de vários modelos de processadores disponíveis no mercado, optou-se pela utilização do processador TMS320F28027 (PICCOLO, 2009). A escolha foi baseada em testes realizados no kit de desenvolvimento USB Piccolo, o qual proporcionou o desenvolvimento do primeiro protótipo para o Analisador de Harmônicos variantes no tempo AHVT (FABRI, D. et all,2010).

Além de apresentar um custo 73% inferior ao TMS320F2812 o processador selecionado possui conversor A/D muito estável e preciso. Nas estruturas apresentadas na Figura 34-A a utilização de três processadores TMS320F28027 representa uma redução de custo de 17% no custo final dos processadores, redução da complexidade de implementação, uma vez que o DSP escolhido possui memória Flash e RAM (*random access memory*) interna, e aumento da taxa de processamento de 80%.

4.2.4 Armazenamento de dados

O armazenamento de dados é de grande importância em sistemas de estimação de parâmetros de qualidade de energia. De forma a prover um armazenamento de alta capacidade foi implementado dois sistemas independentes de memória: Dataflash, SDcard.

- Memória Dataflash (AT45DB081/161)

Memória Dataflash é um tipo de memória proprietária da ATMEL caracterizada por comunicar via interface serial síncrona em alta velocidade (*Serial Peripheral Interface* - SPI). Esse tipo de memória pode possuir sistema duplo de armazenamento interno em RAM que permite que a memória execute tarefas de leitura e escrita simultaneamente. Tal característica permitiu o desenvolvimento do sistema de armazenamento de dados utilizado no AHVT (FABRI, D. et al, 2010). A memória Dataflash AT45DB081/161 utilizada possui capacidade de armazenamento de 8/16MB.

- Memória SD card (até 2Gb)

Outra interface disponibilizada para utilização no hardware para o analisador QE-PMU foi o SD card. A utilização desse tipo de memória permite o armazenamento de dados em até 2 GB de acordo com o *firmware* disponível no processador de gerenciamento, denominado sistema de arquivos (*file system*).

O desenvolvimento do hardware com memória de alta capacidade permite aos dispositivos a implementação de sistema de coleta de dados, para armazenamento contínuo ou temporário, abrindo possibilidade para diversos desenvolvimentos e geração de banco de dados reais.

4.2.5 Conexão USB, Ethernet e GPRS

Em sistema de monitoramento em tempo real, uma característica importante é a disponibilidade de uma interface de comunicação de alta velocidade. Interface com *ethernet* dedicada permite ao sistema conectividade em tempo real, para disponibilização de dados para os servidores de dados.

Sistema baseado em conexão GPRS (*General Packet Radio Service*) apresenta vantagem de mobilidade e depende somente da disponibilidade de sinal de telefonia celular local. O sistema GPRS apresenta desvantagens, principalmente referentes à baixa taxa de transmissão de dados e por ser caracterizado como tráfego sobre atraso, ou seja, dependente da liberação do canal de transmissão (NUNES E.F., et al,2007).

Em conexões implementadas com USB, é possível atingir altas taxa de comunicação. A USB tem a limitação de necessitar de um computador ou alguma plataforma que suporte conexão USB *HOST*. A principal aplicação do sistema USB para equipamentos de PMU e

QEE estão relacionados a coleta de dados e a configuração de dispositivos. Outra aplicação para USB é para equipamento virtuais, no qual o dispositivo de interface (coleta, processamento e armazenamento de dados) transfere os dados em tempo real ou não para um instrumento virtual no computador, exemplo de aplicações desse tipo é o AHVT com interface Labview (FABRI, D. F, 2011 ; NETO, J. G. S.; NASCIMENTO, M. M,2007).

→ Conexão de dados e *hardwares* desenvolvidos

Os equipamentos desenvolvidos para aplicação de monitoramento ou sistemas de potência têm em suas estruturas projetadas para a utilização de um ou mais interfaces de comunicação.

No *hardware* desenvolvido para operar como PMU + QEE, o hardware possui suporte à implementações com comunicação USB (configuração) e GPRS ou *Ethernet* (comunicação de dados + configuração).

Para a aplicação AHVT, implementou-se como canal de comunicação a USB, através de um conversor USB/SPI – FTDI, que possibilita a comunicação com o processador através do barramento SPI.

4.3 Hardware desenvolvido PMU + QEE

O hardware PMU+QEE tem sua representação e diagrama de blocos mostrados na Figura 36. A estrutura é baseada em 3 processadores (processamento distribuído) e os detalhes construtivos serão discutidos nesta seção.

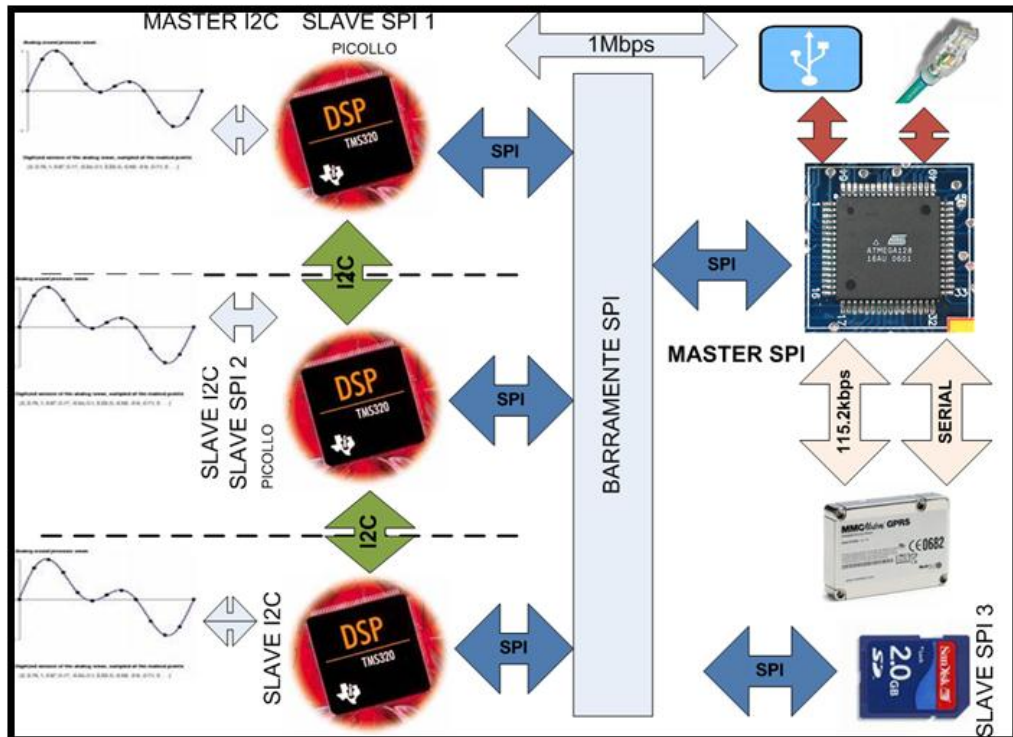


Figura 36 – Diagrama ilustrativo do hardware PMU+QEE.

4.3.1 Processadores DSP – Acesso entre processadores

A estrutura de processamento do hardware foi desenvolvida de forma a prover o desenvolvimento de um código mais simplificado e, conseqüentemente, com a vantagem de possibilitar a codificação um maior número de funções de estimação de parâmetros de qualidade de energia.

No projeto do PMU+QEE, os processadores DSP estão configurados para operarem exclusivamente na aquisição, processamento de sinais e armazenamento de parâmetros em memória Dataflash. As funções de comunicação, bem como seus protocolos são implementadas no processador ATMEL. Como o processamento do sinal de cada fase do sistema é executado separadamente em cada um dos DSPs, optou-se por desenvolver uma estrutura de comunicação para o processadores DSP que os processadores comuniquem-se entre si através do barramento I2C, sendo o processador da fase A o mestre do sistema e o processador responsável tanto por controlar os disparos de todos os conversores bem como

calcular todos os parâmetros trifásicos, como por exemplo o cálculo de componentes simétricas.

De modo a otimizar o acesso entre os processadores foram implementadas linhas de controle que permitem aos processadores da fase B e C sinalizem ao processador da Fase A o momento que desejam efetuar transferência de dados. Além da comunicação através do barramento I2C, os DSPs podem utilizar a comunicação SPI, sendo mestre ou escravo da comunicação, para isto estão previstas em hardware linhas de controle adicionais. Tal recurso visa possibilitar que os DSP sejam capazes de escrever na memória *dataflash*. Esse acesso é individual, sendo que somente um processador pode acessar, por vez, o barramento como mestre.

Para a transferência de dados dos núcleos de estimação é realizada através do processador gerenciador, ATMEGA128L opera como mestre do sistema, permitindo assim que o mesmo acesse tanto as memórias *dataflash* para descarregar eventuais dados escritos quanto para acessar e ler os parâmetros calculados. Nos esquemáticos, fornecidos no CD-ROM em anexo, é possível visualizar todas as linhas de controle e intertravamento implementadas em hardware.

4.3.2 Acesso ao processadores DSP com concentrador

O processador concentrador escolhido foi um processador 8bits da fabricante ATMEL denominado ATMEGA128L (ATMEGA128L,2011). Tal processador tem como características alto desempenho em relação a outros microcontroladores de 8 bits, suporte a implementação de *file systems* (para gerenciamento e criação de arquivos no SD card), além de alta produtividade no processo de desenvolvimento de sistemas no mesmo. Esse processador executa a tarefa de acessar individualmente tanto as memórias de massa, como os DSP estimadores de parâmetros. O barramento responsável por prover a comunicação SPI é também compartilhado com o SD card, mas somente o concentrador tem acesso ao controle de habilitação do dispositivo. Tal medida visa evitar que o cartão seja operado erroneamente durante o acesso dos DSPs como mestre do barramento. A Figura 37 mostra um diagrama ilustrativo da conexão SPI entre os DSPs, a Dataflash, o controlador ATMEL e o SD card.

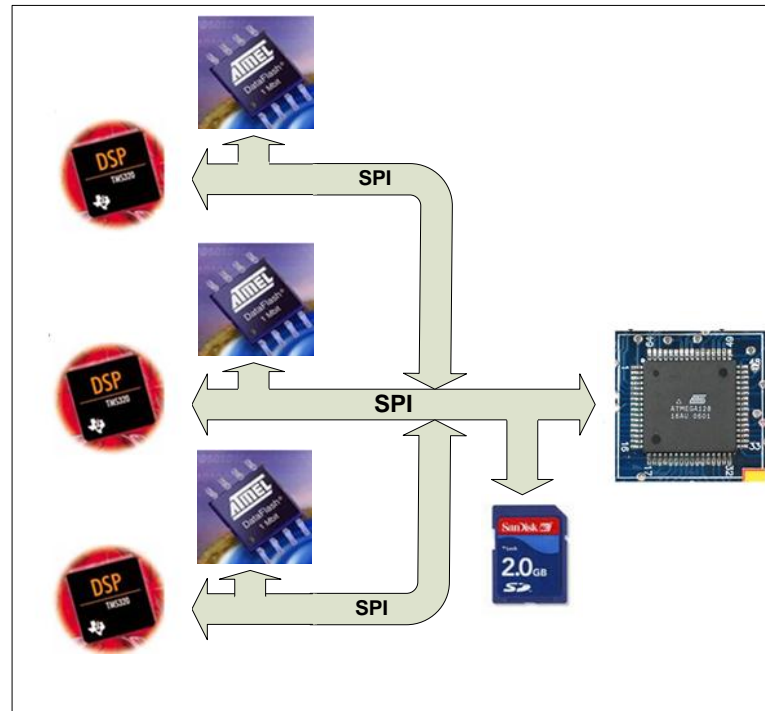


Figura 37 - Diagrama ilustrativo da conexão SPI entre os DSPs, as Dataflash, o controlador ATMEL e o SD card.

A Tabela XII apresenta a sequência de operações do barramento SPI.

Tabela XII–Sequencia de operações do barramento SPI.

Dispositivo	Dataflash A DSP FA	Dataflash B DSP-FB	Dataflash C DSP-FC	DSP FA Atmega	DSP FB Atmega	DSP FC Atmega	SD card Atmega
Atmega18	TS	TS	TS	mestre	mestre	mestre	mestre
DSP FA	mestre	TS	TS	escravo	TS	TS	TS
DSP FB	TS	mestre	TS	TS	escravo	TS	TS
DSP FC	TS	TS	mestre	TS	TS	escravo	TS
Dataflash A	escravo	TS	TS	TS	TS	TS	TS
Dataflash B	TS	escravo	TS	TS	TS	TS	TS
Dataflash C	TS	TS	escravo	TS	TS	TS	TS
SDcard	TS	TS	TS	TS	TS	TS	escravo
TS – Tri-State							

A operação do barramento SPI só é possível ser efetuada como apresentado na tabela acima pois a SPI é um barramento endereçado fisicamente, o que faz com que os dispositivos não selecionados permaneçam em modo tri-state (alta impedância), assim perante o barramento somente um mestre e um escravo estão conectados por vez.

4.3.3 Processador Concentrador

O processador concentrador tem como principal função gerenciar todos os acessos para coleta dos dados referentes as estimações de amplitude e fase executada pelos DSPs e prover o controle do enlace de comunicação, recepção das informações do GPS e montagem do pacote de dados a ser transmitido ao servidor de dados, o qual pode ser um CDC (PMU) ou um servidor de dados desenvolvido para gerenciamento e armazenamento de parâmetros de qualidade de energia.

A aquisição dos dados provenientes do GPS é feita por meio da interface serial/RS232-TTL (serial 1). O processador Atmel, ao receber os dados, efetua a decodificação do protocolo TSIP. O processador gerenciador é composto por duas portas de comunicação serial (SCA), na qual a serial 0 está destinada à conexão de dados, e consequentemente a possibilidade de atualização remota por meio de sistema de *bootloader* (atualização de *firmware* via interface serial, sem a necessidade de utilizar um dispositivo de programação). Os dados são recebidos em formato hexadecimal e convertidos, dos quais são retiradas informações como data, hora, UTC, número de satélites entre outras informações. A recepção de dados é executada por meio de interrupção da porta serial, desse modo o pacote de dados TSIP só é processado ao fim da recepção de todos os dados necessários ao algoritmo de decodificação. Na Figura 38 é apresentado um diagrama de blocos a estrutura de operações básicas do processador gerenciador para operação como PMU. As tarefas do mesmo são compreendidas em executar a de recepção de dados, extrair informações do módulo GPS, comunicação com os processadores responsáveis por estimar amplitude fase e frequência e montagem da estrutura de informações a serem transmitidas.

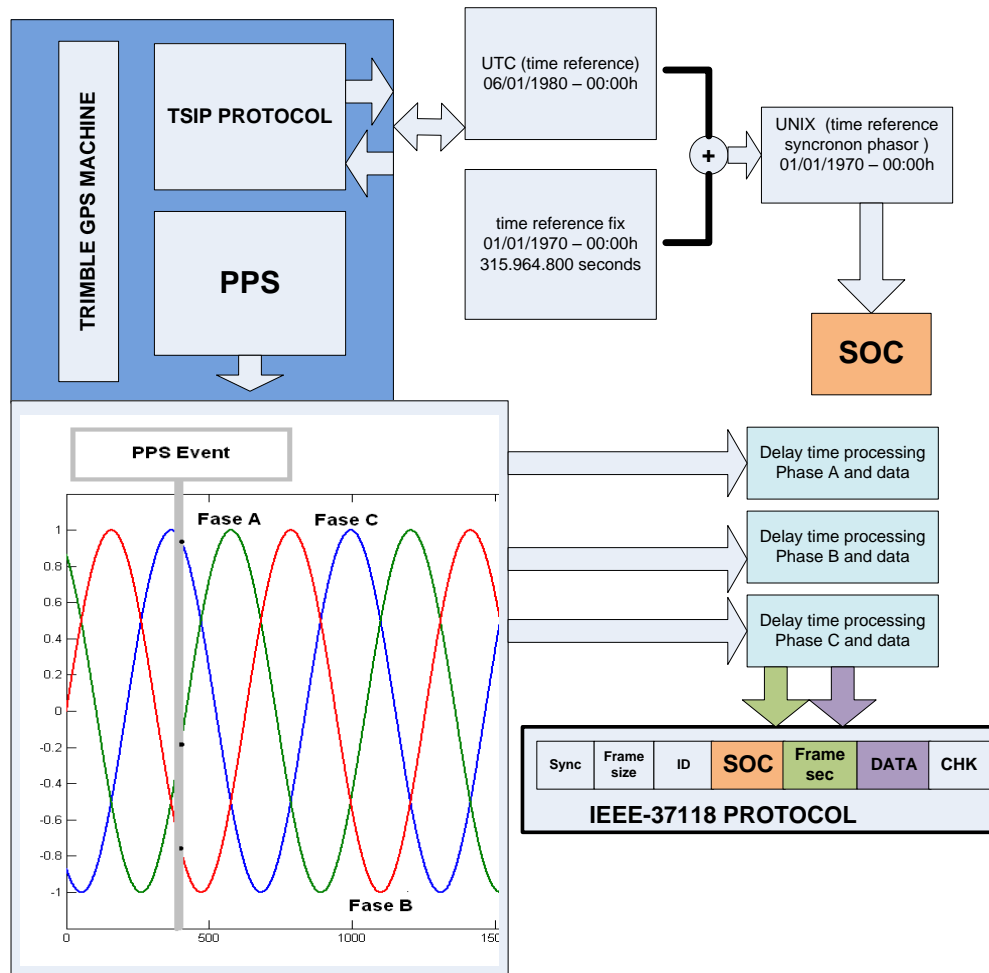


Figura 38 – Diagrama do processador gerenciador.

4.3.4 Comunicação Ethernet/GPRS

De modo a possibilitar a comunicação do equipamento, o *hardware* prevê a implementação de uma porta de comunicação serial, na qual pode ser conectada módulos externos para possibilitar a comunicação via GPRS ou ethernet.

Os módulos de comunicação GPRS em análise para as implementações são:

- Comunicação 2G- GSM/GPRS – Leon 2G – U-blox (modulo certificado no Brasil).
- Comunicação 3G – Lisa H3.5G Standard UMTS/HSDPA (modulo certificado no Brasil).

4.3.5 Relógio de tempo real – sistema de temporização redundante

O relógio de tempo real (RTC) é um dispositivo de temporização que tem função de prover informação de data e hora. Nos projetos apresentados o RTC tem a função de ser um *hardware* de temporização redundante. A utilização do mesmo tem como proposta suprir uma possível falha do GPS. Em condições meteorológicas adversas, como tempestades muito intensas acompanhada de nuvens eletricamente muito carregadas e, principalmente, na presença de tempestades solares, os sinais do GPS podem sofrer atenuações acentuadas e até mesmo impossibilitar a recepção dos sinais provenientes dos satélites da constelação (DEMIREL N. A., H., 2007). De modo a minimizar as possibilidades de falhas de operação e perda de sincronismo, o RTC foi implementado visando a operação ininterrupta do dispositivo. O RTC utilizado é o DS1388 (MAXIM, 2010), com comunicação e configuração via interface I2C e pino de saída de *clock* SQW (*square wave*), o qual é utilizado como base de tempo em caso de falhas do GPS, por um breve intervalo de tempo.

A Figura 39 mostra o diagrama de blocos da estrutura de detecção dos pulsos de sincronismo. A detecção dos pulsos provenientes do GPS e RTC são realizadas via interrupção de *hardware*. As interrupções de *hardware* são atendidas com prioridade elevada, permitindo a estimação das diferenças temporais entre os sinais do RTC e do GPS com precisão inferior a 1 μ s. Todo o processo de determinação da fonte de sincronismo é implementada em *hardware*, mas operada em *software*, devido à necessidade do processador constantemente verificar se o sinal adquirido do GPS é válido ou não.

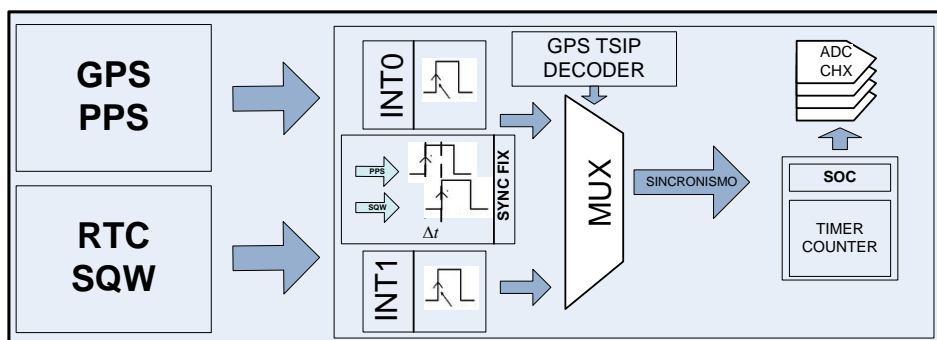


Figura 39 – Diagrama de bloco do sistema de detecção de pulsos e sincronismo.

4.4 Hardware de Autocalibração

O sistema analógico de condicionamento e aquisição estão sujeitos a variações nas características dos filtros devido a variação de temperatura, precisão e envelhecimento dos componentes, além de outros fatores.

De modo a aumentar a confiabilidade do equipamento e promover a constante calibração do dispositivo, foi implementado um hardware específico de modo a prover as ferramentas necessárias.

O sistema de auto calibração tem sua estrutura apresentada na Figura 40.

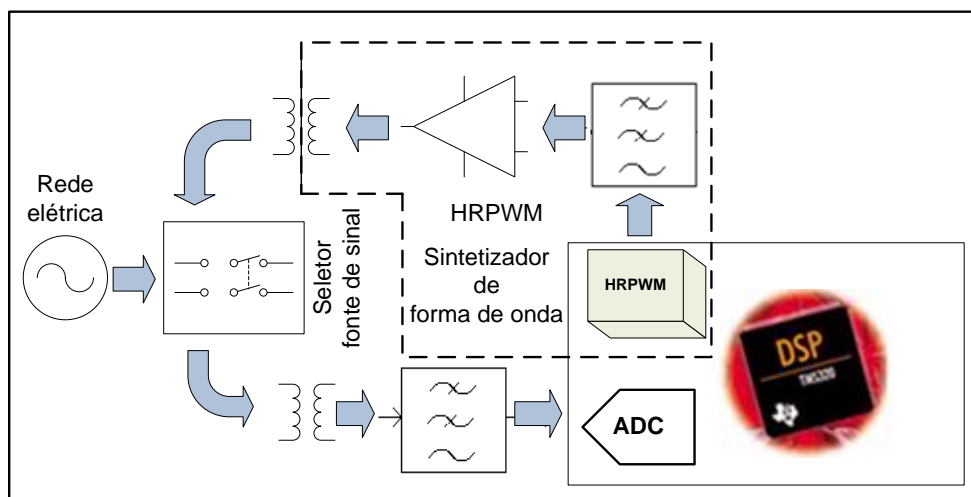


Figura 40- Diagrama de blocos do sistema de auto calibração.

O conceito de geração de forma de onda é baseado na modulação por largura de pulso de alta resolução, do inglês, HRPWM (*high resolution pulse width modulation*). Tal recurso permite que um sinal seja sintetizado com resolução equivalente a 16 bits. O PWM/DAC é nada mais que a operação do PWM como um conversor analógico digital. Para que isso seja realizável é necessário que a componente de alta frequência proveniente do PWM seja eliminada através de um filtro passa baixa. A sintetização é feita através de uma tabela seno calculada pelo do algoritmo do gerador seno-cosseno (MITRA, S. K. , 2006) a ser apresentado no Capítulo 6. A Figura 40 apresenta o conceito em diagrama de blocos do sistema de auto calibração. Na Figura 41 é apresentado o comparativo entra a sintetização PWM/DAC realizada por um PWM comum e um HRPWM (INSTRUMENTS,2008).

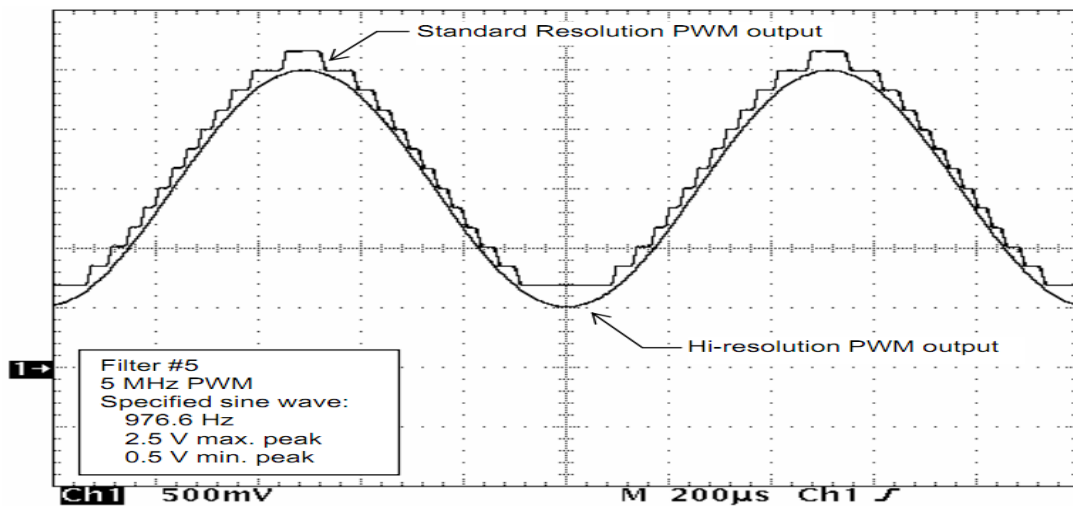


Figura 41 – Conversor D/A implementado a partir do PWM.

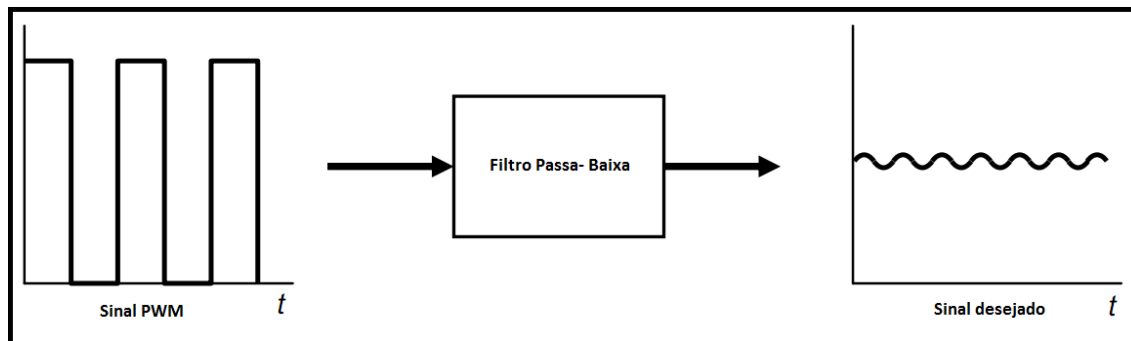


Figura 42 – Estrutura do DAC a partir do sinal PWM.

A Figura 42 apresenta o diagrama de blocos do sintetizador HRPWM, é importante observar que o sinal proveniente do DSP possui uma componente DC. Essa componente é fundamental para a sintetização, pois a mesma representa o zero do sinal desejado. Uma vez filtrado o sinal por meio de um filtro passa-baixas, ativo ou passivo, o sinal precisa ser amplificado e excursionado de forma a eliminar a componente DC e erro de *offset* proveniente de amplificadores operacionais, quando os filtros ativos são utilizados. Dessa forma, o sinal adquire simetria de tensão e, conseqüentemente, pode ser diretamente aplicado no secundário do transformador elevador.

O sistema possui relés de seleção de fonte o qual determina qual sinal será aplicado ao transformador de medição de tensão. Caso seja desejada a calibração do circuito, o relé de seleção é ativado fazendo com que a rede elétrica seja desacoplada do transformador, assim o

sinal sintetizado e devidamente amplificado seja aplicado. Como as características do sinal sintetizado são conhecidas, o DSP efetua a medição de fase e amplitude para as frequências de interesse de operação (fundamental + harmônicos) e aplica o fator de correção baseado no algoritmo de correção DFT (FABRI D. F., 2011).

O sistema de auto calibração propicia uma redução do tempo de ajuste dos circuitos analógica, pois as mesmas não precisa serem aferidas e corrigidas com elevado nível de precisão. O ajuste fino do sistema será efetuado através de rotinas de software específicas para o hardware desenvolvido. É importante citar que os filtros utilizados possuem faixa de passagem com ganho unitário mas podem sofrer modificações decorrentes do envelhecimento do equipamento.

4.5 Hardwares Desenvolvidos – Protótipos

As placas protótipos para os projetos PMU + QE e AHVT com as listas das características das mesmas são apresentadas abaixo:

4.5.1 PMU + QEE

A equipamento PMU+QE é composto por um conjunto de 3 placas, a saber placa de processamento, placa de aquisição de corrente e placa de aquisição de tensão;

→ Placa de Processamento

- Processadores DSP TMS320F28027 – 60 MHz/ 60 MMACS (milhões de multiplicações e acumulações por segundo);
- Programadores e depuradores XDS100 (TI) independentes para cada DSP com interface de comunicação serial-USB integrada;
- Processador concentrador Atmega128L – 8 MIPS (milhões de instruções por segundo);
- Relógio de tempo real RTC DS1388;

- GPS Trimble Lassen IQ 12 canais;
- SD card - suporte até 2GB;
- Memórias *Dataflash* independentes por processador DSP;
- Display LCD 16x2 alfanumérico;
- Botões tácteis para configuração da PMU;
- relés para controle de carga externa (2 contatos reversíveis);
- Possibilidade de fonte de *clock* independente ou integrado para os DSPs;
- Baterias independentes de backup GPS e RTC;
- Conectores IDC 2x10 para sinais de tensão e corrente.
- Sistema de *nobreak* integrado;
- Suporte a módulos de conexão ethernet e GPRS integrados;

A foto ilustrativa da placa de processamento é apresentada na Figura 43 e todos os diagramas esquemáticos encontram-se disponível no CD-ROM, anexo a esta dissertação.

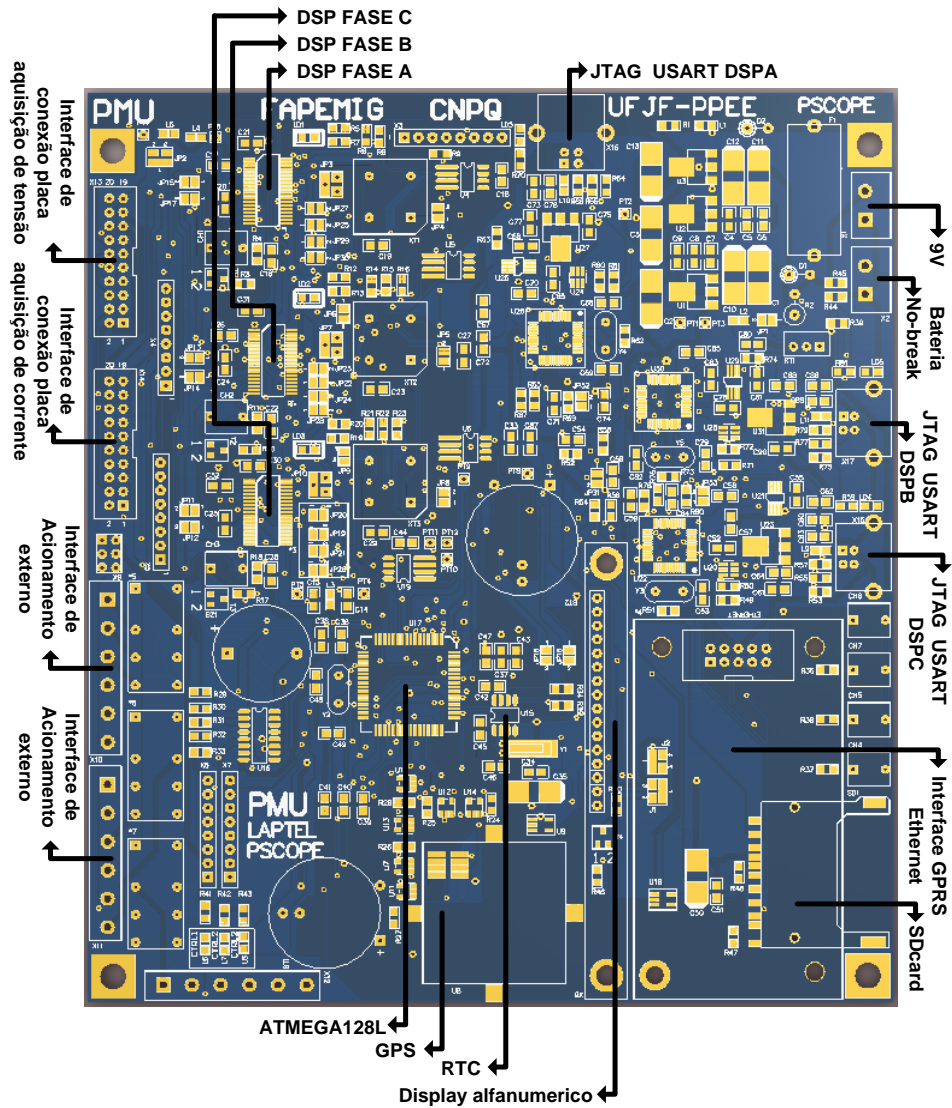


Figura 43 – Foto da face superior da placa de processamento.

Placa de Aquisição de Corrente e tensão que compõe o equipamento PMU+QE, é descrita e apresentada no capítulo 3.

4.5.2 Placa de sincronofasor monofásico

A plataforma de processamento sincronizado monofásico foi desenvolvida com o intuito de prover recurso para o estudo e o monitoramento da qualidade de energia em locais afastados, como regiões rurais onde é muito comum a presença de distribuição de energia monofásica.

Essa é uma versão de desenvolvimento com os recursos mínimos, para possibilitar a implementação, estudo e validação de algoritmos e estruturas de controle e aquisição de dados. A plataforma em questão já foi testada com sucesso, permitindo a implementação, simulação (modo de animação DSP) e execução em tempo real de algoritmos QPLL, DFT, *trigger* de eventos, sintetizador de sinais para auto calibração, DFT-AHVT com armazenamento em memória *Dataflash* e decodificador de protocolo GPS-TRIMBLE-TSIP.

→ Características:

- 1 canal de aquisição de tensão transformador com relação 600 V – 6 V, com banda de passagem de 20 KHz e circuito de condicionamento de corrente citado no Capítulo 3;
- Seleção de conversores AD – 12bits DSP ou 16 bits externo –AD7860;
- Conversores – Fonte de tensão independente e isolada;
- Filtro analógico 6° ordem corrente – Salley-key (configurável de acordo com aplicação);
- Filtro analógico 6° ordem tensão – Salley-key (configurável de acordo com aplicação);
- Ajuste de ganho e referência de tensões independentes;
- GPS com sistema de *reset*;
- Jtag XDS100 com depurador e programador;

A foto ilustrativa da placa sincronofasor monofásica é mostrada na Figura 44 e todos os diagramas esquemáticos encontram-se disponível no CD-ROM, anexo a esta dissertação.

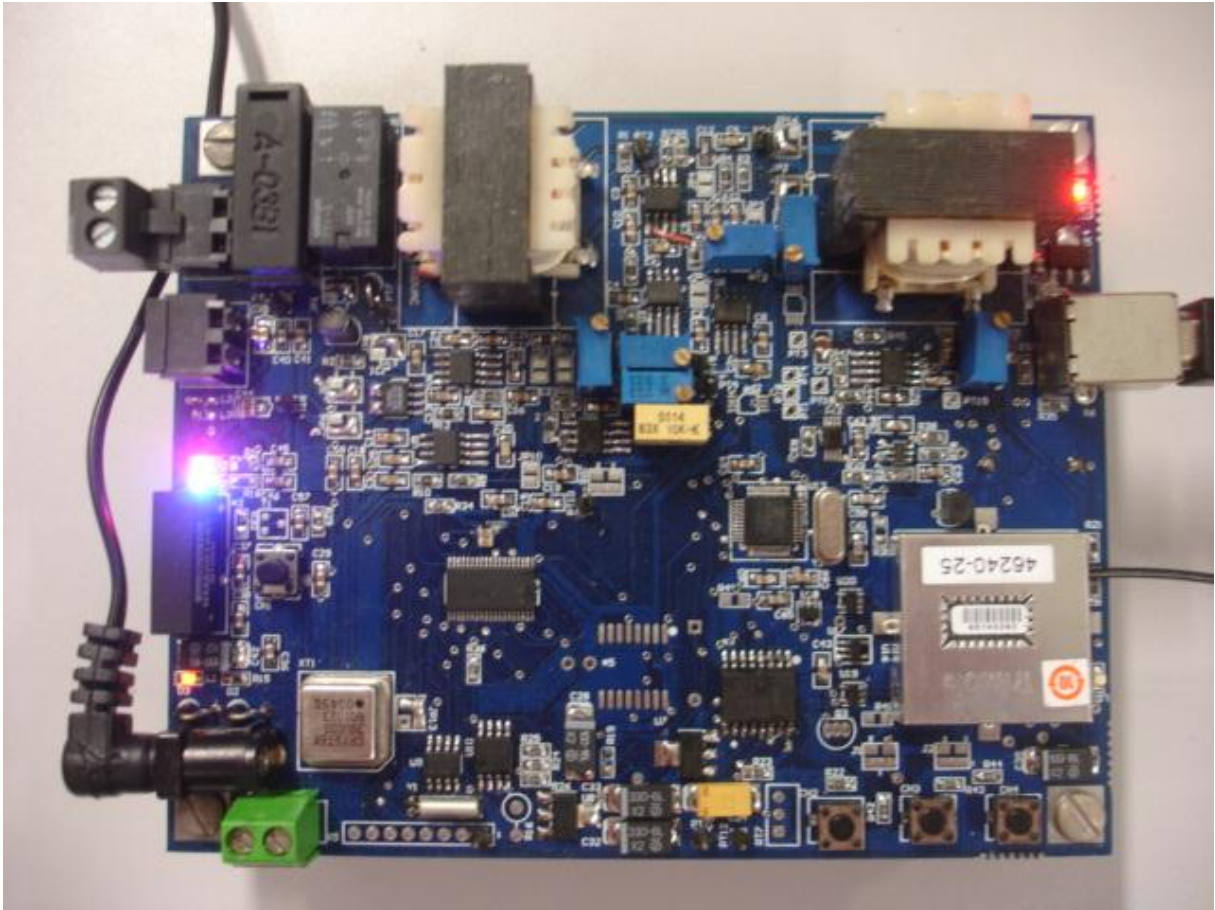


Figura 44 – Foto da placa do sincronofasor monofásico.

4.5.3 AHVT – Analisador de Harmônicos Variantes no Tempo

→ AHVT – CPU Placa de processamento AHVT

A placa de processamento AHVT é uma plataforma contendo um DSP, banco de memórias *Dataflash* (armazenamento máximo de 32Mbytes) e interface de comunicação em alta velocidade SPI-USB (máxima velocidade de transferência 3Mbits/s). A principal característica da placa do AHVT é o fato da mesma possuir a interface de comunicação isolada via acopladores ópticos de alta velocidade (6N137 – 10Mbits/s). O recurso de isolamento foi implementado de modo a evitar danos ao computador para o qual os dados serão transmitidos. O AHVT é um módulo de aquisição e pré-processamento e será integrado a um instrumento virtual.

O banco de memória implementado permite a aquisição ininterrupta de dados a uma taxa de 7680 amostras por segundo (60 x 128 pontos/ciclo) por um período de 34 minutos,

podendo ser, posteriormente, descarregado via serial (interface JTAG + serial) ou via SPI de alta velocidade. O hardware AHVT pode ser utilizado para a implementação de instrumentos virtuais, coletor de parâmetros, analisador de qualidade de energia.

A foto ilustrativa da placa de processamento do AHVT é apresentada na Figura 45, enquanto os diagramas esquemáticos encontram-se disponíveis no CD-ROM anexo a esta dissertação.

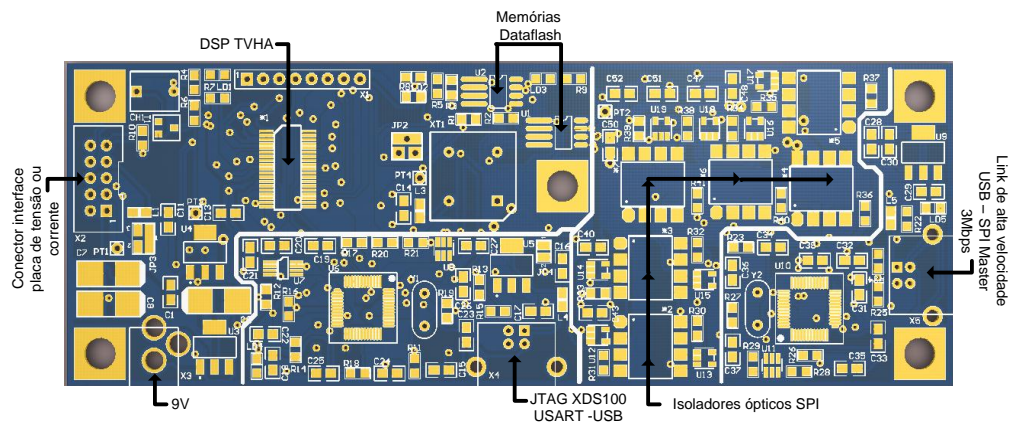


Figura 45 - Foto ilustrativa do módulo de processamento do AHVT

Placa de Aquisição de Corrente e tensão que compõe o equipamento PMU+QE, é descrita e apresentada no capítulo 3.

4.6 Conclusão do Capítulo

Este capítulo apresentou os detalhes construtivos das diversas plataformas de hardware que foram implementadas neste trabalho. Os hardwares apresentados tiveram como propósito a disponibilização de plataformas de processamento que viabilizassem estudos, pesquisas e implementação dos mais diversos tipos de algoritmos para processamento em sistema de potência, em especial para implementação de unidade PMU, de medidor de QEE e do AHVT. Diversos algoritmos foram implementados, sendo que alguns testes serão apresentados no capítulo 6.

5 Algoritmos Básicos

Neste capítulo são apresentados dois algoritmos básicos da plataforma de processamento: (a) SWRDFT e (b) o QPLL. O SWRDFT é utilizado tanto para a estimação fasorial como para a decomposição do sinal em suas componentes harmônicas variantes no tempo. O QPLL é utilizado para estimação fasorial e a estimação de frequência. Estes algoritmos foram implementados na plataforma com o objetivo de testar a estrutura básica do hardware. A implementação de todos os algoritmos para que a plataforma se transforme num analisador de QEE, unidade PMU, ou AHVT está fora do alcance deste trabalho. Assim este capítulo apresenta algoritmos importantes e que estarão presentes na implementação final das aplicações, porém não esgota o assunto que será alvo de trabalhos futuros.

5.1 A SWRDFT

A SWRDFT é uma derivação da *Short-Time Fourier Transform* (STFT), a qual utiliza filtros de coeficientes complexos para gerar um sinal de saída, o qual a magnitude corresponde a amplitude da componente harmônica na faixa de frequência do filtro. Quando utiliza-se uma janela retangular na STFT, um algoritmo recursivo de baixa complexidade computacional pode ser derivado, conhecido como DFT Recursiva ou DFT de Janela Deslizante (SWRDFT) (MITRA S. K, 2006; HARTLEY; WELLES K., 1990).

A estrutura da SWRDFT aplicado a decomposição de harmônicos variantes no tempo foi apresentada em (SILVEIRA, P. M.et al., 2008). Para se obter a expressão final da SWRDFT, considere inicialmente a definição de STFT para o sinal digital $x[n]$ como, (VAIDYANATHAN, P.P.;YUHUA GU, BOLLEN M. H. J).

$$X_{STFT}(e^{jw_h}, n) = \sum_k x_n[k].v[n-k]e^{-jw_h k} \quad (5.1)$$

em que $v[n]$ representa uma função de janelamento convenientemente escolhida, como por exemplo uma janela retangular, de comprimento L , $x_n[n]$, $k = 0, 1, \dots, N - 1$ representa os termos de $x[n]$ sobre a janela e,

$$w_h = \frac{2\pi h}{N}, \quad h = 0, 1, 2, \dots, N-1 \quad (5.2)$$

é a frequência digital em radianos do harmônico h e N representa o número total de harmônicos. A frequência digital relaciona-se com a frequência analógica (rad/s) através da seguinte relação,

$$\Omega_h = \frac{\omega_h \cdot f_s}{2\pi} \quad (5.3)$$

em que f_s é a frequência de amostragem.

Se a janela empregada for a janela retangular (5.1) pode ser escrita como,

$$X_{STFT}(e^{jw_h}, n) = \sum_{k=0}^{N-1} x_n[k] \cdot \cos(w_h k) - jx_n[k] \text{sen}(w_h k) \quad (5.4)$$

A parte real e imaginária de (5.4) pode ser escrita separadamente, com

$$Y_{C_h}[n] = \sum_{k=0}^{N-1} x_n[k] \cdot \cos(w_h k) \quad (5.5)$$

$$Y_{S_h}[n] = -\sum_{k=0}^{N-1} x_n[k] \text{sen}(w_h k) \quad (5.6)$$

Estas duas equações podem ser escritas na sua forma recursiva como (HARTLEY, R.; WELLES, K., 1990):

$$Y_{C_h}[n] = Y_{C_h}[n-1] + (x[n] - x[n-N]) \cdot \cos(w_h n) \quad (5.7)$$

$$Y_{S_h}[n] = Y_{S_h}[n-1] - (x[n] - x[n-N]) \cdot \sin(w_h n) \quad (5.8)$$

Estas equações representam a DFT na sua forma recursiva e com janela deslizante, e por isso é conhecida em algumas literaturas como SWRDFT (*sliding window recursive DFT*), ou simplesmente DFT recursiva.

Normalmente a DFT recursiva é utilizada para a estimação da amplitude e fase da componente fundamental e dos harmônicos (MITRA S. K, 2006). Esta estrutura tem sido utilizada para a estimação dos parâmetros da PMU (PHADKE, A.G.; J.S. THORP, 2008), contudo ela também pode ser utilizada para a extração das componentes harmônicas (FABRI, D. F., 2011). Esta tarefa pode ser obtida lembrando-se que a série de Fourier de um sinal periódico pode ser escrita como,

$$x[n] = a_0 + 2 \sum A_h \cdot \cos(w_h n + \theta_h) \quad (5.9)$$

ou ainda,

$$x[n] = a_0 + \sum Y_{C_h}[n] \cdot \cos(w_h n) + Y_{S_h}[n] \cdot \sin(w_h n) \quad (5.10)$$

Assim ao obter os termos em quadratura $Y_{C_h}[n]$ e $Y_{S_h}[n]$ a partir de (5.7) e (5.8) o sinal pode ser reconstruído.

Ainda, a partir de (5.10) o harmônico h , denominado $x_h[n]$, pode ser reconstruído usando (5.11), como,

$$x_h[n] = Y_{C_h}[n] \cdot \cos(w_h n) + Y_{S_h}[n] \cdot \sin(w_h n) \quad (5.11)$$

Para a geração da decomposição harmônica, (5.11) mostra a necessidade de funções senos e cossenos. Uma maneira eficiente de gerar estas funções é através do gerador de cossenos apresentado em (MITRA S. K, 2006). Este gerador pode ser implementado utilizando-se um conjunto mínimo de operações matemáticas, 4 multiplicações e 2 somas, conforme a descrição de sua equação de estados,

$$\begin{bmatrix} s_1[n] \\ s_2[n] \end{bmatrix} = \begin{bmatrix} \cos(w_h) & \cos(w_h) + 1 \\ \cos(w_h) - 1 & \cos(w_h) \end{bmatrix} \cdot \begin{bmatrix} s_1[n-1] \\ s_2[n-1] \end{bmatrix} \quad (5.12)$$

em que $s_1[n]$ é a saída do gerador de senos e $s_2[n]$ a saída do gerador cosseno e as condições iniciais devem ser corretamente especificadas.

A Figura 46 apresenta o diagrama de blocos do núcleo de decomposição do harmônico h. Note que a estrutura apresentada é ao mesmo tempo um estimador fasorial e uma estrutura de decomposição, portanto ela pode ser utilizada em qualquer uma das aplicações (Unidade PMU, Analisador de QEE, ou AHVT). Na figura 46, os símbolos

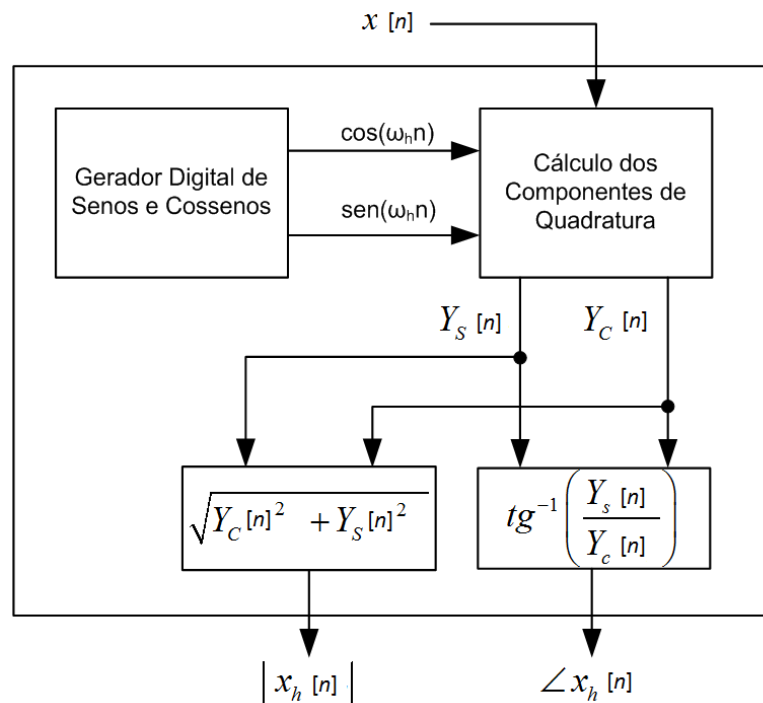


Figura 46 – Estrutura de Cálculo da DFT.

5.2 O QPLL

Esta metodologia consiste no emprego do algoritmo PLL (*Phase-Locked Loop*) discretas para obtenção das estimativas de amplitude, frequência e fase. A unidade PLL consiste num filtro, cujo comportamento é regido por um conjunto de equações não-lineares. Estas equações são obtidas através de uma modelagem não-linear para o problema de extração de uma componente senoidal de um sinal qualquer (ZIARANI, A. K.; KONRAD, A, 2004; KARIMI-GHARTEMANI, M.; IRAVANI, M. R., 2003; 2005; CARVALHO, J. R. et al, 2007). Essa seção descreve uma malha PLL proposta em (KARIMI-GHARTEMANI, M. et al, 2004), também conhecida como QPLL (*“quadrature-PLL”*), em função da malha realizar

a aquisição das componentes em fase e em quadratura da componente fundamental de um sinal de entrada qualquer.

Considere um sinal periódico $u_0(t)$, composto por harmônicas e ruídos aditivos, tipicamente presentes em sistemas de potência:

$$u_0(t) = u_1(t) + \sum_{i \neq 1} A_i \text{sen}(i\omega_0 t + \varphi_i) + n(t) \quad (5.13)$$

em que $u_1(t)$ é a sua componente fundamental e $n(t)$ representa um ruído aditivo.

O problema consiste em se determinar os parâmetros (amplitude, fase e frequência) da componente fundamental do sinal $x(t)$, dada por:

$$u_1(t) = A_1 \sin(\omega_1 t + \varphi_1) = A \sin(\psi(t)) \quad (5.14)$$

em que A é o valor de pico da senóide, ω é a sua frequência (rad/s), φ é a sua fase (rad) e $\psi(t)$ é o argumento da senóide.

Assim, através da utilização de um processo que permita determinar todos os parâmetros desejados da componente fundamental de entrada, pode-se sintetizar uma senóide *sincronizada* com a componente fundamental de um sinal de entrada, através da utilização de (5.14).

Considere um conjunto M formado por todos os sinais senoidais periódicos em função do tempo e em função de um conjunto de parâmetros, também em função do tempo, e fase “ $\theta(t)$ ”. Desse modo, o conjunto M será dado por:

$$M = \{y(t, \theta(t)), t \in \mathfrak{R}, y : \text{senóide}\} \quad (5.15)$$

em que,

$$\theta(t) = [\theta_1(t) \ \theta_2(t) \ \dots \ \theta_n(t)]^T \quad (5.16)$$

representa o vetor de parâmetros, o qual resulta no espaço de parâmetros:

$$\Theta(t) = \{[\theta_1(t) \ \theta_2(t) \dots \theta_n(t)], \theta_i \in [\theta_i^{\min}, \theta_i^{\max}], i = 1, \dots, n\} \quad (5.17)$$

Nesse caso, o objetivo é a obtenção de uma senóide $y(t, \theta(t))$, pertencente ao conjunto M , que esteja mais “próxima” do sinal de entrada, $u(t)$. Como em sistemas de potência a componente fundamental do sinal elétrico possui tipicamente mais energia que as suas componentes harmônicas, a determinação da senóide $y(t, \theta(t))$ mais próxima do sinal de entrada $u(t)$ será consequentemente a componente fundamental do mesmo.

Assim, a senóide $y(t, \theta(t))$ deve estar associada a um vetor “ θ ” ótimo que minimize a função erro entre o sinal de entrada e a senóide $y(t, \theta(t))$, ou seja:

$$\theta_{\text{ótimo}} = \arg \min_{\theta \in \Theta} e[y(t, \theta(t), u(t))]. \quad (5.18)$$

Obviamente, o vetor $\theta_{\text{ótimo}}$ deve pertencer ao conjunto Θ definido na Equação (5.15), ou seja, $\theta_{\text{ótimo}} \in \Theta$.

A função erro entre a senóide $y(t, \theta(t))$ procurada e o sinal de entrada $u(t)$ é dada por:

$$d(t, \theta(t)) = [u(t) - y(t, \theta(t))] = e(t) \quad (5.19)$$

Define-se uma função *custo*, associada à função erro, dada por:

$$J(t, \theta(t)) = d^2(t, \theta(t)) \quad (5.20)$$

O procedimento seguinte é a estimação do vetor $\theta_{\text{ótimo}}$ que minimize a distância entre o sinal de entrada e a senóide procurada, $y(t, \theta(t))$, ou seja, minimize a função custo.

Utilizando-se o método *gradiente-descendente* como procedimento para minimização da função custo (SNYMAN, J. A, 2005), têm-se:

$$\frac{d\theta(t)}{dt} = -\mu \cdot \frac{\partial[J(t, \theta(t))]}{\partial\theta(t)} \quad (5.21)$$

em que:

$$\mu = \begin{bmatrix} \mu_1 & & & & \\ & \mu_2 & & & \\ & & \ddots & & \\ & & & \ddots & \\ & & & & \mu_n \end{bmatrix} \quad (5.22)$$

é a matriz que determina a velocidade de convergência do algoritmo, bem como sua estabilidade, chamada de matriz de regulação. O sinal negativo é usado na Equação (5.21) em consequência de o processo gradiente-descendente buscar a minimização da função custo.

Discretizando-se a Equação (5.21), através do método *Euler em atraso*, tem-se:

$$\theta[k] = \theta[k-1] - \mu T_s \frac{\partial J(t, \theta[k-1])}{\partial \theta[k-1]} \quad (5.23)$$

em que T_s é a taxa de amostragem utilizada no processo de discretização. Desse modo, após efetuar-se a escolha dos parâmetros da componente fundamental a serem determinados, utiliza-se a Equação (5.23) para sua estimação.

Considerar, agora, a determinação dos parâmetros da componente fundamental do sinal $u(t)$ dado pela Equação (5.13). Tem-se que a componente fundamental, $u_1(t)$, pode ser representada através da seguinte equação:

$$u_1(t) = A \cdot \text{sen}(\psi(t)) = K_s \cdot \text{sen}(\phi(t)) + K_c \cdot \text{cos}(\phi(t)) \quad (5.24)$$

onde $A = \sqrt{K_c^2 + K_s^2}$ e $\psi(t) = \phi(t) + \tan^{-1} \frac{K_c}{K_s}$.

Nesse caso, os parâmetros a serem determinados são as componentes em fase e em quadratura do sinal, dados por K_s e K_c , bem como a fase $\phi(t)$. A fase $\phi(t)$ pode ser representada por $\phi(t) = \int_0^t (\omega_0 + \Delta\omega(\zeta)) d\zeta$, onde ω_0 é uma frequência previamente definida, próxima à frequência do sinal de entrada $u_1(t)$ e $\Delta\omega$ representa o desvio de frequência do sinal em torno da frequência central ω_0 . Desse modo, deseja-se estimar uma senóide $y(t, \theta(t))$ pertencente ao conjunto M descrito em (5.15), que esteja em função do tempo e em função do vetor de parâmetros $\theta(t)$ definido por:

$$\theta(t) = [K_s(t) \ K_c(t) \ \Delta\omega(t)] \quad (5.25)$$

O vetor de parâmetros $\theta(t)$ a ser encontrado deve minimizar a função custo definida por:

$$J(t, \theta(t)) = e^2(t, \theta(t)) = (u(t) - y(t))^2 \quad (5.26)$$

A função erro é expressa por:

$$e(t) = u(t) - [K_s \cdot \text{sen}(\phi(t)) + K_c \cdot \text{cos}(\phi(t))] \quad (5.27)$$

O próximo passo é a estimação do vetor de parâmetros ótimo $\theta_{\text{ótimo}}$ que minimiza a função custo definida pela Equação (5.26). A minimização da função custo é efetuada através da utilização do método gradiente-descendente, ou seja:

$$\frac{d\theta(t)}{dt} = -\mu \frac{\partial [J(t, \theta(t))]}{\partial \theta(t)} = -\mu \frac{\partial [e^2(t, \theta(t))]}{\partial \theta(t)} \quad (5.28)$$

A equação anterior pode ser simplificada através da utilização da seguinte relação:

$$\frac{df^2(t)}{dt} = 2 \cdot f(t) \cdot \frac{df(t)}{dt} \quad (5.29)$$

Assim,

$$\frac{d\theta(t)}{dt} = -2.e(t, \theta(t)).\mu \frac{\partial[e(t, \theta(t))]}{\partial\theta(t)} \quad (5.30)$$

Substituindo-se a Equação (5.25) e (5.27) na Equação (5.30), têm-se:

$$\begin{bmatrix} \dot{K}_s(t) \\ \dot{K}_c(t) \\ \dot{\Delta\omega(t)} \end{bmatrix} = 2e(t) \begin{bmatrix} -\mu_s & 0 & 0 \\ 0 & -\mu_c & 0 \\ 0 & 0 & -\mu_f \end{bmatrix} \begin{bmatrix} -\text{sen}(\phi(t)) \\ -\text{cos}(\phi(t)) \\ t(-K_s \text{cos}(\phi(t)) + K_c \text{sen}(\phi(t))) \end{bmatrix} \quad (5.31)$$

Nas equações anteriores, o ponto sobre as variáveis representa as derivadas das funções em relação ao tempo. Note que (5.31) é variante no tempo; deste modo, admitindo-se que o sinal de entrada $u(t)$ seja aproximadamente periódico, pode-se esperar que o conjunto de soluções das equações diferenciais também seja periódico. Desse modo, duas soluções são possíveis (KARIMI-GHARTEMANI, M. et al, 2004):

- Considerar a variável t como sendo igual à mod $(2\pi/w_0)$;
- Igualar a variável t a um valor contido no intervalo pertencente ao intervalo $(0, 2\pi)$.

A segunda opção é escolhida. Desse modo, a variável t é “absorvida” pela constante μ_f e o conjunto de equações do processo de estimação da senóide $y(t)$ será dado por:

$$\begin{aligned} \dot{K}_s(t) &= 2.\mu_s.e(t).\text{sen}(\phi(t)) \\ \dot{K}_c(t) &= 2.\mu_c.e(t).\text{cos}(\phi(t)) \\ \dot{\Delta\omega(t)} &= 2.\mu_f.e(t)[K_s.\text{cos}(\phi(t)) - K_c.\text{sen}(\phi(t))] \\ \dot{\phi(t)} &= \omega_0 + \Delta\omega(t) \\ y(t) &= K_s.\text{sen}(\phi(t)) + K_c.\text{cos}(\phi(t)) \\ e(t) &= u(t) - y(t) \end{aligned} \quad (5.32)$$

Discretizando-se o conjunto de equações representado em (5.30), através do método Euler em atraso, têm-se:

$$\begin{aligned}
 Ks[n+1] &= Ks[n] + 2.Ts.\mu_s.e[n].sen(\phi[n]) \\
 Kc[n+1] &= Kc[n] + 2.Ts.\mu_c.e[n].cos(\phi[n]) \\
 \Delta\omega[n+1] &= \Delta\omega[n] + 2.Ts.\mu_f.e[t][Ks.cos(\phi[n]) - Kc.sen(\phi[n])] \\
 \phi[n+1] &= \phi[n] + Ts.(\omega_0 + \Delta\omega[n]) \\
 y[n] &= Ks[n].sen(\phi[n]) + Kc[n].cos(\phi[n]) \\
 e[n] &= u[n] - y[n],
 \end{aligned}
 \tag{5.33}$$

em que T_s é a taxa de amostragem utilizada pelo processo. O conjunto de equações descrito em (5.33) dá origem à malha PLL representada pela Figura 47.

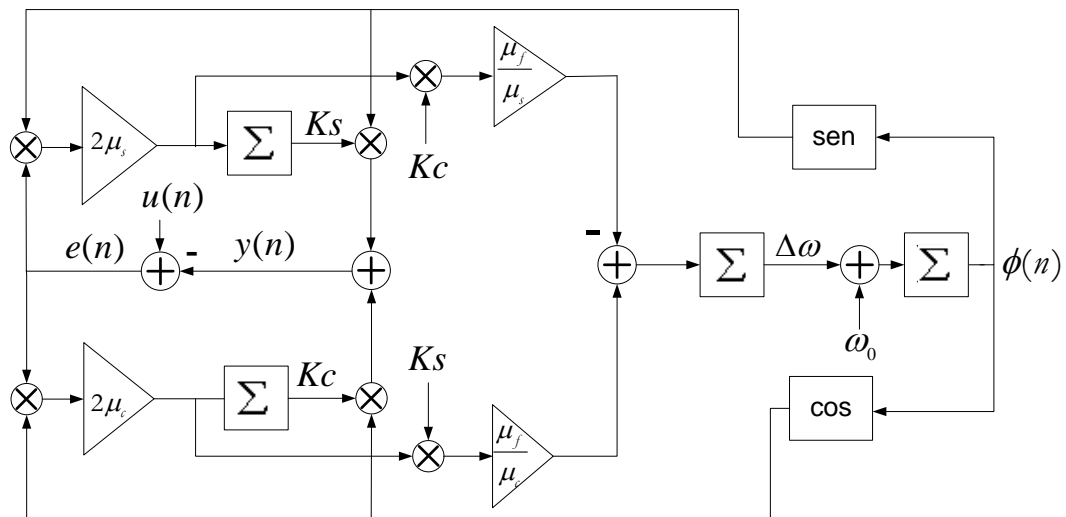


Figura 47 – Malha QPLL

A entrada da malha é dada por $u(n)$, o sinal de erro está representado por $e(n)$ e a senóide sintetizada pela malha é dada por $y(n)$. Com o propósito de simplificação da estrutura,

pode-se fazer com que $2\mu_s = 2\mu_c = k_p$, $\mu_s = \mu_c$ e $\frac{\mu_f}{\mu_c} = \frac{\mu_f}{\mu_c} = k_i$. Assim, a estrutura descrita na

Figura 47 resultará no modelo simplificado representado pela Figura 48. As estruturas correspondentes ao PD (detector de fase), LF (filtro passa-baixas) e VCO (oscilador controlado por tensão) estão indicadas na mesma figura.

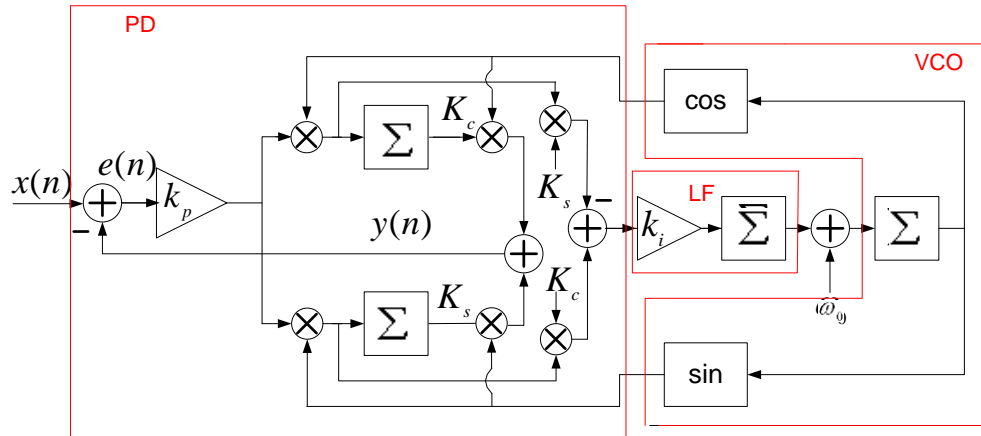


Figura 48 – Malha QPLL simplificada

A malha de PLL descrita na Figura 47 permite estimar diretamente as componentes em quadratura e em fase da componente fundamental de entrada, bem como sua frequência. O argumento e a amplitude podem ser estimados indiretamente através das equações:

$$\begin{aligned}
 A &= \sqrt{K_c^2 + K_s^2} \\
 \psi(t) &= \phi(t) + t g^{-1} \frac{K_c}{K_s}
 \end{aligned}
 \tag{5.34}$$

O conjunto de equações a diferença (5.29) será utilizado para implementar o QPLL na plataforma de hardware para a estimação do fasor e frequência da componente fundamental. Dependendo das constantes de ajuste do QPLL é possível reduzir o tempo de convergência do algoritmo, contudo, caso o sinal de entrada esteja contaminado por harmônicos ou outras componentes a redução do tempo de convergência acarretará no aumento do erro de estimação. O compromisso entre tempo de convergência e erro de estimação dependerá da aplicação, por exemplo, em uma unidade PMU o tempo de estimação não é tão significativo, porém o erro de estimação sim. No próximo capítulo a estrutura do QPLL será implementada em tempo real e resultados reais de estimação serão apresentados.

5.3 Conclusão do Capítulo

Este capítulo abordou os dois algoritmos básicos utilizados para estimação de parâmetros e decomposições de sinais utilizados nas implementações dos *hardwares* desenvolvidos. O algoritmo da SWRDFT pode ser utilizado tanto como estimador fasorial como algoritmo de decomposição, ao passo que o algoritmo QPLL é utilizado apenas como estimador fasorial, bem como estimador de frequência. Uma breve revisão destes algoritmos foi apresentada, uma vez que o objetivo principal foi o de explicitar as equações a serem implementadas na plataforma. Conforme mencionado na introdução, o objetivo deste capítulo foi o apresentar e explorar as características dos algoritmos implementados com o objetivo de testar o funcionamento do hardware e não desenvolver os diversos algoritmos necessários para a implementação da PMU, do monitor de qualidade de energia e do AHVT, o que acontecerá em trabalhos futuros.

6 Testes Realizados – Implementação de Algoritmos

Os algoritmos implementados no DSP TMS320F28027 foram estudados e avaliados inicialmente em ambiente de simulação computacional MATLAB. A característica principal desse modo de estudo é que as operações matemáticas são realizadas com números em ponto flutuante, amparados pela alta capacidade de memória e manipulação de dados, devido a imensa capacidade computacional associada. Quando os mesmos algoritmos são adaptados para operarem em processadores DSP, tal tarefa exige do programador alocação e otimização de recursos, uma vez que esses são escassos quando comparadas ao um computador PC, além da tarefa de operar em tempo real em muitas aplicações. Como muitos processadores DSPs comerciais operam em ponto fixo, a implementação das estruturas em aritmética em ponto flutuante, utilizando os recursos do compilador, pode inviabilizar a operação em tempo real ou requerer muito recurso de hardware, principalmente memória *RAM*, muitas vezes não disponível. Nestes casos o uso de bibliotecas aritmética de ponto fixo faz-se necessário.

Além da manipulação matemática necessária existe a necessidade de ajuste e calibração dos intervalos de acesso aos conversores ADC, das interfaces de comunicação, entre outros.

O processador DSP utilizado no desenvolvimento é o TMS320F28027, com um núcleo de processamento de 32 bits e taxa de processamento de 60 MMACS. A implementação dos algoritmos utilizados e testados no MATLAB foram feitas em linguagem C, com a utilização da biblioteca de ponto fixo denominada IQmath (INSTRUMENTS, TEXAS, 2009).

A IQmath opera com formatos numéricos que vão da Q1 a Q30, em que Q1 é a menor precisão (0.5) e Q30 a maior precisão possível para a biblioteca ($1 \cdot 10^{-9}$) (INSTRUMENTS, TEXAS, 2009). Nas aplicações implementadas a faixa de operação Q aplicada foi de Q16 a Q23. Tal faixa foi selecionada baseada nos parâmetros ótimos citados em (IQ MATH, 2009) como faixa de operação estável da biblioteca.

A implementação dos algoritmos QPLL e SWRDFT foram realizadas baseadas em uma estrutura de processamento similar. A Figura 49 apresenta o diagrama de blocos do

sistema testado. O modelo proposto utiliza dados disparadas por sincronismo GPS, ou seja, a cada PPS, o *Timer 0* é disparado gerando 1919 pulsos, referentes a amostragem de 32 amostras por ciclo, por um período de 12 ciclos (IEEE 61000-4-15). Na execução do algoritmo QPLL ou SWRDFT basta seleccionar uma função ou outra.

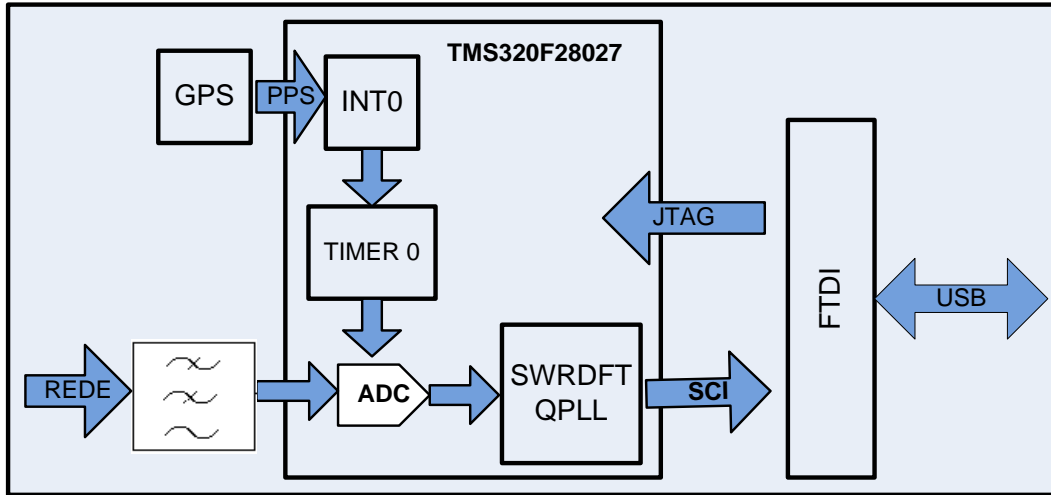


Figura 49 – Estrutura de testes para algoritmos DFT e QPLL.

A interface de comunicação USB é baseada em um chip da empresa FTDI. Este circuito integrado possui a capacidade de prover uma ponte de conexão entre USB e interfaces serial, SPI, I2C.

6.1 Implementação SWRDFT

Implementação algoritmo SWRDFT é baseado na equação recursiva ilustrada na Figura 49,

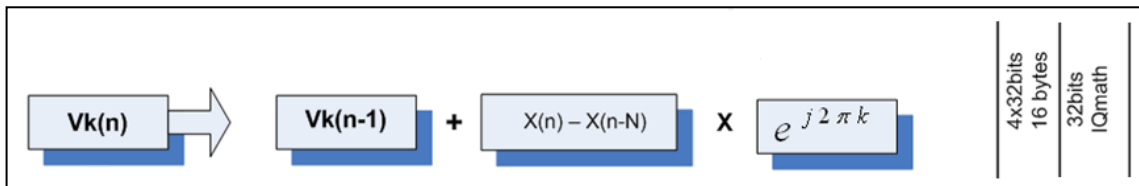


Figura 50 – Equação SWRDFT.

em que $X(n)$ e $X(n-N)$ são respectivamente a amostra atual e a amostra mais antiga do buffer circular e $V_k(n)$ e $V_k(n-1)$ são as componentes em quadratura resultante do algoritmos SWRDFT, Figura 51.

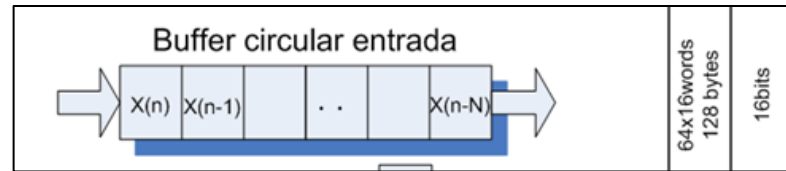


Figura 51 – Buffer Circular DFT.

A solução da equação apresentada na Figura 50 resulta nas componentes de quadratura, ou seja, a componente real e a componente imaginária que compõem o sinal. Para a determinação das mesmas é necessário a utilização dos valores de seno e cosseno para os respectivos pontos. A geração desses valores pode ser feita de dois modos:

- Sintetizador seno-cosseno.
- Busca em tabela.

A sintetização seno-cosseno representa ao processador esforço computacional, mas possibilita a geração de um algoritmo totalmente parametrizável. Já a busca em tabela permite que o algoritmo seja executado bem mais rápido. Um modo prático de manter as duas características é a sintetização de toda a tabela ao se iniciar o processo, ou seja, o processador após finalizar todas as rotinas de inicialização de parâmetros e estruturas internas, executa uma rotina para o cálculo das tabelas de seno e cosseno. A busca em tabela para as operações de cálculo da DFT são executadas em um único ciclo de *clock*, uma vez que a busca dos valores é sequencial e ao contrário do cálculo via sintetizador que é efetuado em aproximadamente 35 ciclos (INSTRUMENTS, TEXAS, 2009).

Com as componentes em quadratura extraídas, são executados os cálculos de amplitude e fase do sinal. Esses são baseadas nas equações(6.1) e (6.2).

$$|X_k[n]| = \sqrt{\text{Re}(X_k[n])^2 + \text{Im}(X_k[n])^2} \quad (6.1)$$

$$\phi_k[n] = \text{tg}^{-1} \frac{\text{Im}(X_k[n])}{\text{Re}(X_k[n])} \quad (6.2)$$

A Figura 52 apresenta o diagrama de blocos das operações realizadas no processo de cálculo DFT.

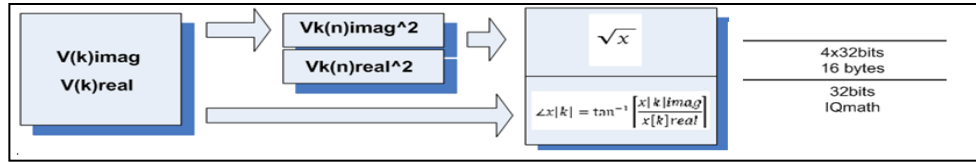


Figura 52 – Estimação de amplitude DFT.

O diagrama completo da seqüência de operações realizadas para o cálculo da DFT é apresentado na Figura 53. A figura possui no lado direito dados referentes a memória RAM necessários para implementar o algoritmo para o cálculo com 64 pontos por ciclo.

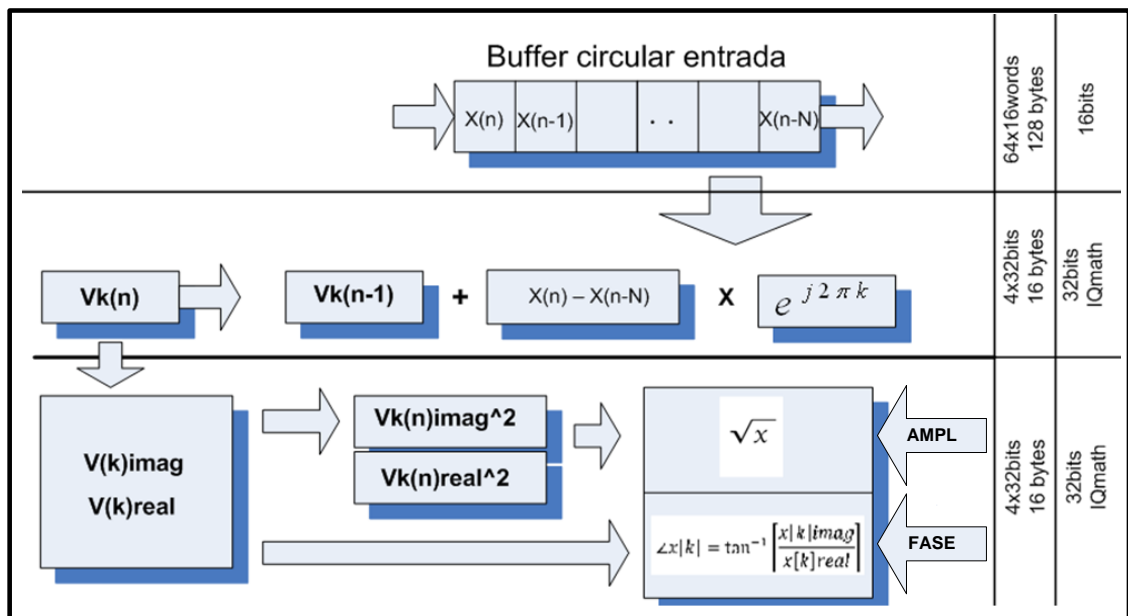


Figura 53 – Diagrama completo de operações da DFT.

6.1.1 Resultados Obtidos em ambiente de simulação

O algoritmo foi testado no MATLAB utilizando como sinal de teste o sinal definido em (6.3).

$$x(t) = \cos\left(2\pi \cdot 60t + \frac{\pi}{3}\right) + 0,2 \cdot \cos(6\pi \cdot 60t) + 0,1 \cdot \cos\left(60\pi \cdot 60t + \frac{\pi}{5}\right) \tag{6.3}$$

Tabela XIII–Parâmetros do sinal utilizado.

Sinal	Amplitude (PU)	Fase(Radianos)	Frequência (Hz)
1	1	$\pi/3$	60
2	0.2	0	180
3	0.1	$\pi/5$	300

Os gráficos abaixo apresentam os resultados do algoritmo na estimação da fase e amplitude para um sinal com as características da Tabela XII e equação em (6.3). Na figura 54-A é apresentado o sinal de teste aplicado ao algoritmo SWRDFT, na Figura 54-B é apresentado a componente fundamental do sinal de teste reconstruída após aplicação do SWRDFT e nas Figuras 54-C e D são plotados os sinais resultantes da estimação de amplitude e fase.

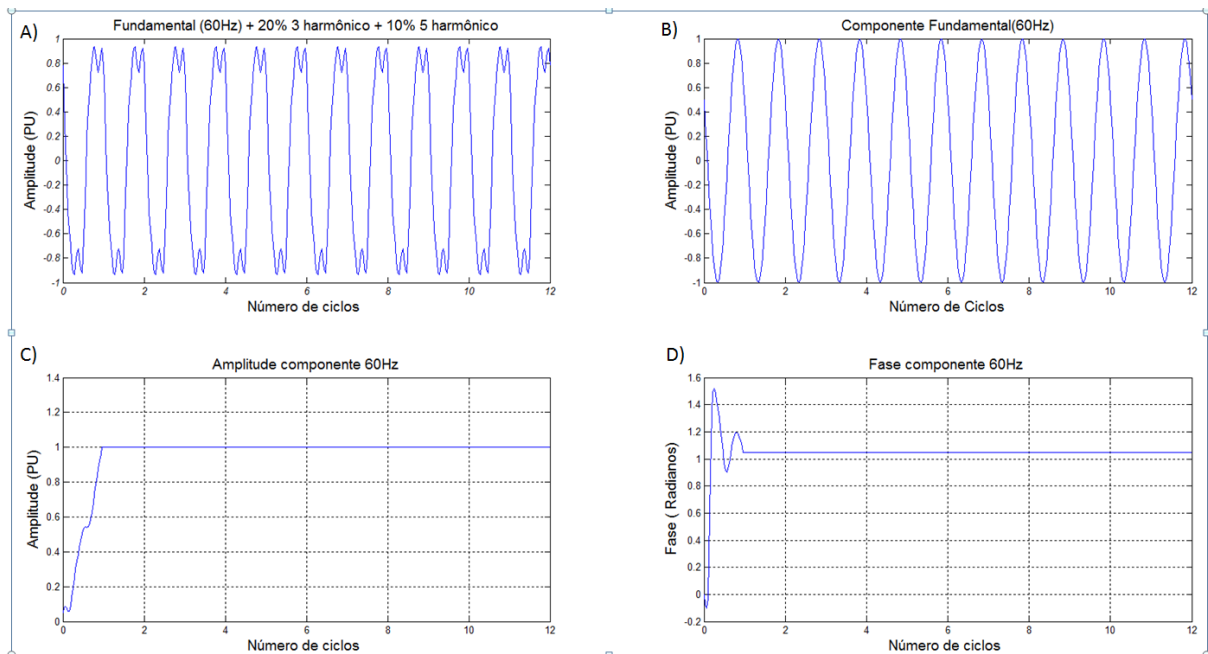


Figura 54 – Resultados obtidos no Matlab.

6.1.2 Resultados da implementação do SWRDFT no DSP.

O algoritmo SWRDFT foi implementado de modo que o mesmo tenha os parâmetros de cálculo ajustáveis via software, o que permite a utilização do mesmo para taxas de amostragem diferentes.

As operações do SWRDFT no DSP são realizadas via biblioteca de ponto fixo IQmath, formato IQ19. Um parâmetro importante na determinação do formato é a precisão necessária de cálculo. Para os cálculos do gerador seno-cosseno e o cálculo de fase, o formato escolhido foi o IQ23, permitindo o ganho de resolução. A determinação do formato IQ mais adequado é feito por meio da determinação dos limites numéricos de cada etapa das operações matemáticas realizadas através do MATLAB. Isso permite obter melhor resolução dos cálculos efetuados e evita problemas com estouro de variáveis.

Em análise da implementação da rotina de cálculo da SWRDFT, via depurador XDS100, verificou-se que a execução deste trecho consome recurso computacional de 1.4% do tempo de processamento. A Figura 54 mostra a extração da componente fundamental e a estimação da amplitude do sinal de teste. O sinal foi adquirido da rede elétrica, com as seguintes características $V_{pico} = 176V$, Frequência: 59.9Hz.

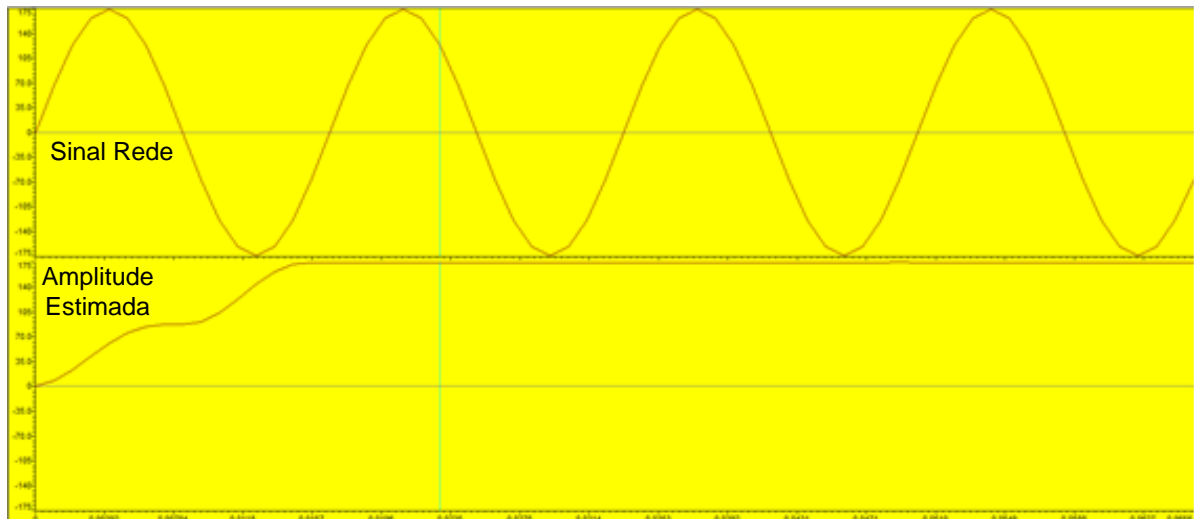


Figura 55 – Resultado do depurador do Code Composer.

6.2 Implementação QPLL

O algoritmo QPLL estudado no Capítulo 5 foi implementado em MATLAB e DSP. A grande vantagem do QPLL é que o mesmo apresenta uma redução significativa de alocação de memória RAM.

6.2.3 Resultados Obtidos em ambiente de simulação

A Figura 56 mostra o resultado da simulação obtida pelo QPLL. Para simulação em Matlab foi utilizado como sinal de teste uma senóide pura com amplitude de 180V, frequência de 60 Hz e fase -2.5 rad. Nos gráficos apresentados, o sinal sintetizado pelo QPLL, converge em dois ciclos 33.2 ms da componente fundamental (60Hz).

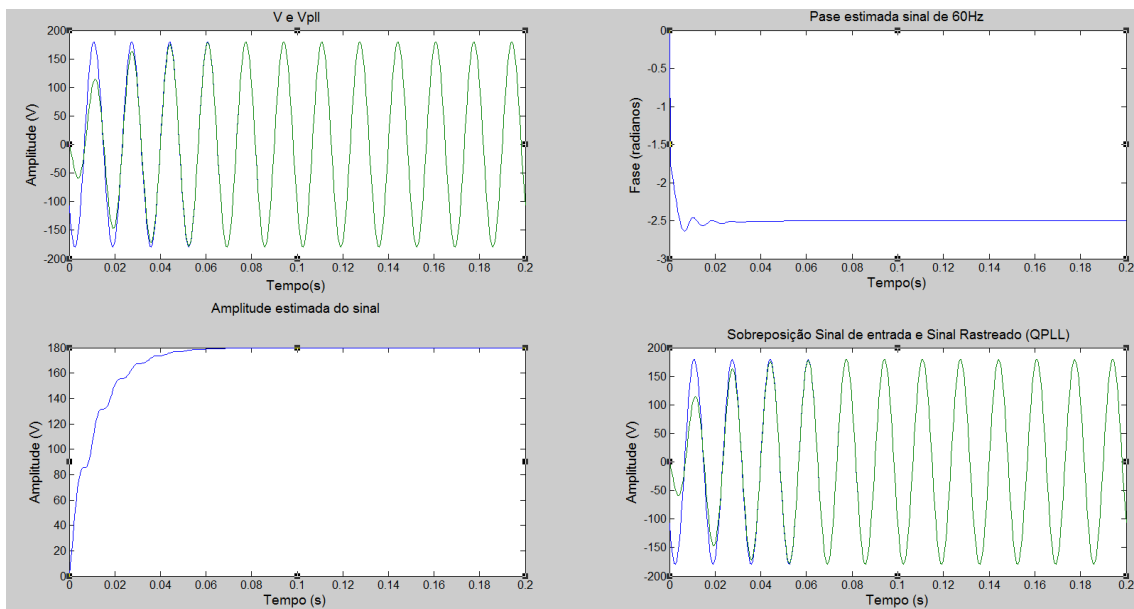


Figura 56– Resultados obtidos no Matlab.

6.2.4 Resultados obtidos na implementação DSP

Na Figura 57 são apresentados o sinal da rede adquirido da rede elétrica de baixa tensão e o sinal da componente fundamental sintetizada pelo algoritmo do QPLL para o rastreamento. Conforme pode ser observado o rastreamento tem erro próximo a zero. As equações **Erro! Fonte de referência não encontrada.** foram implementadas no DSP, conforme apresentado no Capítulo 5, equação 5.33.

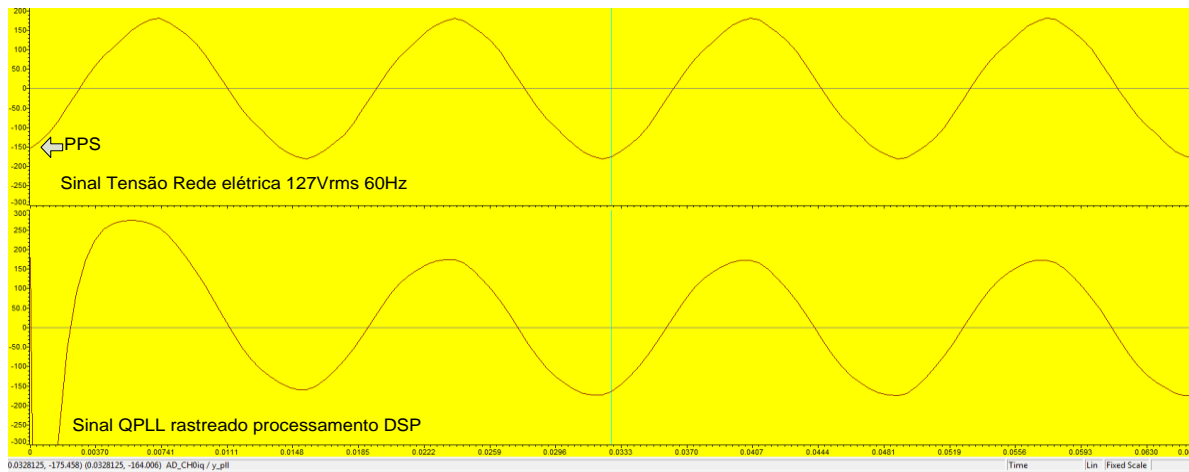


Figura 57 - Resultado do depurador do Code Composer.

6.3 Algoritmo SWRDFT operação de reconstrução – AHVT

O algoritmo da SWRDFT foi implementado de modo a possibilitar a validação do AHVT, no qual o sinal de teste é proveniente da rede elétrica, sendo adquirido, condicionado e convertido pelo *hardware* desenvolvido. O conversor utilizado na aquisição foi o conversor A/D de 12 bits interno ao DSP. O algoritmo utilizado para a decomposição foi apresentado no Capítulo 5 e seu diagrama de blocos é repetido aqui por conveniência (ver Figura 58).

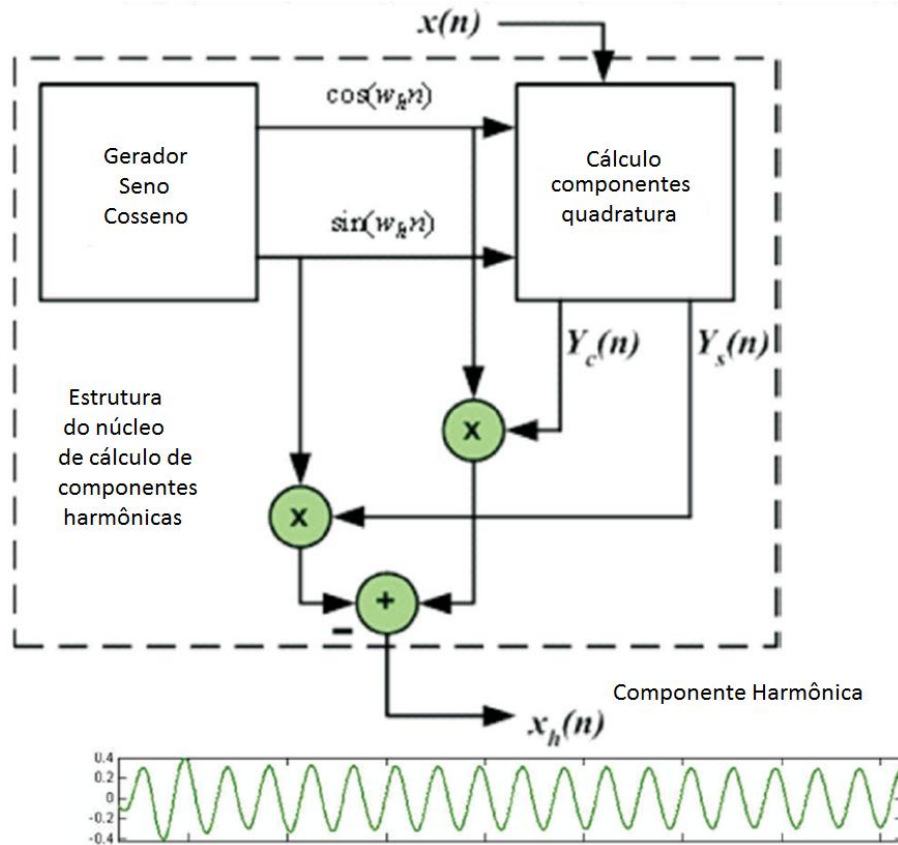


Figura 58 – Algoritmo de Reconstrução DFT.

6.3.1 Resultados Obtidos no DSP

O sinal obtido no laboratório LAPTEL foi processado pelo algoritmo SWRDFT e a sua componente fundamental extraída, conforme apresentada na Figura 58.

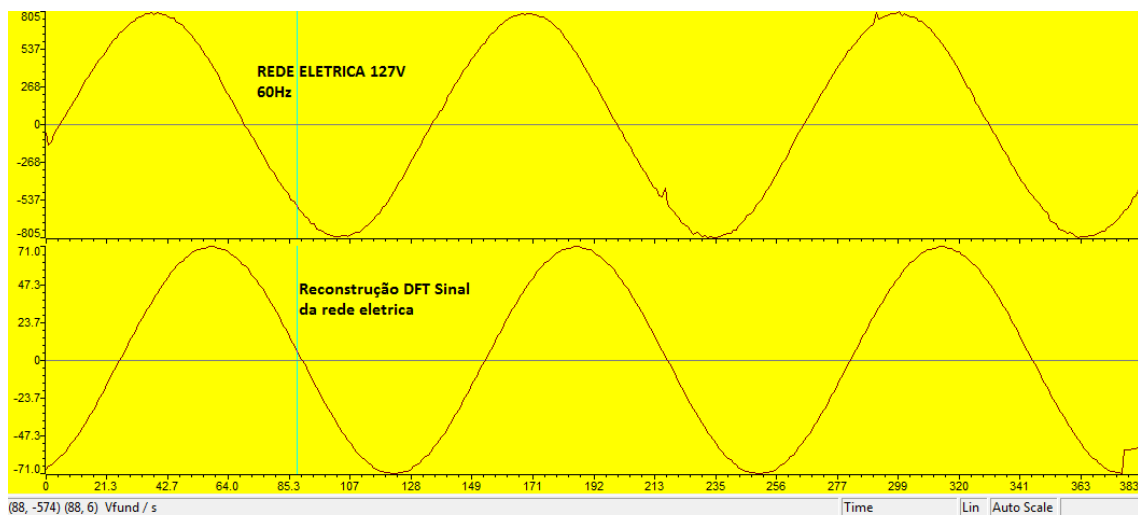


Figura 59 – Reconstrução do sinal adquirido da rede elétrica.

6.3.2 Registrador de forma de onda

O armazenamento de dados é um recurso de grande importância em sistemas de monitoramento de qualidade de energia e registro de eventos elétricos. Assim, de modo à validar a operação da aquisição e condicionamento de corrente, foi implementada solução de armazenamento de dados, conforme é ilustrado na Figura 60. O sinal de corrente, proveniente do micro-ondas, foi extraído através da aquisição contínua dos dados provenientes do conversor A/D interno de 12 bits e armazenados na memória *Dataflash* (2Mbits). Após preenchida a memória, o dispositivo de teste efetua a descargas dos dados via interface USB serial.

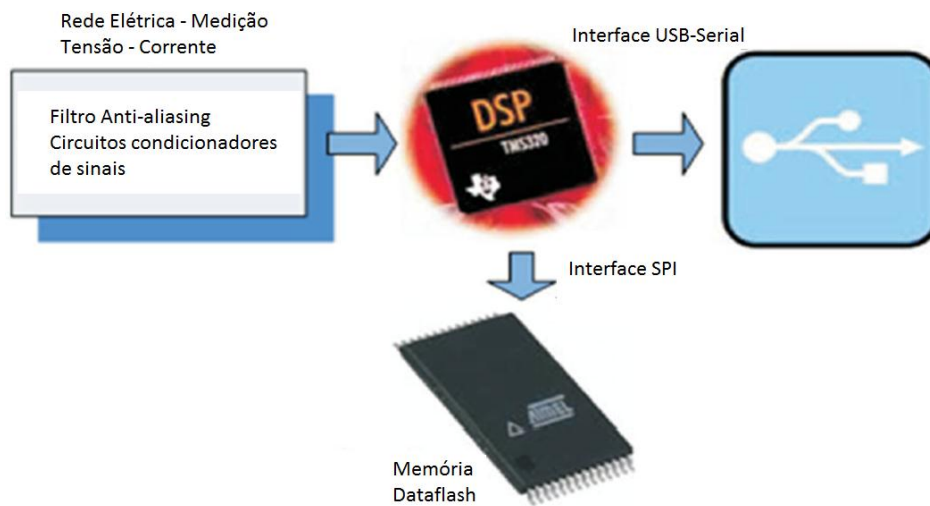


Figura 60- Diagrama de blocos do AHVT

A forma adquirida continuamente a uma taxa de amostragem de 7680Hz (60 x 128 amostras por ciclo) e diretamente processada e armazenada na memória *dataflash*. O sinal adquirido é apresentada na Figura 60.

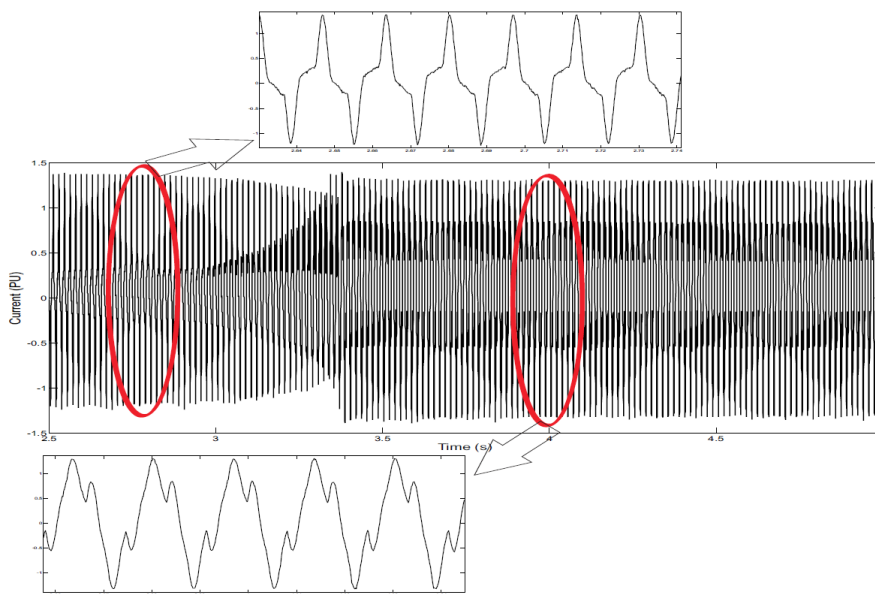


Figura 61 - Forma de onda da corrente de um forno de micro-ondas.

Na Figura 62 são apresentados os resultados obtidos com analisador AHVT. Em análise o equipamento permitiu o monitoramento contínuo da corrente, de modo a ser possível visualizar os efeitos das mudanças de amplitude e fase da corrente drenada pelo equipamento.

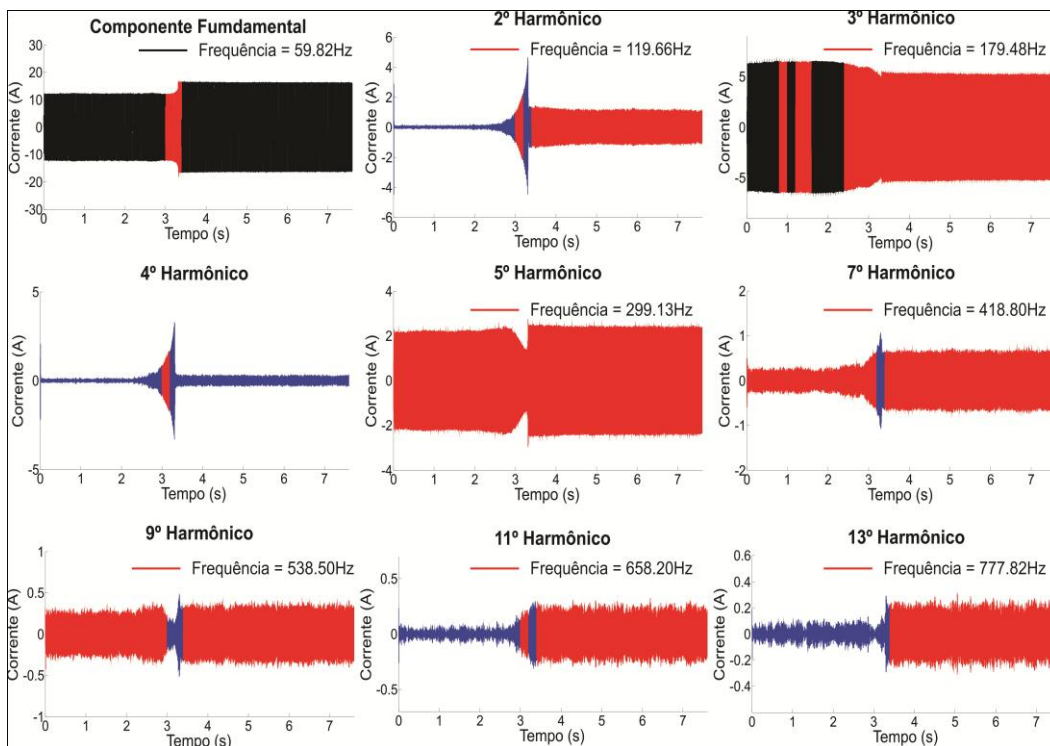


Figura 62 -Decomposição harmônica corrente do micro-ondas

6.4 Comparação SWRDFT e QPLL

Através da utilização do modo de depuração do processador TMS320F28027, foi possível avaliar e comparar o desempenho e a ocupação de recurso do DSP pelos algoritmos. A tabela abaixo apresenta os resultados onde são avaliados o tempo de processamento dos algoritmos SWRDFT e QPLL e a alocação de memória RAM necessária para o processamento dos algoritmos. No caso da SWRDFT o ponto crítico é a alocação de memória RAM que é proporcional ao número de pontos por ciclo, enquanto no algoritmo QPLL, o tempo de processamento de cada amostra é duas vezes superior ao algoritmo SWRDFT. Na Tabela XIV são apresentados os resultados comparativos.

Com o desenvolvimento e finalização das montagens dos protótipos dos equipamentos será possível avaliar outros fatores e características relativas ao projeto de hardware.

Tabela XIV- Comparativo desempenho algoritmos SWRDFT e QPLL

Operação	Multiplicações	Soma/Subtração	Tempo de execução(operações)	RAM (consumida)
SWRDFT	2	2	135 ciclos de clock	NPC + cálculo
QPLL	5	4	65 ciclos de clock	Cálculo

6.5 Conclusões do Capítulo

Os testes realizados até o presente momento foram satisfatórios permitindo validar e avaliar as estruturas de *hardware* e software que serão parte integrantes dos projetos propostos. As estruturas de armazenamento, controle e sincronização com pulso GPS, apresentaram resultados como previstos pelos respectivos fabricantes.

7 Conclusão

O trabalho em análise apresentou o desenvolvimento atrelado à prototipação de *hardwares* voltados para aplicação em sistemas de potência. O trabalho foi concebido baseado em dados de normas do IEEE e IEC e equipamentos comerciais, os quais tiveram suas características analisadas e comparadas. Os equipamentos analisados em relação a estrutura de *hardware* e o tipo de processamento de sinais característicos do PMU e QEE. No estudo do hardware de processamento envolvidas foram avaliadas tanto características gerais dos equipamentos quanto características específicas. Como resultados deste estudo foi desenvolvido um hardware compatível com as duas soluções, que resulta em um hardware com um diferencial atrativo para o mercado de energia. A estrutura de processamento, além de suportar a aplicação de sistemas de medição fasorial, permite ao hardware operar com características de monitor QEE. Analisando a operação do PMU verificou-se que uma unidade PMU permite a visualização do estado do sistema (Fluxo de potência), mas restringe sua operação a estimação parâmetros básicos. Analisando os medidores QEE é possível estimar a composição harmônica presente no sistema, assim como outros fatores importantes na análise da QEE. Quando as duas soluções são integradas, elas apresentam o diferencial de gerarem informações do estado do sistema assim como níveis de distorção harmônica, *flicker* e registro de distúrbio com o sincronismo temporal. A base de dados criada a partir das informações aferidas e estimadas permitirá o desenvolvimento de técnicas de análise, detecção e correção de falhas no sistema, assim como identificação de fontes geradoras de distúrbios.

No cenário mundial de tendência de inovação do sistema elétrico de potência demanda a geração de uma base de dados contendo parâmetros de estado do sistema e QEE permitirá o desenvolvimento de técnicas robustas de controle do sistema elétrico, principalmente, em sistema de redes inteligentes (*Smart Grids*), permitindo ao sistema analisar pontos críticos de operação e possibilitando a recomposição de forma eficiente e segura, com o ilhamento somente de regiões ou trechos do sistema que estejam gerando os falhas.

O desenvolvimento do *hardware* e *firmware* do AHVT estão em fase avançadas, no qual no presente momento esta em desenvolvimento o *software* Labview com a interface de

alta velocidade, que implementará a primeira versão do AHVT virtual. De acordo com os estudos em andamento, a velocidade ótima de aquisição de transferência é de 9Mbps, porém a interface implementada no primeiro protótipo permite velocidades de até 3Mbps. A versão a ser revisada será construída com um novo chip de comunicação capaz de trafegar dados à 40Mbps.

Acredita-se que o analisador de harmônicos variantes no tempo possa se tornar uma ferramenta importante para análises de distúrbios de QEE, possibilitando a identificação de assinaturas para cada distúrbio, além de auxiliar na análise de comportamento de cargas e nas detecções de falhas

O tema abordado neste trabalho desenvolvimento de equipamentos com o propósito de desenvolvimento de tecnologia nacional associados a geração de conhecimento no controle e supervisão do sistema elétrico de potência

7.1 Trabalhos Futuros

Os *hardwares* desenvolvidos abrem a possibilidade de construção de uma grande variedade de equipamentos para aplicações voltadas para o monitoramento do sistema elétrico de potência e que são apresentadas a seguir como trabalhos futuros.

7.1.1 Hardware PMU+QEE

- Unidade de medição Fasorial;
- Unidade de medição de parâmetros de qualidade de energia;
- Unidade de medição Fasorial + qualidade de energia;
- Analisador Harmônicos por parâmetros (armazenamento de parâmetros relacionados a modificação de composição harmônica, com estampa de tempo);
- Medidor de parâmetros de qualidade PRODIST (Módulo 8).

7.1.2 Hardware Sincronofasor

- Unidade de medição fasorial monofásico;
- Unidade de medição de parâmetros de QEE;
- Monitor de distúrbios;
- Unidade de monitoramento QEE e controle de religadores monofásicos.

7.1.3 Hardware AHVT

- Analisador de Harmônicos variantes no tempo;
- Analisador de parâmetro de qualidade de energia;
- Analisador de corrente contínua;
- Registrador de distúrbios;
- Instrumento virtual para múltiplos propósitos;

7.1.4 Placas de aquisição e condicionamento sinais

- Os circuitos condicionadores de tensão e corrente foram projetados de forma que seja possível a utilização dos mesmo em plataformas DSP e FPGA. Essa características permite que as mais diversas aplicações possam ser desenvolvidas, como para estruturas como banco de filtros além de analisadores de QEE com capacidade de processamento superior aos DSPs.

REFERÊNCIAS

ALLEGRO, **Fully Integrated, Hall Effect-Based Linear Current Sensor IC with 2.1 kVRMS Isolation and a Low-Resistance Current Conductor** – http://www.allegromicro.com/en/Products/Part_Numbers/0712/0712.pdf

ANANTH, I.; M.M. MORCOSA., **Power Quality Monitoring System:A Case Study in DSP-Based Solutions for Electric Power Industry**,1999.

ANDRADE , S. R. C. , **Sistemas de Medição Fasorial Sincronizada: Aplicações para melhoria da operação de sistemas elétricos de potência**. Dissertação de Mestrado, Junho de 2008

ATMEGA128L, **8-bit Microcontroller with 128KBytes In-System Programmable Flash**, ATMEL, 2011.

BINGHAM, R. P., **Recent Advancements in Monitoring the Quality of the Supply**,Power Engineering Society Summer Meeting, 2001, Vol. 2, pp. 1106–1109.

C37.118-2005 IEEE Standard for Synchrophasors for Power Systems

CAMARGO, J. M. , et all, **Estudo do desempenho Térmico de Tranformadore a Seco Alimentando Cargas Não Lineares**. XI ENIE, São Paulo, Brasil, junho 2006.

CANDÈS, E. J., **Harmonic analysis of neural networks**. Appl. Comput. Harmon. Anal, v. 6, p.197–218, 1998.

CARVALHO, J. R. et all, **PLL based harmonic estimation**, IEEE PES conference, Tampa, Florida-USA, 2007

CENTENO. V., et all, **Adaptive out-of-step relaying using phasor measurement techniques**, IEEE Comput. Appl. Power, vol. 6, no. 4, pp. 12–17, Oct. 1993

CHEN, C. et all,**Extended real model of kalman filter for time-varying harmonics estimation**. IEEE Transactions on Power Delivery, v. 25, n. 1, p. 17 –26, jan. 2010.

CHEN, S., **A quantitative Analysis of the data acquisition requirements for measuring power quality phenomena**; IEEE transactions on Power Delivery, vol.18, No.4, October 2003.

DEMIREL N. A., H., **The Effects of Geomagnetic Storms on Ionosphere and GPS Signals**, 2007.

Draft Standard, IEC 61000-4-30 77A/356/CDV, **Power Quality Measurement Methods**.

DRANETZ Engineering Laboratories, **Series 606 Power-Line Disturbance Analyzer** December 1975.

DUQUE, C. A. et al. Tracking simultaneous time-varying power harmonic distortions using filter banks. In: IEEE Industrial and Commercial Power Systems Technical Conference (ICPS), 2010. [S.l.: s.n.], 2010. p. 1 –9.

DUQUE, C. et al. **Novel method for tracking time-varying power harmonic distortions without frequency spillover**. In: IEEE Power and Energy Society General Meeting - Conversion and Delivery of Electrical Energy in the 21st Century, 2008. [S.l.: s.n.], 2008. p. 1 –6.

EPRI-RP3098-01, **An Assessment of Distribution System Power Quality**.

FABRI, D. et all. **Time-varying harmonic analyzer prototype**. In: Harmonics and Quality of Power (ICHQP), 2010 14th International Conference on. [S.l.: s.n.], 2010. p.1 –7.

FABRI, D. F., **Uma Proposta de Implementação de um Analisador de Harmônicos Variantes no Tempo**. Dissertação de Mestrado, 2011.

FILHO, J. et all, **Novas Aplicações utilizando um PDC e rede de PMUs de baixo custo, XSTPC-ST-38**, 2010.

FILHO, S. M. et all, **Sistema de medição Fasorial princípios e aplicações, VIII STPC-ST21**, 2005.

FTDI CHIP 2010, FT2232D / FT2232H Multi propose high speed interface USB http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT2232H.pdf

HARTLEY, R.; WELLES, K., **Recursive Computation of the Fourier Transform**, IEEE Int. Symposium on Circuits and Systems, Vol.3, 1990. pp. 1792 -1795.

HONG HE, J. P. et all, **The Data Processing System of Spectrum Analyzer Based on VC++**, 2010 International Conference on Computer Application and System Modeling (ICCASM 2010), pg. 486-489.

HOSSEINI, S. H.; MOHAMMADI, K. **Design and Implementation of a Kalman Filter-Based Time-Varying Harmonics Analyzer**. Journal of Iranian Association of Electrical and Electronics Engineers, v. 3, n. 2, p. 35–42, 2006

IEEE 1159-1995, **Recommended Practice on Monitoring Electric Power**.

IEEE 1344-1995 **Standard for Synchrophasors for Power Systems**

IEEE 141-1993: **Recommended Practice for Power Distribution in Industrial Plants**.

IEEE 519-1992: **Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems**.

IEEE C37.118-2005 **Standard for Synchrophasors for Power Systems**

IEEE Draft Standard P1159.3, **Recommended Practice for a Power Quality Data Interchange Format—An Extensible File Format for the Exchange of Power Quality Measurement and Simulation Data, SCC 22**.

INSTRUMENTS, TEXAS; **A numerical Protection Relay solution** , 2010

INSTRUMENTS, TEXAS; **C28x IQmath Library- A virtual Floating Point Engine V1.5**; 2009.

INSTRUMENTS, TEXAS; **Configuring the TMS320F280x DSP as an I2C Master or Slave processor**, 2007

INSTRUMENTS, TEXAS; **Using PWM output as a digital-to-analog converter on TMS320F280x digital signal controller**, 2008.

IQ MATH, on the Texas Instruments TMS320C28x DSP **“Virtual” Floating-Point Programming On A 32-Bit Fixed-Point Machin**, David M. Alter, 2009.

KARIMI-GHARTEMANI, M. et al, **A Magnitude/Phase-Locked Loop System Based on Estimation of Frequency and In-Phase/Quadrature-Phase Amplitudes**, IEEE Trans. on Ind. Electronics, V. 51, N. 2, ABRIL 2004.

KARIMI-GHARTEMANI, M.; IRAVANI, M. R. **Periodic orbit analysis of two dynamical systems for electrical engineering applications**. Journal of Engineering Mathematics. vol. 45, n. 2, pp. 135-154, Fevereiro, 2003.

KARIMI-GHARTEMANI, M.; IRAVANI, M. R. **Robust and frequency-adaptive measurement of peak value**. IEEE Transactions on Power Delivery. vol. 19, n. 2, pp. 481-489, Abril, 2004

KARIMI-GHARTEMANI, M.; IRAVANI, M. R. **Measurement of harmonics/inter-harmonics of time-varying frequencies**. IEEE Transactions on Power Delivery, v. 20, n. 1, p. 23 – 31, jan2005.

KUHLMANN ,V., et all;**Effects of Sampling Rate and ADC Width on the Accuracy of Amplitude and Phase Measurements in Power-Quality Monitoring**, 2007

LASSEN IQ GPS Receiver – **System Designer Reference Manual**,(2005)

LOBOS, T.; KOZINA, T.; KOGLIN, H.-J. **Power system harmonics estimation using linear least squares method and svd**. IEE Proceedings - Generation, Transmission and Distribution,v. 148, n. 6, p. 567 –572, nov 2001.

LU, S.-L. Application of dft filter bank to power frequency harmonic measurement. IEEE Proceedings - Generation, Transmission and Distribution, v. 152, n. 1, p. 132 –136, 102005.

MAXIM DALLAS SEMICONDUCTOR, I2C RTC with 56-Byte NV RAM, 2010.

MCEACHERN , A., **Roles of Intelligent Systems in Power Quality Monitoring: Past,Present, and Future**, *Conference Record*, Power Engineering Society Summer Meeting, 2001, Vol. 2, pp. 1103–1105.

MICROCHIP, AN699 **Anti-Aliasing, Analog Filters for data acquisition systems**, 1999

MITRA S. K., **Digital Signal Processing – A computer-based approach**, Mc-Graw Hill2006, 3^a Edition.

NETO, J. G. S.; NASCIMENTO, M. M.; **Instrumentação Virtual**; UFBA,2007.

NUNES E.F., et all; **Gestao de indicadores de qualidade de energia elétrica – Uma metodologia simples e automática implementada na CPFL**. XII ERIAC 2007.

PHADKE, A. G., NUQUI, R. F., **Phasor Measurement unit placement techniques for complete and incomplete observability**. IEEE Trans. Power Delivery, 20: 2831-2388, 2005

PHADKE, A.G.; J.S. THORP, **Synchronized Phasor Measurements and TheirApplications**Springer(2008), 1^a Edition.

PHAM, V.; WONG, K.**Antidistortion method for wavelet transform filter banks and nonstationary power system waveform harmonic analysis**. IEE Proceedings - Generation,Transmission and Distribution, v. 148, n. 2, p. 117 –122, mar 2001.

PICCOLO Microcontrollers, **Datasheet TMS320f28027**, Texas Instruments, 2009.

REASON, S. L. Z.; **Sincronismo Temporal**

RIBEIRO, P. F. (Ed.). **Time-Varying Waveform Distortions in Power Systems**. [S.l.]:Wiley-IEEE Press, 2009.

ROGER, C. et all, **Electrical Power Systems Quality**, McGraw-Hill, 2a Ed,

SHENOI, B. A., **Introduction to Digital Signal Processing and Filter Design**, Wiley, 1^a Edition, 2006

SILVEIRA, P. M. et al. Time-varying power harmonic decomposition using sliding- window dft. In: IEEE International Conference on Harmonics and Quality of Power, Wollongong, AU. [S.l.:s.n.], 2008.

SILVEIRA, P. M. et all, Using wavelet decomposition for visualization and understanding of time-varying waveform distortion in power system. In: VII Conferência Brasileira sobre Qualidade de Energia Elétrica. [S.l.: s.n.], 2007.

SNYMAN, J. A.,**Practical mathematical optimization: an introduction to basic optimization theory and classical and new gradient-based algorithms**, Springer, Nova York, 2005.

SUKUMAR, M. B., et all, **IEEE Transactions on Power Delivery**, vol. 24, NO. 4 October 2009

SUN, H.;SHUE, L.;**Analysis of an adaptive filter-bank for harmonic measurement and estimation**. In: IEEE International Symposium on Circuits and Systems, 2007. ISCAS2007.[S.l.: s.n.], 2007. p. 2427 –2430.

TRIMBLE, Lassen IQ GPS Receiver – **System Designer Reference Manual**,(2005)

VAIDYANATHAN, P.P. ;**Multirate Systems and Filter Banks**, Prentice Hall, 1993.

WU, X. et al. **The harmonics analysis of power system based on artificial neural network**. In:Automation Congress, 2008. WAC 2008. World. [S.l.: s.n.], 2008. p. 1 –4.

YUHUA GU, BOLLEN M. H. J., **Time-frequency and time-scale domain analysis**,IEEE Trans. on Power Delivery, Vol. 15, No. 4, Oct. 2000, pp. 1279-1284.

ZIARANI, A. K.; KONRAD, A. **A method of extraction of nonstationary sinusoids**. Signal Processing. vol. 84, n. 8, pp. 1323-1346, Agosto, 2004.