



Universidade Federal de Juiz de Fora
Programa de Pós-Graduação em
Engenharia Elétrica

Igor Dias Neto de Souza

Controle Digital com Malha Dupla de Tensão Aplicado a um Conversor
Formador de Rede

Dissertação de Mestrado

Juiz de Fora
2017

Igor Dias Neto de Souza

Controle Digital com Malha Dupla de Tensão Aplicado a um Conversor
Formador de Rede

Dissertação apresentada ao Programa de Pós
graduação em Engenharia Elétrica, área de
concentração: Sistemas Eletrônicos, da Fa-
culdade de Engenharia da Universidade Fe-
deral de Juiz de Fora como requisito parcial
para obtenção do grau de Mestre.

Orientador: Prof. Pedro Machado de Almeida, Dr. Eng.

Juiz de Fora
2017

Ficha catalográfica elaborada através do programa de geração automática da Biblioteca Universitária da UFJF, com os dados fornecidos pelo(a) autor(a)

Souza, Igor Dias Neto de .

Controle Digital com Malha Dupla de Tensão Aplicado a um Conversor Formador de Rede / Igor Dias Neto de Souza. -- 2017. 106 p.

Orientador: Pedro Machado de Almeida

Dissertação (mestrado acadêmico) - Universidade Federal de Juiz de Fora, Faculdade de Engenharia. Programa de Pós Graduação em Engenharia Elétrica, 2017.

1. Power-Hardware-in-the-Loop. 2. Conversor emulador de rede. 3. Controle de tensão. 4. Amortecimento ativo. 5. Controlador ressonante digital modificado. I. Almeida, Pedro Machado de , orient. II. Título.

Igor Dias Neto de Souza

Controle Digital com Malha Dupla de Tensão Aplicado a um Conversor
Formador de Rede

Dissertação apresentada ao Programa de Pós
graduação em Engenharia Elétrica, área de
concentração: Sistemas Eletrônicos, da Fa-
culdade de Engenharia da Universidade Fe-
deral de Juiz de Fora como requisito parcial
para obtenção do grau de Mestre.

Aprovada em 17 de Fevereiro de 2017.

BANCA EXAMINADORA:

Prof. Pedro Machado de Almeida, Dr. Eng.

Universidade Federal de Juiz de Fora, UFJF

Orientador

Prof. Pedro Gomes Barbora, D. Sc.

Universidade Federal de Juiz de Fora, UFJF

Prof. André Augusto Ferreira, Dr.

Universidade Federal de Juiz de Fora, UFJF

Prof. Márcio do Carmo Barbosa Poncilio Rodrigues, Dr. Eng.

Instituto Federal Sudeste de Minas Gerais, IF Sudeste MG

*Dedico este trabalho à minha família, à minha namorada
e aos meus amigos.*

AGRADECIMENTOS

À Deus, meu primeiro agradecimento, que sempre está comigo e que tem me amparado até aqui.

Aos meus familiares, em especial meus pais, Marcos e Denise, aos meus irmãos Iago e Isadora e à minha avó Inês, por todo amor, paciência, suporte, motivação e confiança.

À Natália pelo profundo carinho, amor e cumplicidade que compartilhamos juntos, e pela capacidade de tornar meus dias mais felizes e completos.

Ao meu orientador e amigo, Pedro Machado de Almeida, pelos ensinamentos compartilhados, e principalmente pela ajuda durante o decorrer do trabalho. Além disso, agradeço também pela disponibilidade e pela esperança depositada em mim.

Ao meu coorientador, Pedro Gomes Barbosa, pelos conselhos e por sua disposição e boa vontade em ajudar ao longo do desenvolvimento do trabalho.

Ao amigo Gabriel Azevedo Fogli, pela profícua ajuda na montagem do protótipo e na programação do DSP. Agradeço ainda, os ensinamentos passados durante os anos de convivência no NAEP.

Ao amigo Rodolfo Lacerda pelas orientações referente à programação do DSP e por sempre estar disposto a ajudar.

Aos amigos do NAEP e LAPTEL: Andrei, Israel, Frederico, Pablo, Samuel, Henrique, Leandro Manso e Dayane.

Aos demais amigos que de certa forma me apoiaram.

À CAPES, à Universidade Federal de Juiz de Fora e ao Programa do Pós de Graduação em Engenharia Elétrica pela estrutura necessária ao desenvolvimento deste trabalho.

*“O êxito da vida não se mede pelo caminho
que você conquistou, mas sim pelas dificuldades
que superou no caminho.”*

Abraham Lincoln

RESUMO

Esta dissertação apresenta um estudo de um conversor emulador de rede (CER) que faz parte de uma estrutura *Power-Hardware-in-the-Loop* (PHIL). O PHIL será futuramente utilizado para verificar os impactos causados pela integração de sistemas de geração fotovoltaico (PV) à rede elétrica, assim como a operação do sistema PV frente a distúrbios na rede. O CER, composto por um conversor fonte de tensão (VSC) de dois níveis e filtro de saída LC, é responsável por alimentar cargas isoladas emulando uma rede elétrica. A modelagem do conversor emulador de rede é feita no sistema de coordenadas estacionário ($\alpha\beta 0$), fornecendo um sistema de equações diferenciais usado para descrever o comportamento dinâmico do sistema. O conversor é controlado no modo de tensão, através da estratégia de modulação vetorial. Duas malhas de controle em cascata são projetadas. A malha interna utiliza compensadores em avanço digitais para amortecer a ressonância do filtro LC sem a necessidade de uma realimentação interna de corrente. Já a externa utiliza controladores ressonantes digitais modificados para rejeitar distúrbios harmônicos e garantir a qualidade da forma de onda da tensão no ponto de acoplamento comum. Os controladores ressonantes são conectados em série e o projeto é baseado no amortecimento dos zeros. Resultados experimentais, obtidos com o protótipo de laboratório, cujos controladores foram implementados em um processador digital de sinais TMS320F28335 da *Texas Instruments*, são usados para validar as estratégias de controle propostas.

Palavras-chave: Power-Hardware-in-the-Loop, conversor emulador de rede, controle digital, controle de tensão, filtro LC, amortecimento ativo, controlador ressonante digital modificado.

ABSTRACT

This dissertation presents a study on a grid-former converter (GFC) which is a part of a *Power-Hardware-in-the-Loop* (PHIL) structure. The PHIL will be used to verify the impacts caused by the integration of photovoltaic (PV) generation systems into grid, as well as to study the PV operation under grid disturbances. The GFC, composed by a two-level voltage source converter with a LC output filter, is responsible to feed isolated loads emulating an electrical grid. The modeling of the grid-former converter is done in the stationary frame ($\alpha\beta 0$), providing a set of differential equations that describes the dynamical behavior of the system. The converter is controlled in voltage mode by means of the space vector modulation (SVM) strategy. Two control loops are designed to control the static converter. At the inner loop a novel discrete-time active damping technique is proposed in order to damp the filter resonance without the need of current feedback. The method is based on an inner feedback loop with digital lead compensator on the feedback path while the external loop uses a discrete-time integrator and a modified digital resonant controller to guarantee a decreasing frequency response and ensure the quality of the voltage waveform at the point of common coupling, respectively. The resonant controllers are connected in series and the design is based on its zeros damping. Experimental results obtained with the prototype, which controllers were implemented in a Texas Instruments TMS320F28335 are used to validate the proposed control strategies.

Keywords: Power-Hardware-in-the-Loop, grid-former converter, digital control, LC filter, active damping, modified digital resonant controller.

LISTA DE ILUSTRAÇÕES

Figura 1	Estrutura básica de um PHIL.	31
Figura 2	Estrutura PHIL conectado a um sistema PV.	34
Figura 3	Conversor emulador de rede.	36
Figura 4	Estrutura básica de um VSC com filtro de saída LC alimentando cargas locais	40
Figura 5	Controle da tensão de saída utilizando a corrente no capacitor na realimentação interna.	42
Figura 6	Controle da tensão de saída utilizando a corrente no indutor na realimentação interna.	42
Figura 7	Controle da tensão de saída utilizando a corrente no indutor e corrente na carga.	43
Figura 8	Diagrama de bode das impedâncias de saída para dois tipos de controladores, considerando $G_R(s) = 1$	45
Figura 9	Estratégia de controle de um conversor fonte de tensão (do inglês, <i>Voltage Source Converter</i>) (VSC) utilizando uma malha de controle. ..	47
Figura 10	Estratégia de controle de um VSC utilizando duas malhas de controle.	47
Figura 11	Respostas em frequência do controlador de corrente para diferentes ganhos.	48
Figura 12	Diagrama de um conversor fonte de tensão trifásico.	50
Figura 13	Componentes instantâneas: (a) fase a, (b) fase b, (c) fase c.	51
Figura 14	Representação do vetor espacial de tensão nos sistemas de coordenadas (<i>abc</i>).	51
Figura 15	Representação gráfica do vetor espacial de tensão nos sistemas de co-	

	ordenadas ($\alpha\beta 0$).	52
Figura 16	Equivalente monofásico do conversor emulador de rede (CER).	52
Figura 17	Representação em diagrama de blocos do sistema.	56
Figura 18	Diagrama de blocos da estratégia do amortecimento ativo no tempo contínuo.	61
Figura 19	Diagrama de Bode de $G_{io}(s)$ e $H_l(s)$	62
Figura 20	Diagrama de blocos da estratégia do amortecimento ativo no tempo contínuo com atraso de amostragem.	63
Figura 21	Diagrama de bode de $G_{io}(s)$ e $H_l(s)$ com atraso de amostragem.	64
Figura 22	Diagrama de bode de $G_{io}(z)$ e $H_l(z)$ com atraso de amostragem.	64
Figura 23	Diagrama de blocos da estratégia de amortecimento ativo no tempo discreto.	65
Figura 24	Diagrama de bode de $G_{io}(z)$ e $H_l(z)$	66
Figura 25	Diagrama de bode da função de transferência para a malha interna em malha aberta.	67
Figura 26	Diagrama de blocos do controle completo.	67
Figura 27	Resposta em frequência do controlador ressonante ideal.	68
Figura 28	Diagrama de bode do controlador ressonante para diferentes valores de r_h	70
Figura 29	Diagrama de bode da função de transferência para o sistema em malha aberta.	72
Figura 30	Diagrama de bode da impedância de saída: malha aberta (Z_o) e malha fechada ($Z_{o,cl}$).	72
Figura 31	Esquema do sistema experimental implementado em laboratório.	78
Figura 32	Fluxograma do algoritmo implementado no TMS320F28335.	81
Figura 33	Imagem da estrutura utilizada: (a) Bancada experimental; (b) Circuito de controle; (c) Circuito de potência.	83

Figura 34	Cargas testadas no conversor emulador de rede: (a) Carga RL trifásica e equilibrada; (b) Carga resistiva bifásica; (c) Retificador trifásico não controlado com carga resistiva; (d) Carga resistiva trifásica balanceada e retificador trifásico não controlado.	84
Figura 35	Formas de onda das tensões trifásicas no ponto de acoplamento comum (PAC) e corrente na carga.	85
Figura 36	Espectro de frequência da tensão de uma das fases no PAC sem conexão de carga.	86
Figura 37	Formas de onda das tensões trifásicas no PAC com compensação de harmônicos.	86
Figura 38	Formas de onda das tensões trifásicas no PAC e a corrente da carga na “fase b” para uma carga RL equilibrada.	87
Figura 39	Espectro de frequência da tensão de uma das fases no PAC para uma carga RL equilibrada, THD = 0,845%.	87
Figura 40	Forma de onda das tensões trifásicas no PAC frente a degrau de carga.	88
Figura 41	Formas de onda das tensões trifásicas no PAC e a corrente de saída para uma carga resistiva desequilibrada conectada entre as fases “c” e “b”.	88
Figura 42	Espectro de frequência da tensão de uma das fases no PAC para uma carga resistiva desequilibrada, THD = 1,16%.	89
Figura 43	Formas de onda da tensão de saída trifásica e corrente de carga, sem compensação harmônica, para uma ponte retificadora a diodo usado como carga, THD = 5,77%.	89
Figura 44	Formas de onda da tensão de saída trifásica e corrente de carga, com compensação harmônica, para uma ponte retificadora a diodo usado como carga, THD=1,60%.	90
Figura 45	Espectro harmônico da tensão de saída para um retificador trifásico não controlado usado como carga.	90
Figura 46	Formas de onda das tensões trifásicas no PAC e a corrente de saída para	

uma carga resistiva equilibrada e uma ponte retificadora a diodos. . .	91
Figura 47 Espectro harmônico da tensão de saída de uma das fases para uma carga resistiva equilibrada e uma ponte retificadora a diodos, THD = 2,14%.	91
Figura 48 Circuito para condicionamento e proteção dos canais de tensão e corrente.	104
Figura 49 Esquema da placa de condicionamento de sinais.	105
Figura 50 Esquema do <i>buffer</i> coletor aberto.	106

LISTA DE TABELAS

Tabela 1	Parâmetros do Sistema.	58
Tabela 2	Parâmetros do Controlador.	71
Tabela 3	Características do transdutor de tensão.	77
Tabela 4	Características do transdutor de corrente.	79
Tabela 5	Características do <i>driver</i> SKHI22B da Semikron.	80
Tabela 6	Parâmetros das Cargas.	84

LISTA DE ABREVIATURAS E SIGLAS

A/D analógico-digital

CA corrente alternada

CC corrente contínua

CHIL *Control-Hardware-in-the-loop*

CMC controle modo de corrente (do inglês, *current-mode control*)

CER conversor emulador de rede

D/A digital-analógico

DB *deadbeat*

DSC controlador digital de sinais (do inglês, *Digital Signal Controller*)

DSP processador digital de sinais (do inglês, *Digital Signal Processor*)

FLC controle por linearização da realimentação (do inglês, *Feedback Linearization Control*)

FOH *First-order holder*

GPIO portas de propósito geral (do inglês, (*General Purpose Input Output*))

HIL *Hardware-in-the-loop*

HUT *hardware* sob teste

HVDC *high-voltage direct current*

I/O entrada e saída (do inglês, *input-output*)

IGBT Transistor Bipolar com Gatilho Isolado (do inglês, *Insulated Gate Bipolar Transistor*)

NAEP Núcleo de Automação e Eletrônica de Potência

PAC ponto de acoplamento comum

PHIL *Power-Hardware-in-the-loop*

PI proporcional-integrador

PID proporcional-integral e derivativo

PR proporcional-ressonante

PV célula fotovoltaica (do inglês, *Photovoltaic cell*)

PWM modulação por largura de pulso (do inglês, *Pulse Width Modulation*)

RTDS *Real Time Digital Simulator*

SEP sistema elétrico de potência

SMC controle por modos deslizantes (do inglês, *sliding mode control*)

SVM modulação vetorial (do inglês, *Space Vector Modulation*)

THD distorção harmônica total (do inglês, *Total Harmonic Distortion*)

TNA *transient network analyzer*

UFJF Universidade Federal de Juiz de fora

UPS fonte ininterrupta de energia (do inglês, *Uninterruptible Power Supply*)

VMC controle modo de tensão (do inglês, *voltage-mode control*)

VSC conversor fonte de tensão (do inglês, *Voltage Source Converter*)

ZOH *Zero-order holder*

SUMÁRIO

1	Introdução	29
1.1	Power-Hardware-in-the-Loop	31
1.2	Identificação do problema	32
1.3	Motivação do trabalho	34
1.4	Objetivos	35
1.5	Estrutura do Trabalho	37
2	Revisão de Controladores de Tensão para Conversores Estáticos com Filtros LC	39
2.1	Introdução	39
2.2	Estratégias de controle aplicadas a conversores VSC com filtro LC	39
2.3	Ressonância dos Filtros LC	45
2.3.1	Amortecimento Passivo	46
2.3.2	Amortecimento Ativo	46
2.4	Conclusões Parciais	48
3	Fundamentos Teóricos	49
3.1	Introdução	49
3.2	Funcionamento Básico do Conversor Fonte de Tensão Trifásico	49
3.3	O Vetor Espacial	50
3.4	Modelagem do Conversor Emulador de Rede	51
3.5	Representação no Espaço de Estados	54
3.5.1	Discretização	57
3.6	Conclusões Parciais	58

4	Estratégia de Controle	61
4.1	Introdução	61
4.2	Amortecimento Ativo - Malha interna de Tensão	61
4.2.1	Projeto dos Compensadores por Avanço de Fase no Tempo Contínuo	62
4.2.2	Projeto dos Compensadores por Avanço de Fase no Tempo Discreto	65
4.3	Controle da malha externa de tensão	67
4.3.1	Controlador Proporcional Ressonante	68
4.3.2	Projeto de Controladores Ressonantes no Tempo Discreto	69
4.3.3	Estrutura Completa de Controle	70
4.4	Conclusões Parciais	72
5	Resultados Experimentais	75
5.1	Introdução	75
5.2	Características do DSC Utilizado	75
5.3	Características do Conversor Utilizado	76
5.4	Interface entre o Conversor e o DSC	76
5.4.1	Medição das grandezas Elétricas	77
5.4.2	Circuito de Condicionamento de Sinais Analógicos	79
5.4.3	Disparo dos Interruptores	79
5.5	Programação do DSC	80
5.6	Bancada Experimental	82
5.7	Validação Experimental	84
5.7.1	Caso 1	85
5.7.2	Caso 2	86
5.7.3	Caso 3	88
5.7.4	Caso 4	89
5.7.5	Caso 5	90

5.8	Conclusões Parciais	91
6	Conclusões	93
6.1	Produção Científica Resultante Desta Pesquisa	95
6.2	Trabalhos Futuros	95
	Referências	97
	Apêndice A - Condicionamento dos sinais analógicos e PWM	103

1 INTRODUÇÃO

Antes do surgimento dos primeiros simuladores digitais em tempo real (*Real Time Digital Simulator* (RTDS)), as simulações em tempo real dos sistemas de potência eram executadas utilizando modelos analógicos em escala reduzida, que geravam imprecisões e incertezas nas análises (FORSYTH; MAGUIRE & KUFFEL, 2004). Posteriormente, estas simulações foram realizadas através do *transient network analyzer* (TNA). O TNA é composto por uma coleção de modelos usados para estudar e simular os efeitos de possíveis surtos em um sistema de potência (PRATICO & EITZMANN, 1994). Estes dispositivos eram mais precisos que os modelos analógicos embora sejam mais custosos.

Simulação digital em tempo real de um sistema elétrico é a reprodução das formas de onda de saída (tensão/corrente), com a precisão desejada, que seja representativa do comportamento do sistema de potência real que está sendo modelado. Para atingir esse objetivo, o simulador em tempo real precisa resolver as equações do modelo matemático em um passo de simulação dentro do mesmo período no relógio do mundo real. Se o tempo de execução da simulação é menor ou igual ao passo de simulação escolhido, a simulação é considerada em tempo real. Caso contrário é considerada *offline* (IEEE PES Task Force on Real-Time Simulation of Power and Energy Systems, 2015). O passo de uma simulação em tempo real deve ser sincronizada com um relógio do mundo real, uma vez que o hardware do mundo real deve interagir com a simulação (PARK et al., 2013).

Um simulador em tempo real deve resolver um modelo em larga escala de rede elétrica de distribuição em até $50 \mu\text{s}$ para que seja possível reproduzir o transitório de maneira fiel. Este é o tempo necessário para uma resolução adequada em sistemas de potência que operam em 50/60 Hz. Por outro lado, em sistemas com conversores eletrônicos de potência comutados, passos de simulação menores são requeridos. Se controlados digitalmente, circuitos chaveados em alta frequência podem operar em um microcontrolador com um *clock* interno com períodos de $1 \mu\text{s}$ a 10 ns . Isto requer uma capacidade de processamento muito maior, aliada à habilidade de simulação com passos muito pequenos. Entretanto, apesar da dinâmica interna rápida dos conver-

sores estáticos, as interações a nível de sistema podem não requerer um passo muito pequeno (IEEE PES Task Force on Real-Time Simulation of Power and Energy Systems, 2015).

O primeiro simulador digital em tempo real comercial foi demonstrado pela RTDS Technologies Inc. em 1991. O RTDS é um simulador de sistemas de energia em tempo real, totalmente digital, desenvolvido no *Manitoba HVDC Research Centre* no final da década de 1980. O seu *hardware* é baseado em uma personalizada arquitetura de processamento paralela projetada especificamente para resolver o algoritmo de simulação de transitórios eletromagnéticos desenvolvido pelo Dr. Hermann Dommel (DOMMEL, 1969). O projeto é modular de modo que sistemas de potência de diferentes tamanhos possam ser acomodados em unidades, referidas como *racks*, ao simulador. Cada *rack* de *hardware* inclui cartões de comunicação e de processador ligados através de um plano comum (FORSYTH & KUFFEL, 2007). Além do RTDS existem outros simuladores em tempo real desenvolvidos pela *Typhoon HIL* e a *Opal Technologies*. Diferentemente do RTDS e do eMEGAsim desenvolvido pela *Opal*, o *Typhoon HIL* é voltado para simulação de conversores eletrônicos de potência.

A Operação em tempo real implica que um evento no sistema que dure, por exemplo, um segundo possa ser simulado em um segundo ou menos. As simulações digitais normalmente requerem muitos segundos ou minutos para executar os cálculos necessários e produzir uma solução para tal evento (KUFFEL et al., 1995). Uma alternativa para contornar este problema é utilizar a simulação *Hardware-in-the-loop* (HIL). De acordo com (TERLIP; KROPOSKI & MAKSIMOVIC, 2012) e (SANCHEZ; CASTRO & GARRIDO, 2012), na simulação HIL, parte do sistema é modelado e simulado em tempo real, enquanto que, o restante do sistema real é conectado a um circuito em malha fechada através de várias interfaces de entrada e saída (do inglês, *input-output*) (I/O), tais como conversores analógico-digital (A/D) e digital-analógico (D/A).

A simulação HIL pode ser de dois tipos: *Control-Hardware-in-the-loop* (CHIL) ou *Power-Hardware-in-the-loop* (PHIL). No CHIL, o sistema de potência juntamente com a eletrônica de potência são representados por um modelo no simulador em tempo real, enquanto o controlador digital, dispositivo sob teste, é conectado em malha fechada com o modelo. Por outro lado, na simulação PHIL, uma parte do sistema de potência é montado externamente ao simulador, exigindo um fluxo de potência, para o hardware externo, com amplitudes consideravelmente superiores às das do CHIL.

1.1 POWER-HARDWARE-IN-THE-LOOP

A tecnologia PHIL está se tornando cada vez mais popular em virtude da sua crescente utilização em simulações de sistemas elétricos de potência (SEP), eletrônica de potência, entre outros sistemas associados. O PHIL é baseado na combinação dos sinais de controle e medição do *hardware* sob teste (HUT) com a simulação em tempo real do restante do sistema. Simulação PHIL, como mostrado na Figura 1, refere-se aos casos em que um dispositivo de potência necessita ser testado. Neste cenário, o HUT absorve potência real enquanto o simulador lida com sinais digitais. Por este motivo, uma interface de tratamento é de suma importância para a adequação apropriada dos níveis das variáveis para o perfeito funcionamento do PHIL.

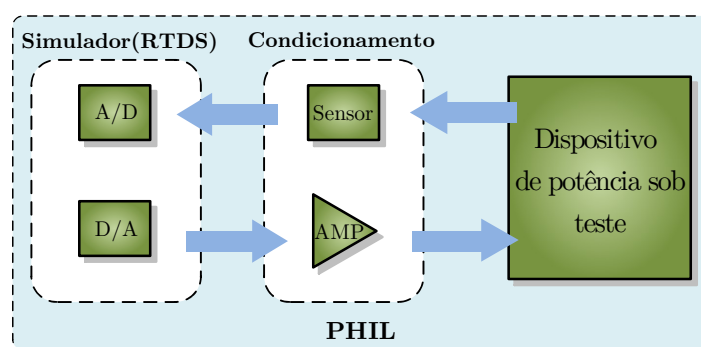


Figura 1: Estrutura básica de um PHIL.

Uma das principais contribuições desta tecnologia é fornecer um ambiente realista em que equipamentos reais, como por exemplo relés, possam ser testados antes de serem utilizados na prática. Como exemplo, algumas das potenciais aplicações do PHIL são em: (i) testes de máquinas elétricas como unidades de propulsão (STEURER et al., 2010) (FLEMING et al., 2009); (ii) geradores de turbina a gás como força motriz de navio elétrico (CHOE et al., 2014) (SIEGERS & SANTI, 2015) (LANGSTON et al., 2013) e (iii) gerenciamento (KERMANI et al., 2011) e armazenadores de energia (TRIGUI et al., 2009) de veículos elétricos híbridos. Além destes, o PHIL também está sendo amplamente utilizado em pesquisas com fontes alternativas de energia, tais como, solar (LIU et al., 2012) (JUNG et al., 2012) e eólica (HELMEDAG; ISERMANN & MONTI, 2014) (MÄKINEN; MESSO & TUUSA, 2014), além de estudos em microrrede de corrente contínua (CC) (FANTAUZZI et al., 2015) e de corrente alternada (CA) (CROLLA et al., 2011). Os sistemas de transmissão *high-voltage direct current* (HVDC) também têm sido testados em plataformas de simulação em tempo real (MATAR; PARADIS & IRAVANI, 2016).

A fim de compreender as interações e mitigar possíveis problemas é desejável que qualquer produto ou dispositivo seja anteriormente testado sob as condições mais pró-

ximas possível dos sistemas aos quais serão empregados. Neste contexto, a simulação PHIL pode prover uma alternativa de custo reduzido em relação ao custo de implantação do sistema real.

Outra motivação para esta abordagem reside na flexibilidade e facilidade para modificar as condições do sistema circundante, que é a parte simulada em tempo real, uma vez que as montagens experimentais de alta potência, totalmente implementadas em *hardware*, podem ser muito demoradas e custosas. Ademais, a simulação PHIL também oferece um cenário ideal para a coleta de dados experimentais do HUT, que podem ser utilizados na construção e validação de modelos de simulação do próprio HUT, e assim melhorar e motivar os estudos para análises *offline*.

1.2 IDENTIFICAÇÃO DO PROBLEMA

Dentre as fontes renováveis de energia conectadas à rede, a solar fotovoltaica (PV) é a que mais cresceu nas últimas décadas, apresentando um crescimento exponencial em suas instalações. Em 2015 a capacidade mundial de potência instalada aumentou em 50 *GW* (CENTURY, 2016). Além disso, a implantação generalizada dos painéis solares é justificado por fatores como o aumento da eficiência da célula fotovoltaica (do inglês, *Photovoltaic cell*) (PV) a níveis de 34,5% (WALES, 2016) e a aprovação de políticas de incentivos por governos de diversos países (COMMISSION, 2012).

Neste novo cenário, o uso extensivo de painéis solares conectados à rede elétrica de distribuição podem resultar em impactos indesejáveis na qualidade de energia, tais como: flutuação de tensão; injeção de harmônicos característicos e não-característicos; aumento dos níveis de tensão; desequilíbrios de tensão; sobrecarga em dispositivos controladores de tensão tais como transformadores de derivação de carga e reguladores de tensão de linha; aumento das perdas devido a um possível fluxo de potência inverso; ilhamentos não intencionais; operação indevida de equipamentos de proteção; e etc (KANDIL et al., 2015). Por outro lado, a filosofia da operação e controle dos sistemas de geração fotovoltaicos conectados à rede elétrica mudou nos últimos anos. Anteriormente, os sistemas PV funcionavam similarmente à uma fonte de corrente, apenas injetando a potência ativa oriunda da conversão no SEP (IEEE, 2000). Quando qualquer tipo de anormalidade era identificada no SEP, o sistema PV se desconectava automaticamente, retornando sua operação alguns minutos após a normalização do sistema. Essa estratégia funciona de maneira adequada quando a penetração de sistemas PV no SEP é desprezível, ou nos casos em que o sistema é conectado a um ponto forte da

rede, ou seja, a potência da instalação é muito menor que a potência de curto-circuito da barra.

Atualmente, o cenário descrito anteriormente não retrata mais a realidade, principalmente em países com grandes incentivos como a Alemanha (TROESTER, 2009). Com o intuito de se adequar a essa nova realidade, os códigos de rede e recomendações para o controle e operação de sistemas PV conectados à rede mudaram drasticamente (YANG; YANG & MA, 2014) (ALMEIDA et al., 2016). Ao invés do conversor cessar sua operação ao primeiro sinal de distúrbio, o sistema PV agora é obrigado a se manter conectado dando suporte ao SEP. Alguns destes requisitos para sistemas PV conectados à rede são:

- Permanecer conectado durante uma falta;
- Dar suporte à restauração da tensão fornecendo potência reativa durante a falta;
- Consumir a mesma potência reativa, ou menor, após a eliminação da falta;
- Alimentar a corrente de curto-circuito;
- A planta deve ser capaz de reduzir a potência ativa injetada para ajudar na regulação da frequência.
- Potência reativa deve ser injetada na rede de acordo com os requisitos do operador local durante a operação normal;

A fim de verificar com mais exatidão os impactos causados pela integração de sistemas PV à rede elétrica de distribuição, assim como estudar o comportamento e projetar sistemas de controle para operação do sistema PV durante condições anormais e curtos-circuitos, é necessário um ambiente em que todas essas possibilidades possam ser testadas. Neste contexto, a tecnologia PHIL pode ser uma alternativa interessante.

A UFJF conta com um sistema experimental de geração fotovoltaico de 30 kWp, dos quais metade são injetados na rede local através de conversores comerciais. Por ser diretamente conectado à rede interna da universidade, esse sistema não controlado não permite que parâmetros da rede sejam modificados e que situações de faltas sejam emuladas com segurança. Por outro lado, a UFJF também conta com um RTDS, equipamento consolidado para simulações em tempo real de SEPs. Entretanto, o RTDS não é indicado para simular conversores estáticos comutados a dezenas de kHz. Desta forma, a ideia principal deste projeto é unir o sistema experimental fotovoltaico ao

RTDS formando um PHIL que possibilitará todos os estudos de integração de sistemas PV ao SEP.

1.3 MOTIVAÇÃO DO TRABALHO

A Figura 2 ilustra uma estrutura PHIL conectada a um sistema PV, o qual deseja-se implementar na Universidade Federal de Juiz de fora (UFJF).

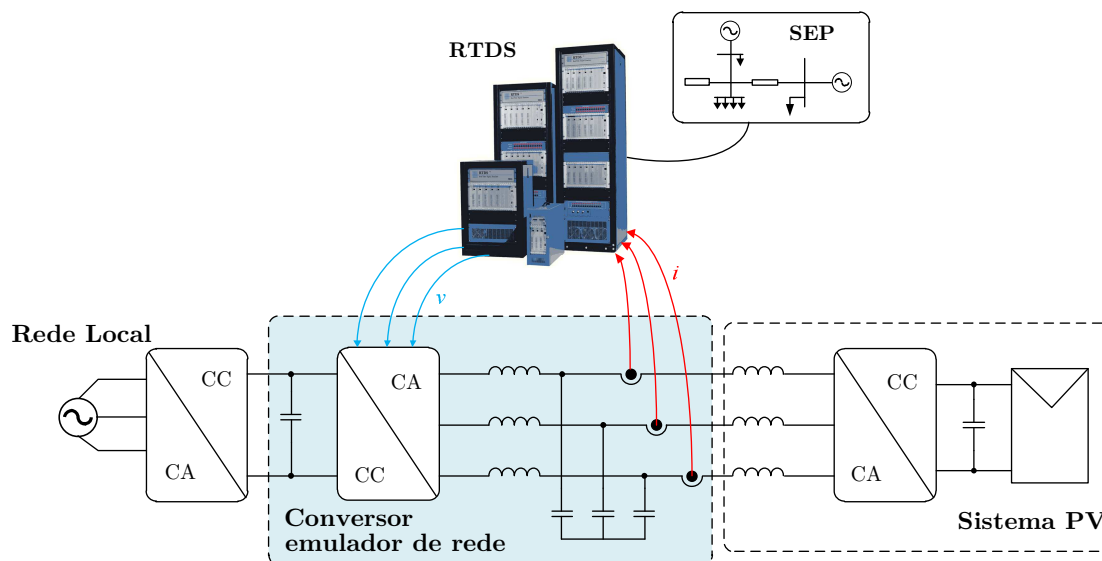


Figura 2: Estrutura PHIL conectado a um sistema PV.

O PHIL proposto na Figura 2 é composto por três estágios de conversão de energia. O sistema PV, que é o *hardware* sob teste desta topologia, utiliza um conversor CC-CA para injetar a energia convertida pelos painéis solares nos terminais do conversor emulador de rede (CER). Esta energia, que passa através do CER, será injetada por um outro conversor na rede elétrica local. Apesar de utilizar o PHIL, toda a energia gerada será disponibilizada para consumo na UFJF, da mesma forma que seria feito no caso da conexão direta.

O CER é a parte mais importante deste sistema. Ele é responsável por gerar as tensões nos terminais do sistema PV, de acordo com os sinais fornecidos pelo RTDS, independente da potência e da forma de onda de corrente injetada pelo sistema PV. O RTDS simula em tempo real o SEP, utilizando como entrada as correntes reais injetadas pelo sistema PV e fornece as tensões da barra em que o sistema PV está conectado. Desta forma, é possível, baseado em medições reais *online*, verificar a interação dos impactos do sistema PV no SEP, além de ser possível verificar experimentalmente a operação do sistema PV frente a condições anormais do SEP simulada pelo RTDS.

Com o auxílio do RTDS, propõe-se ao conversor emulador de rede, em destaque na Figura 2, fazer-se de rede elétrica local a fim de testar e estudar, em tempo real, os impactos que esta conexão proporciona ao sistema PV e ao sistema elétrico de potência (SEP), juntamente com o desempenho do sistema de controle da geração PV frente a condições anormais no SEP. Nesse sentido, o desenvolvimento de uma estratégia de controle eficiente é fundamental para garantir a operação satisfatória do PHIL.

Usualmente, há uma procura por controladores de fácil implementação e que apresentem desempenho dinâmico rápido e erros de regime permanentes nulos. Em grande parte das aplicações, esses controladores são projetados com uma malha interna de corrente para garantir uma maior robustez ao sistema de controle (KAZMIERKOWSKI & MALESANI, 1998). Contudo, este tipo de abordagem demanda a utilização de sensores de grande precisão adicionais, aumentando os custos.

Dos diversos controladores empregados na literatura pode-se citar as versões lineares, proporcional-integrador (PI) (MODESTO et al., 2013), proporcional-ressonante (PR) (LOH et al., 2003) *deadbeat* (DB) (MATTAVELLI, 2005) e não-lineares, controle por modos deslizantes (do inglês, *sliding mode control*) (SMC) (KOMURCUGIL, 2012) e preditivo (CORTES et al., 2009). Outra vertente que apresenta bons resultados, envolve as combinações de dois ou mais controladores com objetivo de conciliar boas características de cada estratégia de controle (LOH et al., 2003).

1.4 OBJETIVOS

Devido à complexidade do sistema mostrado na Figura 2, esta dissertação terá como foco o conversor emulador de rede, um dos itens de fundamental importância do PHIL em questão.

O objetivo deste trabalho é desenvolver uma estratégia de controle para conversores estáticos fonte de tensão utilizados para formar uma rede elétrica trifásica de distribuição. Nesse contexto, o algoritmo de controle tem que ser capaz de gerar uma tensão trifásica fiel aos sinais de referência, independente das correntes drenadas ou injetadas nos terminais do CER.

Devido ao fato de que apenas o CER será implementado, não será possível testar o sistema da forma mostrada na Figura 2. Portanto, para testar a eficácia do controlador, o conversor emulador de rede será conectado à cargas lineares, não-lineares e desbalanceadas, como ilustrado na Figura 3. Apesar do fluxo de potência ser no

sentido contrário, o projeto do controlador é feito da mesma forma, uma vez que as correntes serão modeladas como distúrbio. Assim, o projeto de controle desenvolvido neste trabalho poderá ser utilizado sem adaptações quando o sistema de geração PV for incorporado. É importante, no entanto, utilizar uma estratégia *back-to-back* como ilustrado na Figura 2 tornando o sistema bidirecional em potência.

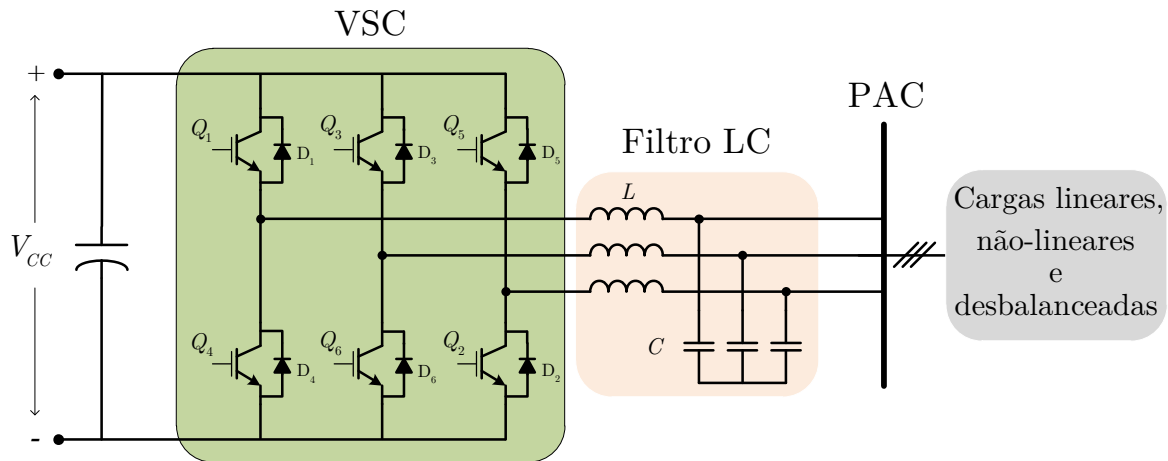


Figura 3: Conversor emulador de rede.

Assim, para atingir o principal objetivo deste trabalho as seguintes etapas foram planejadas e executadas:

- i.* Modelar matematicamente o sistema sob estudo;
- ii.* Estudar técnicas de controle de tensão para serem aplicadas a conversores fonte de tensão;
- iii.* Simular o sistema modelado no *software* PSIM;
- iv.* Apresentar uma técnica de controle alternativa para controlar o conversor VSC a fim de garantir uma tensão no PAC de alta qualidade mesmo quando alimentando cargas não-lineares;
- v.* Implementar um protótipo em laboratório;
- vi.* Implementar os algoritmos de controle desenvolvidos em um controlador digital de sinais (do inglês, *Digital Signal Controller*) (DSC) (TMS320F28335) da Texas Instruments;
- vii.* Obter resultados experimentais para validar o modelo matemático e a estratégia de controle proposta.

1.5 ESTRUTURA DO TRABALHO

Este trabalho é organizado em seis capítulos.

No Capítulo 2 é apresentada uma revisão das estratégias de controle aplicadas a conversores VSC com filtro LC. Em seguida, é apresentado um panorama da ressonância intrínseca do filtro de segunda ordem e, por fim, são discutidos os principais caminhos para atenuá-la.

No Capítulo 3 são apresentados o princípio de funcionamento do VSC e a modelagem do conversor fonte de tensão com filtro LC. Posteriormente é obtida a matriz de transferência que rege o comportamento do sistema para em seguida realizar a discretização do mesmo.

O Capítulo 4 aborda detalhes do projeto do controlador.

No Capítulo 5 são apresentados detalhes sobre a construção do protótipo, da implementação prática e da programação do processador digital de sinais (do inglês, Digital Signal Processor) (DSP). Resultados obtidos serão apresentados, discutidos e analisados.

O Capítulo 6 apresenta conclusões gerais deste trabalho, a produção científica resultante desta pesquisa e algumas propostas para a continuidade desta pesquisa serão feitas.

No Apêndice A são apresentados os diagramas esquemáticos dos circuitos de condicionamento e de interface dos sinais de corrente e tensão utilizados na implementação experimental do protótipo desenvolvido.

2 REVISÃO DE CONTROLADORES DE TENSÃO PARA CONVERSORES ESTÁTICOS COM FILTROS LC

2.1 INTRODUÇÃO

Existem duas estratégias básicas para controlar conversores fonte de tensão. Uma delas é denominada controle modo de corrente (do inglês, *current-mode control*) (CMC). Nesta estratégia, um controlador de corrente na malha interna dedicado proporciona uma regulação de corrente eficiente, reduzindo picos e protegendo todo o sistema contra sobrecorrente.

A outra estratégia é conhecida como controle modo de tensão (do inglês, *voltage-mode control*) (VMC) e é amplamente utilizado em aplicações de alta potência. Nesta estratégia, usualmente não existe malha interna de corrente, sendo a tensão nos terminais do conversor controlada por malha única de tensão. Apesar de simples e empregar poucas malhas de controle, deve-se prever uma malha interna para proteger o conversor contra sobrecorrentes ou correntes de curto-circuito (YAZDANI & IRAVANI, 2010).

Neste capítulo serão investigadas algumas estratégias utilizadas na literatura para controlar e garantir que as tensões no PAC rastreiem os sinais de referência e ao mesmo tempo rejeite possíveis distúrbios causados por cargas conectadas no PAC.

2.2 ESTRATÉGIAS DE CONTROLE APLICADAS A CONVERSORES VSC COM FILTRO LC

Na Figura 4 é ilustrada a estrutura básica de um conversor fonte de tensão de dois níveis, a três fios e com filtro de saída LC alimentando cargas conectadas no PAC. O filtro LC, devido ao capacitor em paralelo com a carga, é utilizado quando se deseja emular o comportamento de uma rede elétrica, ou seja, controlar as tensões no ponto de acoplamento comum onde as cargas são conectadas. Este filtro, embora possa comprometer a estabilidade do sistema devido à ressonância intrínseca, atenua melhor os harmônicos de comutação se comparado ao filtro indutivo de primeira ordem.

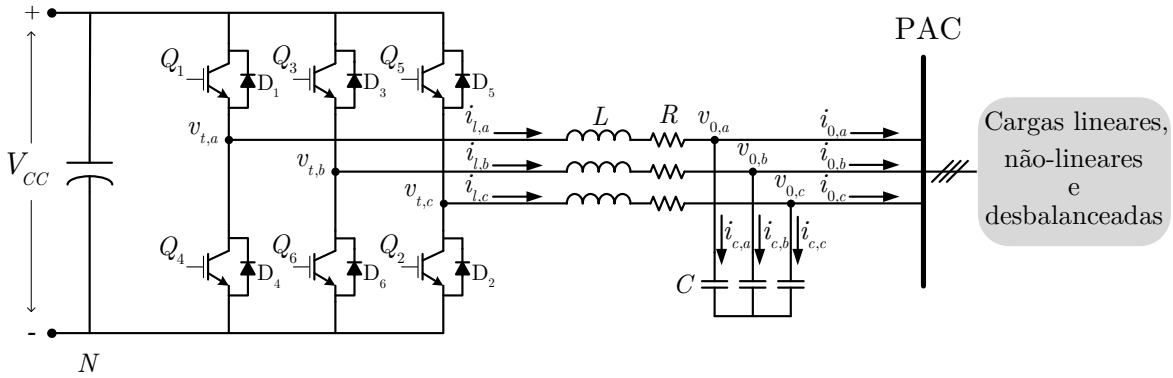


Figura 4: Estrutura básica de um VSC com filtro de saída LC alimentando cargas locais

Como estes conversores operam de forma isolada, eles tem a finalidade de emular as tensões de uma rede elétrica de distribuição. Nesse contexto, as estratégias de controle utilizadas em sistemas fonte ininterrupta de energia (do inglês, *Uninterruptible Power Supply*) (UPS), microrredes isoladas e entre outras, se aplicam a este trabalho. Sendo, portanto, importante a revisão das estratégias propostas na literatura.

O principal papel de uma UPS é manter a tensão e a frequência de alimentação dentro de faixas preestabelecidas por normas específicas, sob quaisquer condições de carga. Para alcançar este resultado, diferentes algoritmos de controle tem sido propostos na literatura, que vão desde controladores lineares como proporcional-integral, H_∞ , *deadbeat*, repetitivo, até controladores não-lineares como modos deslizantes e controle por linearização da realimentação (do inglês, *Feedback Linearization Control*) (FLC) e etc..

O controle PI sugerido em (KARIMI; YAZDANI & IRAVANI, 2011) e (MODESTO et al., 2013) é de fácil implementação, porém a tensão de saída apresenta uma alta distorção harmônica total (do inglês, *Total Harmonic Distortion*) (THD) quando cargas não-lineares são alimentadas. Em (LEE; CHIANG & CHANG, 2001) o controle H_∞ é descrito e implementado em um inversor monofásico adicionando robustez ao sistema. Um controlador preditivo, aplicado ao sistema UPS, é descrito em (CORTES et al., 2009). Nele, os autores substituem os sensores de corrente na carga por observadores de corrente para reduzir o custo do sistema. No entanto, a simulação e os resultados experimentais não revelaram melhoras significativas em termos de THD e erro em estado estacionário. O controlador proposto por (MATTAVELLI, 2005) utiliza o controle *deadbeat* aliado a observadores de estado e de distúrbio com o objetivo de suprimir ou diminuir incertezas causadas por variações paramétricas da planta e aos ruídos de medição. Em (KUKRER; KOMURCUGIL & DOGANALP, 2009) e (KOMURCUGIL, 2012)

a aplicação da técnica de controle por modos deslizantes garante robustez frente a distúrbios e variações paramétricas, embora esta estratégia esteja associada com o fenômeno indesejável de *chattering* (TAN; LAI & TSE, 2011). Tal fenômeno é inerente aos conversores estáticos e está relacionado à variação entre as subestruturas do dispositivo que, por sua vez, ocorrem em uma frequência finita (SILVA & PINTO, 2011). É indesejado na medida em que leva a uma menor precisão no controle dos conversores, desgaste de partes mecânicas em servomotores e em outros elementos, bem como o aumento de perdas por comutação (UTKIN; GULDNER & SHI, 2009). Em (ESCOBAR et al., 2007) e (BOTTERÓN & PINHEIRO, 2007), o controle repetitivo é aplicado para alcançar uma tensão de saída com baixo THD. No entanto, geralmente, esta técnica de controle apresenta uma resposta transitória lenta (KIM et al., 2015). Um controle adaptativo com baixa THD é proposto em (DO et al., 2013). Já o controle de linearização por realimentação é proposto em (KIM & LEE, 2010).

Além das estratégias de controle abordadas acima, outros trabalhos tem destacado o uso dos controladores proporcional-integral e derivativo (PID) com malhas em cascata devido à sua facilidade de implementação e desempenho satisfatório (LOH et al., 2003).

Os controladores de conversores estáticos podem ser projetados com uma, duas ou mais malhas de controle. Na estratégia com duas malhas, geralmente é incluída uma malha interna de corrente e uma malha externa de tensão. A primeira garante proteção contra sobrecorrente e proporciona robustez contra variações nos parâmetros do sistema, enquanto a segunda promove o valor de referência para o controlador de corrente além do controle de tensão.

O controle de corrente, em esquemas de mais uma malha, pode adotar a corrente no capacitor ou a corrente no indutor como principal variável da realimentação interna. Nesse contexto, devido ao fato de ser a estratégia mais utilizada, esta seção apresenta uma revisão detalhada, proposta em (LOH et al., 2003), dos méritos e das deficiências destas alternativas.

A fim de reduzir o erro de estado permanente, compensadores PR podem ser incluídos na malha externa de tensão. O PR ideal introduz um ganho infinito na frequência de ressonância selecionada de maneira a eliminar o erro de regime permanente nesta frequência. Dentre as suas diversas características, destaca-se a dispensabilidade de estimar precisamente os parâmetros do sistema ao qual o PR está inserido. Em (ALMEIDA, 2013) é realizada uma revisão mais detalhada deste controlador.

Nas Figuras 5, 6 e 7 são ilustradas as principais estruturas de controle multi-malha

aplicadas aos sistemas UPS. Note que as estruturas das Figuras 5 e 6 utilizam a corrente no capacitor (i_c) e no indutor (i_l), respectivamente, como variável de realimentação interna. Além disso, em ambas alternativas há uma compensação *feed-forward* da tensão de saída (v_0), além da compensação *feed-forward* da corrente no indutor no esquema da Figura 6.

A estrutura da Figura 7 é considerada mais complexa, uma vez que ela propõe utilizar as correntes no indutor e na carga (i_0) como variáveis de realimentação e de *feed-forward*. Por este motivo, este esquema exige sensores de corrente adicionais, que podem impactar o custo da UPS.

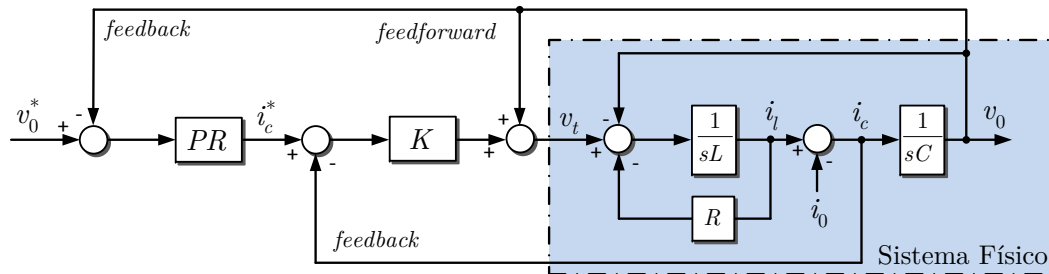


Figura 5: Controle da tensão de saída utilizando a corrente no capacitor na realimentação interna.

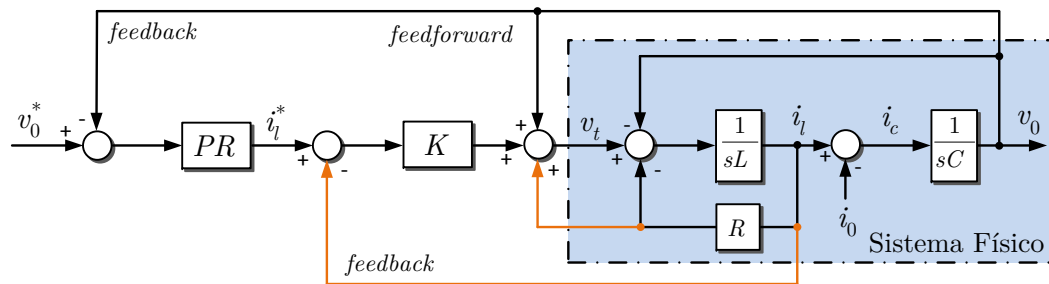


Figura 6: Controle da tensão de saída utilizando a corrente no indutor na realimentação interna.

Se, na Figura 7, o controlador PR fosse substituído pelo controlador PI, seria necessário incluir o bloco sC na malha externa de tensão, a fim de compensar o erro de rastreamento da tensão de referência. Este bloco estima a corrente no capacitor e com isso reduz o erro de estado permanente senoidal da tensão de saída (MODESTO et al., 2013).

A equação que descreve a dinâmica do sistema com a inclusão do controle proposto na Figura 5 é dada por:

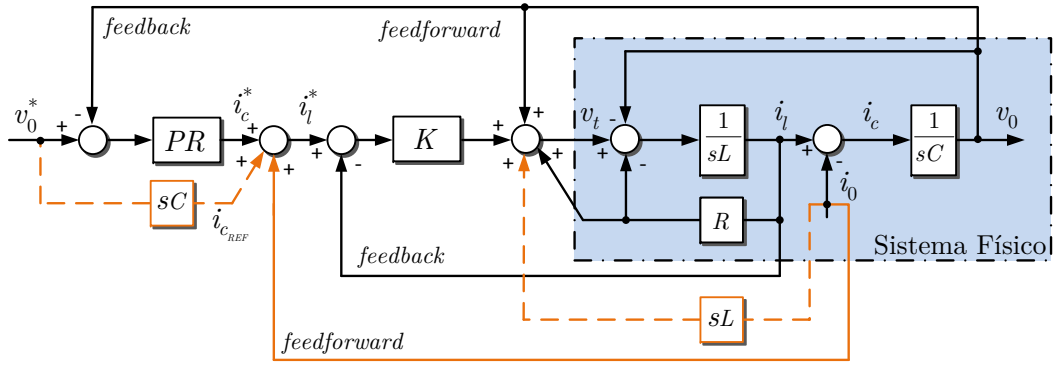


Figura 7: Controle da tensão de saída utilizando a corrente no indutor e corrente na carga.

$$\begin{aligned}
 v_0(s) = & \underbrace{\frac{KG_R(s)}{s^2LC + (RC + CK)s + KG_R(s)}}_{\text{Primeiro termo}} v_0^*(s) - \\
 & \underbrace{\frac{sL + R}{s^2LC + (RC + CK)s + KG_R(s)}}_{\text{Segundo termo } Z_{0c}(s)} i_0(s), \quad (2.1)
 \end{aligned}$$

Os primeiro e segundo termos de (2.1) relacionam a tensão de saída com a tensão de referência e a corrente na carga, respectivamente. O ganho K é um controlador proporcional usualmente utilizado na malha interna de corrente e $G_R(s)$ é a função de transferência do controlador proporcional ressonante, geralmente incluído na malha externa de tensão. Controladores de ordem mais alta também podem ser utilizados, entretanto, além do controlador proporcional ser largamente aplicado, ele facilita uma análise preliminar.

Baseado em (2.1), pode-se afirmar que o segundo termo desta equação é denominado impedância de saída do sistema ($Z_{0c}(s)$), e que a sua inversa, nomeada como rigidez dinâmica, quantifica a capacidade da corrente consumida pela carga produzir uma queda unitária na tensão de saída. Isto posto, a corrente na carga pode ser considerada uma perturbação para o sistema (LOH et al., 2003).

Como dito anteriormente, o controlador PR apresenta um ganho infinito na frequência de ressonância selecionada, ou seja, $G_R(j\omega_r) \rightarrow \infty$. Desta forma, em (2.1), a tensão de saída se aproxima da tensão de referência (v_0^*) na frequência de ressonância do PR, sem a necessidade de estimar os parâmetros do sistema UPS.

Por outro lado, quando a corrente no indutor é utilizada como variável de reali-

mentação interna (Figura 6), a seguinte relação entre a variável de saída, a referência e o distúrbio pode ser escrita

$$v_0(s) = \underbrace{\frac{KG_R(s)}{s^2LC + (RC + CK)s + KG_R(s)}}_{\text{Primeiro termo}} v_0^*(s) - \underbrace{\frac{sL + K + R}{s^2LC + (RC + CK)s + K(s)G_R(s)}}_{\text{Segundo termo } Z_{0i}(s)} i_0(s), \quad (2.2)$$

Novamente, sob condições de estado permanente, o ganho infinito introduzido pelo controlador PR faz com que a tensão de saída rastreie a tensão de referência, ou seja,

$$\lim_{s \rightarrow j\omega_r} \frac{v_0(s)}{v_0^*(s)} \rightarrow 1, \quad (2.3)$$

e que rejeite as perturbações causadas pela corrente na carga,

$$\lim_{s \rightarrow j\omega_r} \frac{v_0(s)}{i_0(s)} \rightarrow 0. \quad (2.4)$$

É importante ressaltar que as afirmações anteriores são válidas apenas para a frequência ω_r em que o controlador ressonante foi projetado.

Embora as estratégias de controle propostas nas Figuras 5 e 6 sejam plenamente conhecidas na literatura, elas são deficientes frente a distúrbios harmônicos causados pela carga. Uma das alternativas para eliminar estas perturbações é reduzir o filtro indutivo, reduzindo assim a impedância de saída. Contudo, apenas esta estratégia não é satisfatória para o controle que utiliza a corrente no indutor como única variável de realimentação, uma vez que a impedância de saída do sistema ($Z_{0i}(s)$), segundo termo da equação (2.2), contém o ganho K no numerador. Portanto, a redução dos distúrbios causados pela carga depende da redução da impedância do filtro e também do valor do ganho proporcional K . Outra alternativa interessante para ambos os casos é utilizar compensadores PRs individuais sintonizados nas frequências de cada componente que se deseja rejeitar.

Note que os pólos da impedância de saída para os controles de corrente no capacitor e indutor são os mesmos, no entanto o zero é diferente. O ganho K aumenta a frequência do zero em $Z_{0i}(s)$, e com isso, faz com que este sistema seja mais sensível a distúrbios

em baixa frequência. Na Figura 8 é ilustrado este comportamento. Para esta análise, considerou-se o controlador ressonante com ganho unitário e $K = 2$.

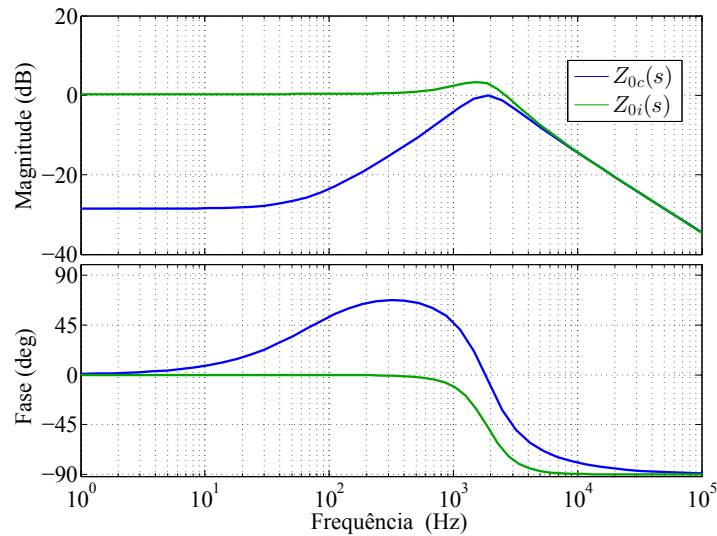


Figura 8: Diagrama de bode das impedâncias de saída para dois tipos de controladores, considerando $G_R(s) = 1$.

Segundo (LOH et al., 2003), o diagrama de blocos da Figura 5, que realimenta a corrente no capacitor, obteve melhor desempenho. Entretanto, em sistemas que não medem as correntes de saída do VSC não é possível realizar proteção contra sobrecorrente.

No diagrama de blocos da Figura 6 é realizada a medição das correntes que saem do inversor. Isto viabiliza incluir facilmente a proteção contra sobrecorrente no algoritmo de controle. Neste mesmo contexto, pode-se destacar que a proposta da Figura 7 é a mais custosa das três. Ela necessita de dois sensores de corrente, de alto desempenho, por fase para medir as correntes da carga e no indutor. Contudo, este controlador reúne o mesmo desempenho do controle de corrente no capacitor, com a vantagem de proteger o inversor contra sobrecorrentes (LOH et al., 2003).

2.3 RESSONÂNCIA DOS FILTROS LC

Os harmônicos de comutação oriundos dos conversores eletrônicos de potência são atenuados através de filtros passivos, a partir de filtros mais simples, L , até filtros de ordem superior, LC , LCL e etc. No entanto, em sistemas com filtros de segunda ordem ou superior, a presença destes componentes armazenadores de energia geram ressonância (BAI et al., 2016). Tais ressonâncias podem ser atenuadas por adição de amortecedores passivos ou ativos. Os amortecedores passivos utilizam resistores fí-

sicos, que adicionam perdas de energia e são sensíveis às variações paramétricas do sistema (BERES et al., 2016). Os amortecedores ativos são comumente utilizados na literatura. Eles conseguem atenuar a ressonância dos filtros LC através das estratégias de controle do conversor estático (LI, 2009).

O amortecimento harmônico através da resistência virtual e as técnicas de *control-signal-shaping* são algumas alternativas capazes de reduzir a ressonância em um conversor estático com filtro LC . O primeiro método cria uma resistência fictícia, similar à resistência física, e a utiliza somente nas frequências harmônicas. No entanto, o processo de filtragem neste método pode apresentar uma resposta dinâmica ruim (LI, 2009).

O método *control-signal-shaping* molda o sinal da modulação por largura de pulso (do inglês, *Pulse Width Modulation*) (PWM), mediante a uma sequência de degraus, para cancelar o efeito oscilatório da ressonância (ZHONG & HANG, 2004). Esta alternativa é mais indicada para sistemas de conversão com frequência de ressonância fixa.

2.3.1 AMORTECIMENTO PASSIVO

O amortecimento passivo geralmente utiliza resistência série e/ou paralelo para amortecer a ressonância, o que pode comprometer a eficiência do sistema. Como maneira de superar este problema, elementos passivos adicionais, tais como L , C ou a combinação deles, podem ser usados. No entanto, isto aumenta a complexidade do sistema.

Na conexão em série, quanto maior o valor da resistência melhor o amortecimento da ressonância, contudo, mais pobre será atenuação de harmônicos em altas frequências (BüYüK et al., 2016).

Na topologia em paralelo, adicionar o resistor em paralelo com o capacitor é a melhor opção pois ele oferece mais estabilidade ao sistema (BüYüK et al., 2016).

2.3.2 AMORTECIMENTO ATIVO

Na Figura 9 é ilustrado o diagrama de blocos para controlar a tensão em um sistema VSC utilizando apenas uma única malha de realimentação. Tal controle é geralmente usado para reduzir gastos com sensores de corrente e ainda manter uma boa capacidade de rastrear a referência de tensão. Contudo, esta estratégia é sensível frente a distúrbios em frequências vizinhas à frequência de ressonância. A fim de garantir maior robustez

ao sistema, uma malha interna de corrente pode ser inserida ao controlador da Figura 9.

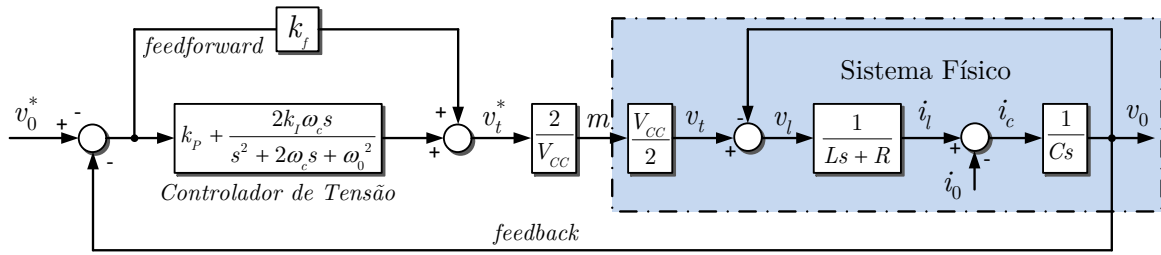


Figura 9: Estratégia de controle de um VSC utilizando uma malha de controle.

Como dito na seção anterior, controladores com duas malhas de controle podem utilizar tanto corrente no indutor quanto a corrente no capacitor como variável de realimentação, conforme ilustrado na Figura 10.

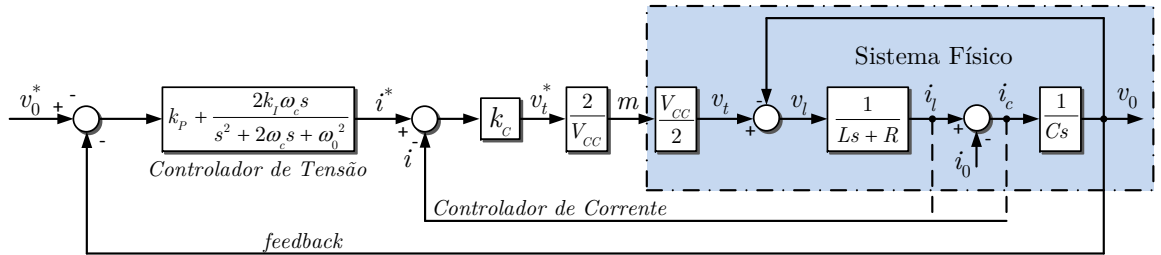


Figura 10: Estratégia de controle de um VSC utilizando duas malhas de controle.

Enquanto controlar a corrente no capacitor é a melhor alternativa para rejeitar distúrbios causados pela carga, controlar a corrente no indutor é a melhor opção para amortecer a ressonância gerada pelo filtro LC (LI, 2009).

A função de transferência da malha interna de corrente é,

$$G_{V(in)} = \frac{k_C}{s^2LC + (CR + Ck_C)s + 1} \quad (2.5)$$

onde k_C é o ganho do controlador de corrente.

Com base em (2.5) fica claro a influência do ganho k_C no amortecimento dos polos da função de transferência. Para ilustrar esta característica, a Figura 11 destaca as respostas em frequência da malha interna de corrente para diferentes valores de k_C . Observe que o pico de ressonância diminui conforme o ganho k_C aumenta. No entanto, maiores valores de ganho k_C introduzem um maiores atraso de fase na frequência de operação do sistema.

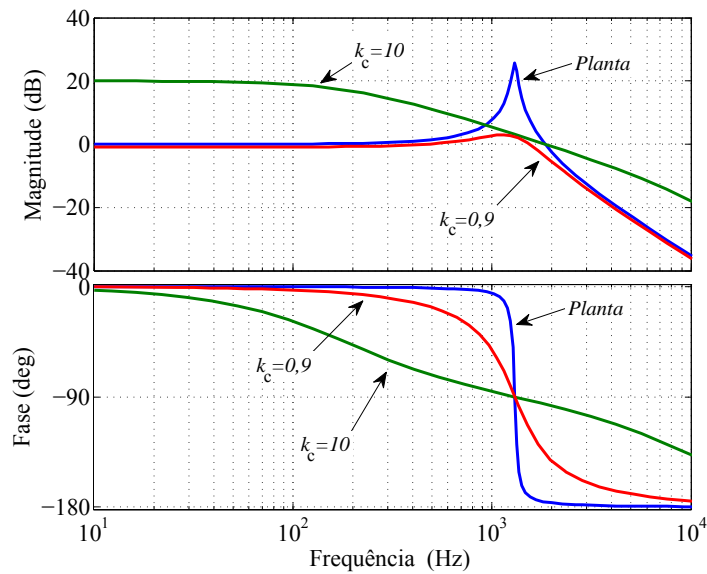


Figura 11: Respostas em frequência do controlador de corrente para diferentes ganhos.

2.4 CONCLUSÕES PARCIAIS

Neste capítulo foi apresentado uma revisão sucinta de algumas maneiras de controlar as tensões em um VSC na configuração emulador de rede elétrica. Em seguida foram detalhadas as topologias mais usuais de controle apresentadas na literatura técnica. Foi visto que as estratégias que utilizam duas malhas de controle garantem robustez ao sistema e também proteção contra sobrecorrente. Além disso, o controle com a realimentação da corrente no capacitor é citada na literatura como a que possui melhor desempenho dinâmico. Todavia, para garantir proteção contra sobrecorrente, é preciso medir as correntes de saída do VSC.

O problema da ressonância, gerada pela interação entre os componente reativos do filtro de saída, também foi abordado. Para atenuar este fenômeno, os amortecedores ativos, que usam duas malhas de controle, são mais indicados. Entretanto, seus ganhos têm de ser criteriosamente calculados para não comprometer a filtragem de componentes harmônicos de alta frequência.

3 FUNDAMENTOS TEÓRICOS

3.1 INTRODUÇÃO

Neste capítulo são apresentados os conceitos básicos envolvendo o funcionamento do conversor emulador de rede elétrica. Além disso, são apresentada, de maneira sucinta, algumas características sobre o princípio de funcionamento dos conversores fonte de tensão trifásico, assim como a modelagem matemática do CER.

3.2 FUNCIONAMENTO BÁSICO DO CONVERSOR FONTE DE TENSÃO TRIFÁSICO

Na Figura 12 é mostrada a topologia básica de um VSC trifásico composto por seis interruptores semicondutores do tipo Transistor Bipolar com Gatilho Isolado (do inglês, *Insulated Gate Bipolar Transistor*) (IGBT) e com seis diodos conectados em antiparalelo. Geralmente, o capacitor CC (C_{eq}) é grande o suficiente para garantir uma tensão CC com ondulação desprezível nos terminais de entrada do conversor. Interruptores de um mesmo braço são acionados de maneira complementar de modo a evitar um possível curto-circuito no capacitor CC.

Em vista disso, para cada terminal CA do VSC, pode-se formular a seguinte relação para a tensão de saída, em relação ao terminal negativo N ,

$$v_{t,x} = \begin{cases} +V_{CC}, & \text{quando o interruptor superior está ativo} \\ 0, & \text{quando o interruptor inferior está ativo} \end{cases} \quad (3.1)$$

onde V_{CC} é o valor da tensão no barramento CC e $x \in \{a,b,c\}$.

Na literatura há diferentes estratégias para determinar o padrão de comutação com o objetivo de controlar a magnitude e fase das tensões e correntes geradas nos terminais CA dos conversores VSC. Maiores informações sobre as técnicas de modulação por

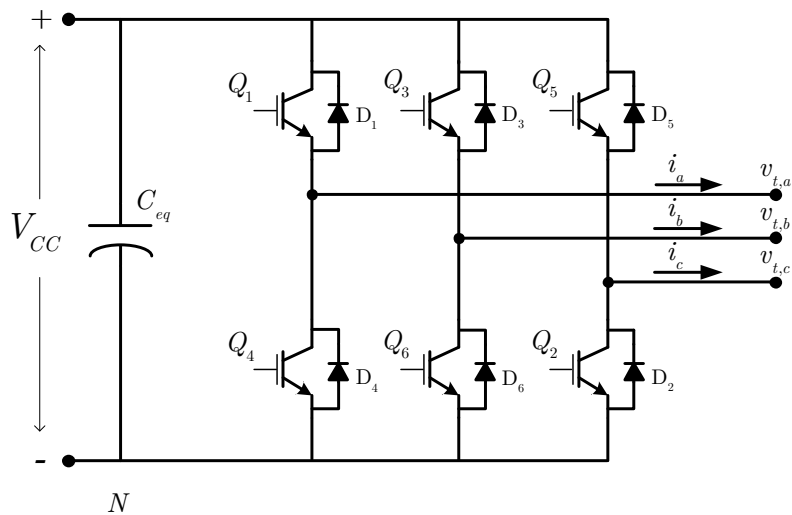


Figura 12: Diagrama de um conversor fonte de tensão trifásico.

largura de pulso (PWM) podem ser encontradas em (HOLMES & LIPO, 2003), (MOHAN; UNDELAND & ROBBINS, 2003), (SKVARENINA, 2002) e (KAŹMIERKOWSKI; KRISHNAN & BLAABJERG, 2002).

3.3 O VETOR ESPACIAL

De acordo com (YAZDANI & IRAVANI, 2010), o *vetor* ou *fasor espacial* é uma generalização do fasor convencional onde é possível representar grandezas trifásicas. Esta variável única carrega informações da amplitude, do ângulo de fase e da frequência da grandeza trifásica instantânea.

Considerando as componentes instantâneas, em um instante de tempo t , de um sistema de tensões trifásicas equilibradas, conforme ilustrado na Figura 13, pode-se encontrar o fasor espacial através da seguinte relação

$$\vec{v}(t) = \frac{2}{3} \left[e^{j0} v_a(t) + e^{j\frac{2\pi}{3}} v_b(t) + e^{j\frac{4\pi}{3}} v_c(t) \right], \quad (3.2)$$

cujas representação geométrica está representada na Figura 14.

A constante $2/3$ foi incluída em (3.2) para garantir invariância em amplitude, ou seja, os vetores espaciais terão a mesma amplitude das grandezas elétricas de fase.

De acordo com a descrição matemática apresentada previamente, as tensões e correntes trifásicas podem ser representadas pela projeção do fasor espacial em um sistema estático de coordenadas ortogonais denominado $\alpha\beta$, ou seja,

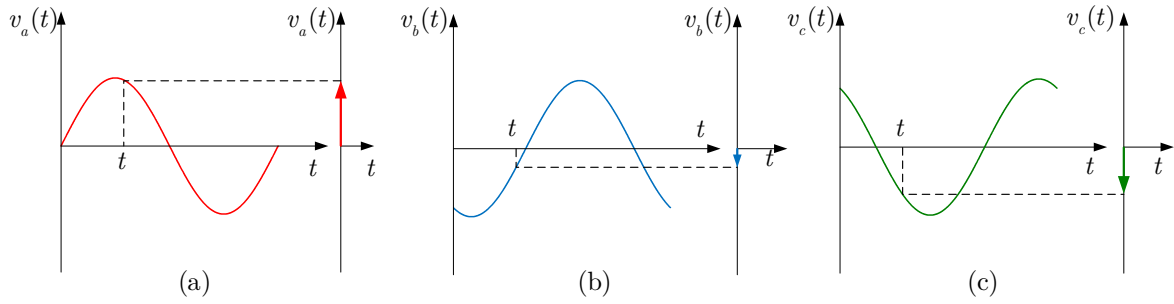


Figura 13: Componentes instantâneas: (a) fase a, (b) fase b, (c) fase c.

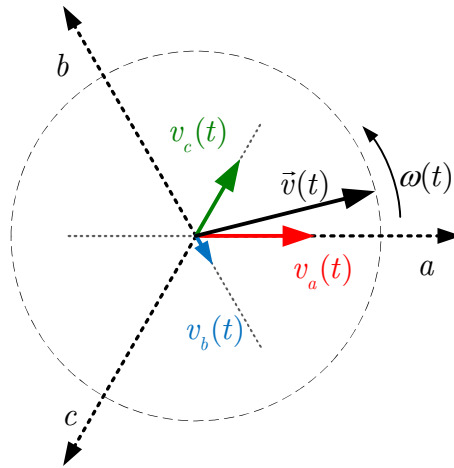


Figura 14: Representação do vetor espacial de tensão nos sistemas de coordenadas (abc) .

$$\vec{v}(t) = v_{\alpha\beta} = v_{\alpha} + jv_{\beta}. \quad (3.3)$$

A Figura 15 ilustra a representação gráfica do fasor espacial \vec{v} , sem componente de sequência zero, referenciado nos sistemas de coordenadas (abc) e $(\alpha\beta)$.

3.4 MODELAGEM DO CONVERSOR EMULADOR DE REDE

Na modelagem matemática do conversor VSC é usado o conceito de *fasor espacial*, apresentado em (YAZDANI & IRAVANI, 2010). Desse modo, desprezando os harmônicos gerados pela comutação dos interruptores do VSC, pode-se representar a conexão do conversor emulador de rede com as cargas locais através do circuito equivalente da Figura 16, em que L , C , r_L e r_C são, respectivamente, o indutor, o capacitor e as resistências série equivalente dos respectivos elementos do filtro de saída. A tensão de saída do conversor $v_t(t)$ é representada como um fonte de tensão controlada. Já a fonte de corrente $i_o(t)$ representa a corrente consumida pela carga, considerada como um

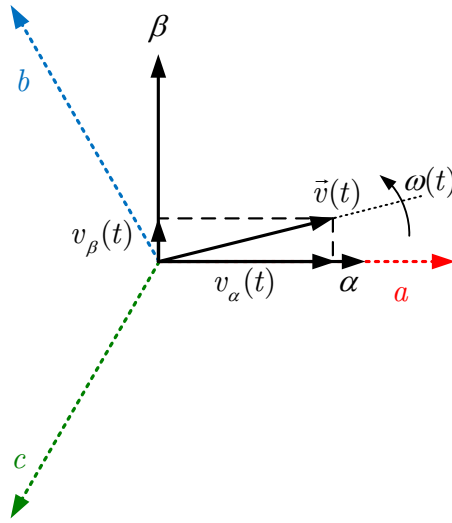


Figura 15: Representação gráfica do vetor espacial de tensão nos sistemas de coordenadas $(\alpha\beta0)$.

distúrbio para o controle da tensão de saída $v_o(t)$.

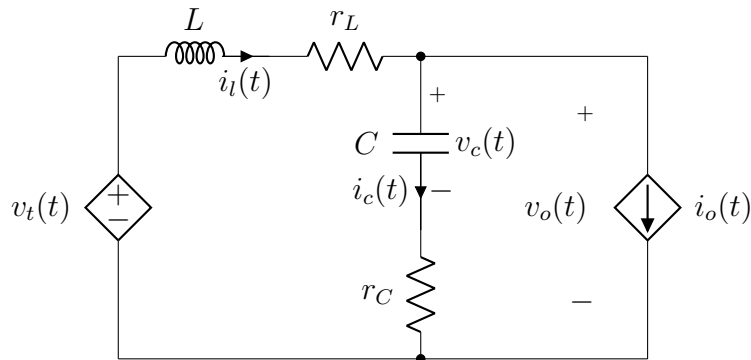


Figura 16: Equivalente monofásico do CER.

Aplicando a lei das tensões de Kirchhoff no circuito monofásico equivalente mostrado na Figura 16, pode-se escrever as seguintes relações para cada uma das fases do VSC trifásico:

$$\left\{ \begin{array}{l} L \frac{di_{l,a}(t)}{dt} = v_{t,a}(t) - r_L i_{l,a}(t) - v_{o,a}(t) \\ L \frac{di_{l,b}(t)}{dt} = v_{t,b}(t) - r_L i_{l,b}(t) - v_{o,b}(t) , \\ L \frac{di_{l,c}(t)}{dt} = v_{t,c}(t) - r_L i_{l,c}(t) - v_{o,c}(t) \end{array} \right. \quad (3.4)$$

onde $v_{t,x}(t)$ é a tensão instantânea de fase nos terminais de saída do VSC; $i_{l,x}(t)$ é a

corrente instantânea de fase nos terminais de saída do VSC; $v_{o,x}(t)$ é a tensão no ponto de acoplamento comum (PAC), sendo que $x \in \{a,b,c\}$.

Por outro lado, aplicando a lei de Kirchhoff das correntes no terminal do capacitor encontra-se as seguintes equações

$$\left\{ \begin{array}{l} C \frac{dv_{c,a}(t)}{dt} = i_{l,a}(t) - i_{o,a}(t) \\ C \frac{dv_{c,b}(t)}{dt} = i_{l,b}(t) - i_{o,b}(t) , \\ C \frac{dv_{c,c}(t)}{dt} = i_{l,c}(t) - i_{o,c}(t) \end{array} \right. \quad (3.5)$$

onde $v_{c,x}(t)$ é a tensão instantânea de fase nos terminais do capacitor VSC; $i_{c,x}(t)$ é a corrente instantânea de fase através do capacitor; $i_{o,x}(t)$ é a corrente da carga, sendo que $x \in \{a,b,c\}$;

Finalmente, a tensão na carga é dada por

$$\left\{ \begin{array}{l} v_{o,a}(t) = v_{c,a}(t) + r_C i_{c,a}(t) \\ v_{o,b}(t) = v_{c,b}(t) + r_C i_{c,b}(t) , \\ v_{o,c}(t) = v_{c,c}(t) + r_C i_{c,c}(t) \end{array} \right. \quad (3.6)$$

Relacionando as variáveis instantâneas de (3.4), (3.5) e (3.6) com (3.2) pode-se representar o sistema de equações na forma compacta através de:

$$L \frac{d\vec{i}_l(t)}{dt} = \vec{v}_t(t) - r_L \vec{i}_l(t) - \vec{v}_o(t) , \quad (3.7)$$

onde $\vec{i}_l(t)$, $\vec{v}_t(t)$ e $\vec{v}_o(t)$ são vetores espaciais de corrente e tensão nos terminais do VSC e no PAC, respectivamente,

$$C \frac{d\vec{v}_c(t)}{dt} = \vec{i}_l(t) - \vec{i}_o(t) , \quad (3.8)$$

onde $\vec{v}_c(t)$, $\vec{i}_c(t)$ e $\vec{i}_o(t)$ são vetores espaciais de tensão e corrente nos terminais do capacitor e na carga, respectivamente, e

$$\vec{v}_o(t) = \vec{v}_c(t) + r_C \vec{i}_c(t) . \quad (3.9)$$

O espaciais de (3.7), (3.8) e (3.9) podem também ser escritos em função das componentes α e β como se segue

$$L \frac{d\vec{i}_{l,\alpha\beta}(t)}{dt} = \vec{v}_{t,\alpha\beta}(t) - r_L \vec{i}_{l,\alpha\beta}(t) - \vec{v}_{o,\alpha\beta}(t) , \quad (3.10)$$

$$C \frac{d\vec{v}_{c,\alpha\beta}(t)}{dt} = \vec{i}_{l,\alpha\beta}(t) - \vec{i}_{o,\alpha\beta}(t) , \text{ e} \quad (3.11)$$

$$\vec{v}_{o,\alpha\beta}(t) = \vec{v}_{c,\alpha\beta}(t) + r_C \vec{i}_{c,\alpha\beta}(t) , \quad (3.12)$$

onde $\vec{v}_{t,\alpha\beta}(t)$, $\vec{i}_{l,\alpha\beta}(t)$, $\vec{v}_{c,\alpha\beta}(t)$, $\vec{i}_{c,\alpha\beta}(t)$, $\vec{v}_{o,\alpha\beta}(t)$, $\vec{i}_{o,\alpha\beta}(t)$ são os respectivos vetores espaciais referenciados em um sistema de coordenadas ortogonais $\alpha\beta$.

3.5 REPRESENTAÇÃO NO ESPAÇO DE ESTADOS

Além de ser representados como equações diferenciais, os sistemas (3.10), (3.11) e (3.12) podem também ser representados na forma generalizada em espaço de estados (OGATA, 2010):

$$\begin{cases} \dot{\mathbf{x}} = \mathbf{A}\mathbf{x} + \mathbf{B}\mathbf{u} \\ \mathbf{y} = \mathbf{C}\mathbf{x} + \mathbf{D}\mathbf{u} \end{cases} \quad (3.13)$$

onde

$$\mathbf{A} = \begin{bmatrix} \mathbf{A}_\alpha & \mathbf{0}_2 \\ \mathbf{0}_2 & \mathbf{A}_\beta \end{bmatrix}, \mathbf{B} = \begin{bmatrix} \mathbf{B}_\alpha \\ \mathbf{B}_\beta \end{bmatrix}, \mathbf{C} = \begin{bmatrix} \mathbf{C}_\alpha & \mathbf{0}_2 \\ \mathbf{0}_2 & \mathbf{C}_\beta \end{bmatrix}, \mathbf{D} = \begin{bmatrix} \mathbf{D}_\alpha \\ \mathbf{D}_\beta \end{bmatrix}, \quad (3.14)$$

são as matrizes de transição de estado, entrada, saída e de transmissão direta, respectivamente; $\mathbf{0}_2$ são matrizes quadradas de zeros, em que o subscrito representa sua dimensão; $\mathbf{x} = [\mathbf{x}_\alpha^T \quad \mathbf{x}_\beta^T]^T$ é o vetor de estados, $\mathbf{u} = [\mathbf{u}_\alpha^T \quad \mathbf{u}_\beta^T]^T$ é o vetor de entrada e $\mathbf{y} = [\mathbf{y}_\alpha^T \quad \mathbf{y}_\beta^T]^T$ é o vetor de saída; o sobrescrito (T) representa o operador de

transposição. As matrizes de (3.14) são dadas por

$$\mathbf{A}_\alpha = \mathbf{A}_\beta = \begin{bmatrix} \frac{-r_L + r_C}{L} & -\frac{1}{L} \\ \frac{1}{C} & 0 \end{bmatrix}, \quad (3.15)$$

$$\mathbf{B}_\alpha = \mathbf{B}_\beta = \begin{bmatrix} \frac{1}{L} & \frac{r_C}{L} \\ 0 & -\frac{1}{C} \end{bmatrix}, \quad (3.16)$$

$$\mathbf{C}_\alpha = \mathbf{C}_\beta = \begin{bmatrix} 1 & 0 \\ r_C & 1 \end{bmatrix}, \quad (3.17)$$

$$\mathbf{D}_\alpha = \mathbf{D}_\beta = \begin{bmatrix} 0 & 0 \\ 0 & -r_C \end{bmatrix}, \quad (3.18)$$

$$\mathbf{x}_\alpha = [i_{l,\alpha}(t) \quad v_{c,\alpha}(t)], \quad \mathbf{x}_\beta = [i_{l,\beta}(t) \quad v_{c,\beta}(t)], \quad (3.19)$$

$$\mathbf{u}_\alpha = [v_{t,\alpha}(t) \quad i_{o,\alpha}(t)], \quad \mathbf{u}_\beta = [v_{t,\beta}(t) \quad i_{o,\beta}(t)], \quad (3.20)$$

$$\mathbf{y}_\alpha = [i_{l,\alpha}(t) \quad v_{o,\alpha}(t)] \text{ e } \mathbf{y}_\beta = [i_{l,\beta}(t) \quad v_{o,\beta}(t)]. \quad (3.21)$$

Utilizando a transformada de *Laplace* com condições iniciais nulas, a matriz de transferência do sistema acima pode ser calculada por:

$$\mathbf{G}(s) = \mathbf{C}(s\mathbf{I} - \mathbf{A})^{-1}\mathbf{B} + \mathbf{D}, \quad (3.22)$$

onde,

$$\mathbf{G}(s) = \begin{bmatrix} \mathbf{G}_\alpha(s) & \mathbf{0}_2 \\ \mathbf{0}_2 & \mathbf{G}_\beta(s) \end{bmatrix}. \quad (3.23)$$

Portanto, aplicando as matrizes dadas em (3.14) na relação (3.22), encontra-se as funções de transferência que regem o comportamento dinâmico do CER através de:

$$\mathbf{G}_\alpha(s) = \mathbf{G}_\beta(s) = \begin{bmatrix} Y_{in}(s) & T_{oi}(s) \\ G_{io}(s) & -Z_o(s) \end{bmatrix}, \quad (3.24)$$

onde $Y_{in}(s)$ é a admitância de entrada; $T_{oi}(s)$ é a função de transferência da entrada pela saída; $G_{io}(s)$ é a função de transferência da saída pela entrada; e $Z_o(s)$ é a impedância de saída do sistema.

Sabendo que a matriz de transferências relaciona as componentes $\alpha\beta$ de saída pelas de entrada, ou seja,

$$\mathbf{Y}(s) = \mathbf{G}(s)\mathbf{U}(s), \quad (3.25)$$

onde $\mathbf{U} = [v_{t,\alpha}(s) \ i_{o,\alpha}(s) \ v_{t,\beta}(s) \ i_{o,\beta}(s)]^T$ e $\mathbf{Y} = [i_{l,\alpha}(s) \ v_{o,\alpha}(s) \ i_{l,\beta}(s) \ v_{o,\beta}(s)]^T$, a dinâmica da tensão de saída no domínio da frequência pode ser representada como:

$$\begin{cases} v_{o,\alpha}(s) = G_{io}(s)v_{t,\alpha}(s) - Z_o i_{o,\alpha}(s) \\ v_{o,\beta}(s) = G_{io}(s)v_{t,\beta}(s) - Z_o i_{o,\beta}(s) \end{cases}, \quad (3.26)$$

O sistema de equações (3.26) pode ser representado na forma do diagrama de blocos mostrado na Figura 17, usualmente utilizado na análise e projeto de controladores.

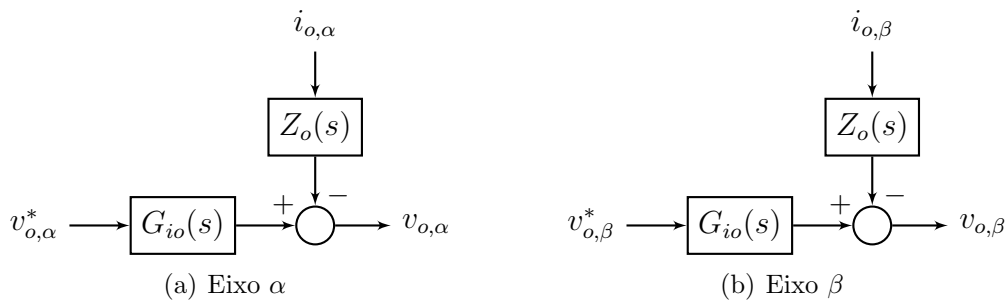


Figura 17: Representação em diagrama de blocos do sistema.

A impedância de saída do conversor e a função de transferência entrada/saída são dadas respectivamente por

$$Z_o(s) = \frac{L C r_C s^2 + (C r_C r_L + L)s + r_L}{L C s^2 + (r_C + r_L)C s + 1}, \quad (3.27)$$

e

$$G_{io}(s) = \frac{C r_C s + 1}{L C s^2 + (r_C + r_L)C s + 1}. \quad (3.28)$$

Como já mencionado anteriormente, a impedância de saída (Z_o) é um parâmetro que influencia altamente o desempenho do sistema. A Figura 17 mostra claramente sua influência no controle da tensão v_o . A inversa de Z_o é denominada rigidez dinâmica, sendo definida como a amplitude de corrente drenada pela carga capaz de produzir um desvio unitário na tensão de saída (LOH et al., 2003). Já do ponto de vista de controle, esta corrente é tratada como um distúrbio que pode ser rejeitado se o ganho da impedância de saída for baixo o suficiente nas componentes de frequências da corrente drenada pela carga i_o .

Analisando a Figura 17 fica evidente que comportamento das variáveis nas coordenadas α e β é desacoplado, ou seja, variações em um eixo não influenciam o outro. Devido a isto, o projeto dos controladores pode ser realizado separadamente apenas para um eixo e aplicado ao outro sem modificações. Neste trabalho o projeto de controle será realizado apenas no eixo α .

3.5.1 DISCRETIZAÇÃO

De forma geral os controladores projetados para controlar os conversores estáticos são desenvolvidos no domínio do tempo contínuo e são implementados digitalmente. No entanto, esta abordagem apresenta algumas limitações (ÅSTRÖM & WITTENMARK, 2013). No projeto do controlador PI por exemplo, o método de discretização escolhido pode gerar erro de fase. Em PR os efeitos da digitalização podem degradar consideravelmente o desempenho, uma vez que algumas técnicas de discretização mudam a localização dos polos ressonantes (YEPES et al., 2010), devido ao fenômeno de distorção na frequência (*frequency warping*) (ÅSTRÖM & WITTENMARK, 2013).

A discretização das funções de transferência (3.27) e (3.28) foi realizada através da

estratégia *Zero-order holder* (ZOH) (ÅSTRÖM & WITTENMARK, 2013), cuja função de transferência no domínio z é dada por:

$$X(z) = (1 - z^{-1}) \mathcal{Z} \left[\mathcal{L}^{-1} \left\{ \frac{X(s)}{s} \right\} \Big|_{t=kT_s} \right], \quad (3.29)$$

onde \mathcal{Z} e \mathcal{L}^{-1} são os operadores da transformada z e da transformada inversa de *Laplace*, respectivamente, e $X(s)$ é a função de transferência a ser discretizada.

Substituindo os parâmetros do sistema experimental montado no Núcleo de Automação e Eletrônica de Potência (NAEP), destacados na Tabela 1, e aplicando o método ZOH para discretizar (3.27) e (3.28) têm-se que:

Tabela 1: Parâmetros do Sistema.

Descrição	Valor
Frequência de comutação (f_{sw})	20 kHz
Frequência de amostragem (f_s)	20 kHz
Frequência fundamental (f_1)	60 Hz
Tensão <i>pico</i> de fase (V_{tp})	100 V
Indutância do filtro de saída (L)	175 μ H
Resistência do indutor (r_L)	75 $m\Omega$
Capacitância do filtro de saída (C)	85 μ F
Resistência do Capacitor (r_C)	37 $m\Omega$

$$Z_o(z) = \frac{0,037 + 0,4988 z^{-1} - 0,5236 z^{-2}}{1 - 1,805 z^{-1} + 0,9685 z^{-2}}, \quad (3.30)$$

e

$$G_{io}(z) = \frac{0,0921 z^{-1} + 0,071 z^{-2}}{1 - 1,805 z^{-1} + 0,9685 z^{-2}}. \quad (3.31)$$

3.6 CONCLUSÕES PARCIAS

Neste capítulo foi apresentada a modelagem do VSC na configuração de emulador de rede elétrica. Equações diferenciais escritas no sistemas de coordenadas estacionário ($\alpha\beta$) foram usadas para modelar o comportamento dinâmico do CER. Além disso, o sistema também foi modelado no espaço de estados a fim de caracterizar o comporta-

mento do sistema no domínio da frequência.

Por fim, foi apresentada uma estratégia de discretização, utilizada para modelar o comportamento do sistema no tempo discreto.

4 ESTRATÉGIA DE CONTROLE

4.1 INTRODUÇÃO

Neste capítulo será apresentado o projeto de um controle modo de tensão com duas malhas de realimentação. A malha interna apresenta uma proposta diferente para mitigar a ressonância intrínseca do filtro LC , enquanto a malha externa garante rastreamento da tensão de referência. Inicialmente, os controladores usados nesta abordagem, serão descritos detalhadamente. Por fim, será apresentado um estudo comparativo referente ao comportamento do sistema em malha aberta e em malha fechada.

4.2 AMORTECIMENTO ATIVO - MALHA INTERNA DE TENSÃO

Na seção 2.3.2 foram discutidas as estratégias de amortecimento ativo mais utilizadas na literatura. Uma alternativa proposta neste trabalho para atenuar a ressonância intrínseca dos filtros de segunda ordem conectados na saída dos VSCs é ilustrada na Figura 18. A ideia se baseia na utilização de um filtro de avanço de fase na malha de realimentação da tensão.

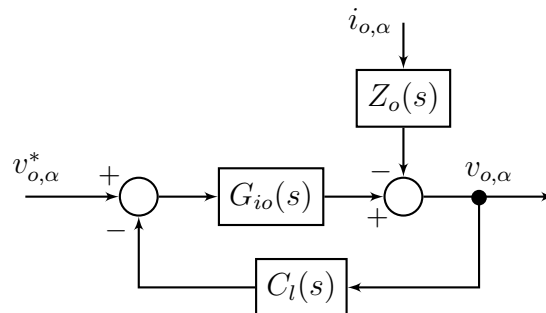


Figura 18: Diagrama de blocos da estratégia do amortecimento ativo no tempo contínuo.

4.2.1 PROJETO DOS COMPENSADORES POR AVANÇO DE FASE NO TEMPO CONTÍNUO

De acordo com (MESSNER et al., 2007), a função de transferência de um compensador por avanço no tempo contínuo é dada por:

$$C_l(s) = \sqrt{\frac{\omega_p}{\omega_z}} \left(\frac{s + \omega_z}{s + \omega_p} \right), \quad (4.1)$$

em que

$$\frac{\omega_z}{\omega_p} = \frac{1 - \text{sen}(\phi_m)}{1 + \text{sen}(\phi_m)}, \quad \omega_z \omega_p = \omega_{max}^2, \quad (4.2)$$

sendo que ϕ_m é o avanço de fase máximo em graus e ω_{max} é a frequência na qual esta fase ocorre.

A função de transferência de malha fechada da saída $v_{o,\alpha}$ pela entrada $v_{o,\alpha}^*$ da estrutura proposta na Figura 18 é,

$$H_l(s) = \frac{G_{io}(s)}{1 + G_{io}(s)C_l(s)}. \quad (4.3)$$

Para o amortecer a ressonância gerada pelo filtro LC, foi selecionado $\phi_{max} = 55^\circ$ e $\omega_{max} = \omega_{res}/2 \cong 4099,6$ rad/s. Implementada a realimentação com os valores escolhidos anteriormente, pode-se comparar a resposta em frequência do sistema compensado com o não compensado como ilustrado na Figura 19.

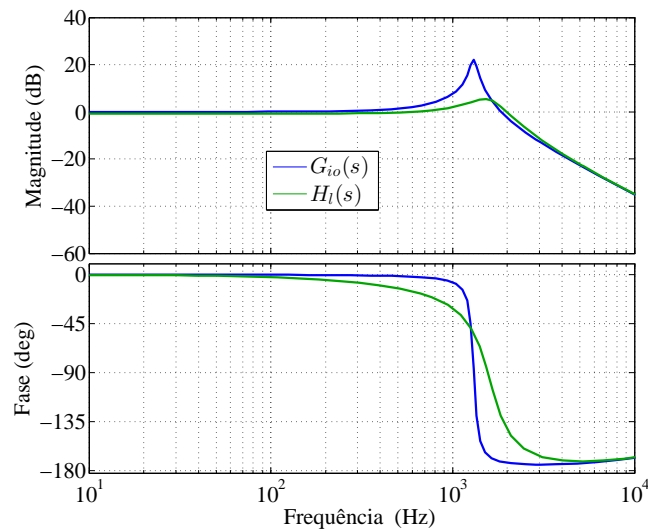


Figura 19: Diagrama de Bode de $G_{io}(s)$ e $H_l(s)$.

Analisando a Figura 19 fica claro que a estratégia reduz significativamente o pico de ressonância melhorando a faixa de passagem e a fase do sistema.

Apesar da resposta satisfatória do método, não foi levado em consideração os atrasos intrínsecos da implementação digital que não existem no controle analógico. Introduzido o atraso de um período de amostragem, que pode representar o tempo necessário para realizar as operações de amostragem e processamento, o diagrama de blocos modificado é mostrado na Figura 20.

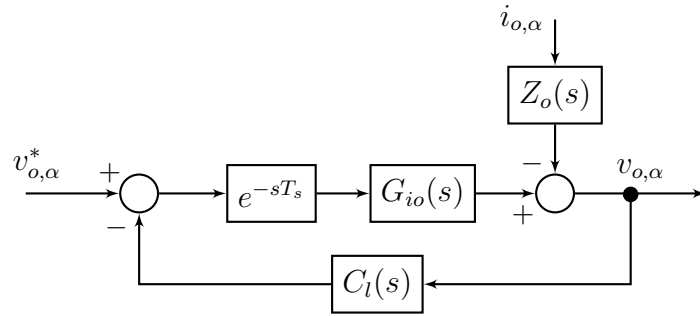


Figura 20: Diagrama de blocos da estratégia do amortecimento ativo no tempo contínuo com atraso de amostragem.

A função de transferência de malha fechada deste novo sistema com o atraso é dada por:

$$H_l(s) = \frac{e^{-sT_s} G_{io}(s)}{1 + e^{-sT_s} G_{io}(s) C_l(s)}. \quad (4.4)$$

A resposta em frequência da planta antes e após a compensação com a inclusão do atraso é ilustrada na Figura 21. Destaca-se neste resultado que a estratégia de amortecimento proposta não é capaz de mitigar de maneira adequada o pico da ressonância, o que compromete a estabilidade do sistema.

Para uma análise mais detalhada do sistema, com a influência do atraso e das consequências do projeto contínuo e implementação digital, uma nova abordagem deve ser feita diretamente no domínio de tempo discreto. Portanto, discretizando o compensador dado em (4.1) pela estratégia *First-order holder* (FOH) (ÅSTRÖM & WITTENMARK, 2013), juntamente com a função de transferência discreta da planta (3.31), pode-se encontrar a seguinte função de transferência de malha fechada no tempo discreto:

$$H_l(z) = \frac{z^{-1} G_{io}(z)}{1 + z^{-1} G_{io}(z) C_l(z)}, \quad (4.5)$$

onde z^{-1} representa o atraso devido ao processo de amostragem.

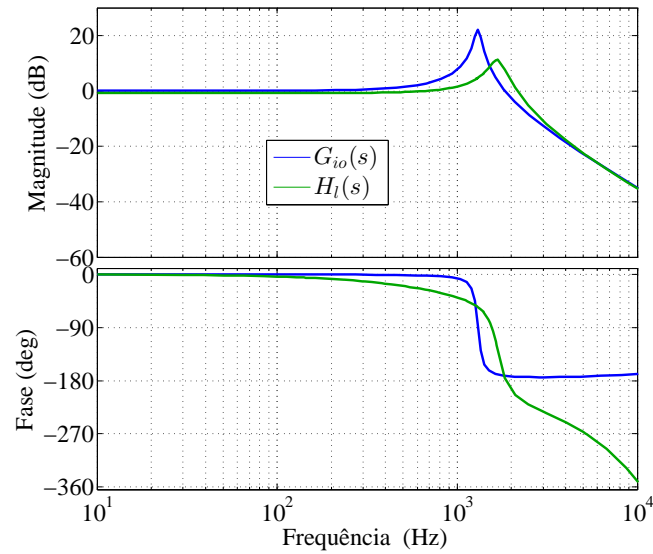


Figura 21: Diagrama de bode de $G_{io}(s)$ e $H_l(s)$ com atraso de amostragem.

Analisando a resposta em frequência da função de transferência $H_l(z)$ ilustrada na Figura 22, percebe-se que a compensação não amortece o pico da ressonância gerada pelo filtro de segunda ordem, ela apenas desloca a frequência ressonante da planta. Desta forma, pode-se concluir que, para o caso em questão, o projeto no domínio de tempo contínuo e a posterior discretização do controlador para a implementação no DSP não apresenta resultados satisfatórios, não podendo ser diretamente aplicada como corriqueiramente feito no controle de conversores estáticos.

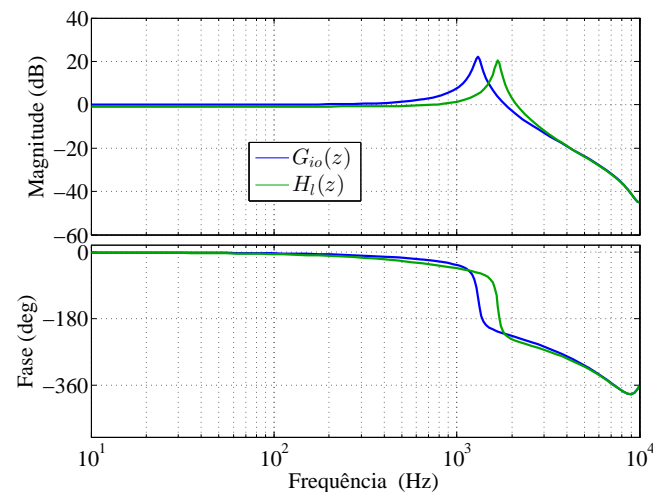


Figura 22: Diagrama de bode de $G_{io}(z)$ e $H_l(z)$ com atraso de amostragem.

Devido às discussões abordadas nesta seção, o projeto do controle será feito diretamente no domínio de tempo discreto ao longo desta dissertação.

4.2.2 PROJETO DOS COMPENSADORES POR AVANÇO DE FASE NO TEMPO DISCRETO

Devido ao atraso adicional introduzido pelo tempo de amostragem e processamento (z^{-1}), dois controladores por avanço de fase $C_l(z)$, com mesmas características, devem ser usados para atingir o ganho de fase desejado, e conseqüentemente um amortecimento mais eficaz. A Figura 23 demonstra o diagrama de blocos da estratégia proposta com dois controladores por avanço de fase.

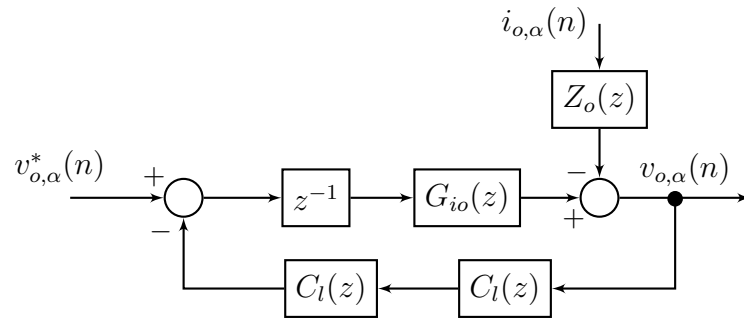


Figura 23: Diagrama de blocos da estratégia de amortecimento ativo no tempo discreto.

A função de transferência de um compensador por avanço no tempo discreto pode ser escrita na seguinte forma (ALMEIDA et al., 2016)

$$C_l(z) = \frac{z - \lambda}{z - \sigma}, \quad (4.6)$$

em que

$$\lambda = \frac{\cos(\Phi_m) - \sin(\Omega_{max})}{\cos(\Phi_m + \Omega_{max})}, \quad \sigma = \frac{\cos(\Phi_m) + \sin(\Omega_{max})}{\cos(\Phi_m - \Omega_{max})} \quad (4.7)$$

Sabendo que $\Phi_m \in (0, \pi/2)$ é o avanço de fase máximo em radianos e Ω_{max} é a frequência normalizada na qual essa fase máxima ocorre, sendo que

$$\Omega_{max} = \frac{\pi \omega_{max}}{\omega_{nyq}}, \quad (4.8)$$

onde $\omega_{nyq} = 2\pi f_s$ é a frequência de Nyquist e $\Omega_{max} \in (0, \pi)$.

Após a inclusão dos controladores em avanço de fase, a função de transferência de malha fechada é modificada para,

$$H_l(z) = \frac{G_{io}(z) z^{-1}}{1 + G_{io}(z) z^{-1} C_l(z) C_l(z)}. \quad (4.9)$$

A fim de amortecer a ressonância, foi escolhido $\Phi_{max} = 55^\circ$ e $\omega_{max} = \omega_{res}/2 \cong 4099,6$ rad/s, onde

$$\omega_{res} = \frac{1}{\sqrt{LC}}. \quad (4.10)$$

Na Figura 24 é ilustrada a resposta em frequência da planta antes e após a compensação. Diante do diagrama de Bode de $G_{io}(z)$ e $H_l(z)$ pode-se notar que a estratégia proposta é capaz de reduzir o pico da ressonância de maneira eficaz, sem comprometer a largura de banda do sistema e necessitar de uma malha interna de corrente.

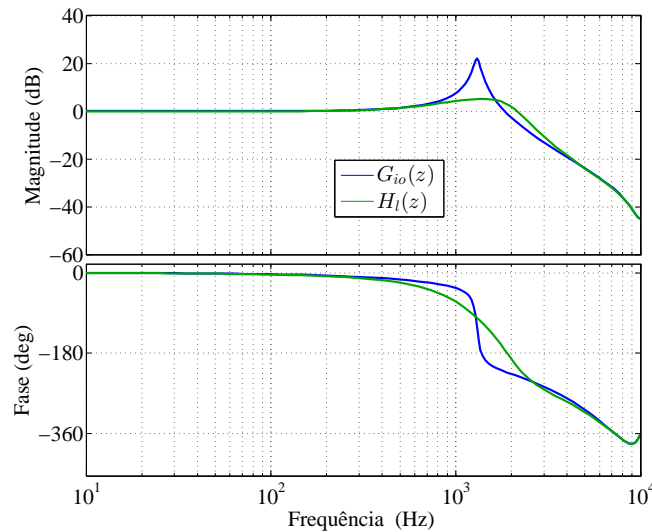


Figura 24: Diagrama de bode de $G_{io}(z)$ e $H_l(z)$.

Este método tem a vantagem de economizar custos com sensores de corrente de alta precisão e ampla largura de banda. No entanto, sensores mais baratos devem ser usados a fim de incorporar proteção contra sobrecorrente e curto-circuito.

Por fim, foi realizada uma análise mais detalhada para conferir as margens de estabilidade desta estratégia proposta. Para isso, obtêm-se a seguinte função de transferência de malha aberta:

$$H_{op}(z) = G_{io}(z) z^{-1} C_l(z) C_l(z), \quad (4.11)$$

cuja resposta em frequência está ilustrada na Figura 25.

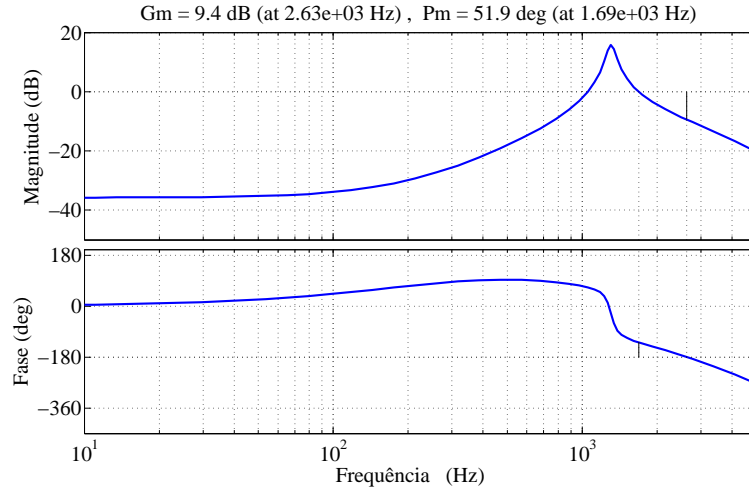


Figura 25: Diagrama de bode da função de transferência para a malha interna em malha aberta.

Nota-se, diante do resultado da Figura 25, que a margem de ganho (9,4 dB) e a margem de fase (51,9°) do sistema são razoáveis (ÅSTRÖM & WITTENMARK, 2013), garantindo uma resposta assintoticamente estável.

4.3 CONTROLE DA MALHA EXTERNA DE TENSÃO

O conversor estático tem que ser capaz de prover tensões senoidais de alta qualidade, independente das cargas conectados ao PAC. Por este motivo, o controle deve não apenas rastrear o sinal de referência mas rejeitar perturbações, neste caso, causadas pela corrente na carga i_o . A fim de atender esta finalidade, uma malha externa de tensão com realimentação negativa é incluída no controle e pode ser vista na Figura 26.

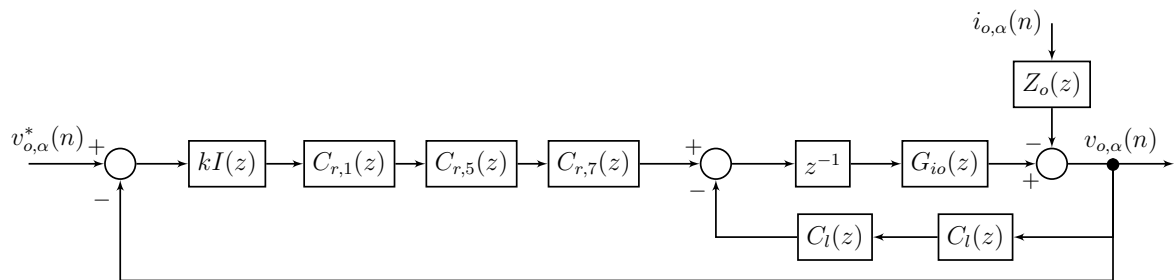


Figura 26: Diagrama de blocos do controle completo.

O seguinte integrador discreto baseado na transformação bilinear

$$I(z) = \frac{T_s}{2} \left(\frac{z+1}{z-1} \right), \quad (4.12)$$

onde T_s é o período de amostragem do sistema, é usado na malha externa de controle

para garantir uma resposta em frequência decrescente, limitando a largura de banda do sistema e rejeitando os distúrbios causados por repentinos degraus de carga.

Embora o integrador consiga acompanhar e rejeitar sinais constantes, ele não é adequado para rastrear sinais senoidais (MOUDGALYA, 2007). Portanto, controladores com polos ressonantes em frequências a serem rastreadas e rejeitadas devem ser incluídos.

4.3.1 CONTROLADOR PROPORCIONAL RESSONANTE

Controladores PR são amplamente utilizados quando busca-se rastrear sinais senoidais. Geralmente vários deles são dispostos em paralelo a fim da compensação seletiva de componentes harmônicos (YEPES et al., 2010).

O controlador PR é conceitualmente semelhante a um integrador que possui um ganho infinito em corrente contínua e garante um erro de regime permanente nulo para sinais nesta frequência (TEODORESCU et al., 2006). A função de transferência no domínio da frequência complexa do controlador PR é dada por:

$$G_{PR}(s) = k_p + k_{i,r} \left(\frac{s}{s^2 + \omega_r^2} \right), \quad (4.13)$$

em que k_p , $k_{i,r}$ e ω_r são os ganhos proporcional, integral e a frequência de ressonância do controlador, respectivamente.

Na Figura 27 é exibida a resposta em frequência do controlador ressonante por (4.13). Nota-se que o controlador proporciona um ganho infinito e deslocamento de fase nulo na frequência de ressonância.

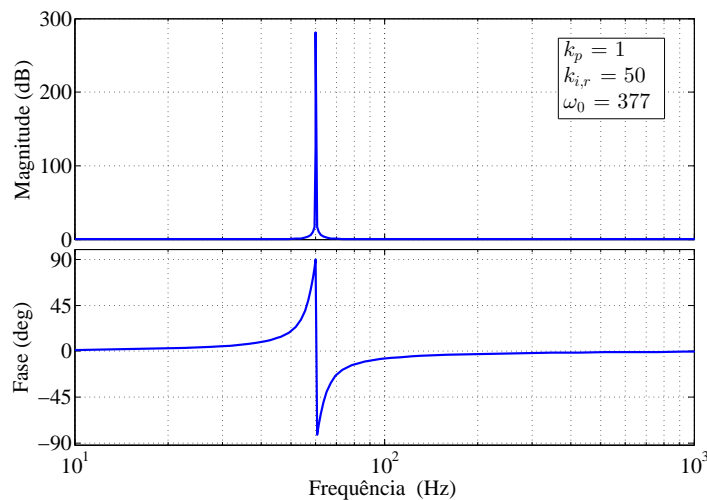


Figura 27: Resposta em frequência do controlador ressonante ideal.

O valor da constante k_p afeta igualmente os sinais em todo o espectro de frequência, por isso ela é normalmente projetada da mesma forma que um controlador PI. Além disso, a mesma geralmente determina a dinâmica do sistema em termos da faixa de passagem, margem de ganho e fase.

4.3.2 PROJETO DE CONTROLADORES RESSONANTES NO TEMPO DISCRETO

Um característica relevante da implementação dos controladores ressonantes digitais é o método de discretização adotado devido a existência do par de polos sobre o eixo imaginário. Devido a sua banda estreita e o ganho muito elevado na frequência de ressonância, os PR são muito vulneráveis ao processo de discretização (YEPES et al., 2010).

De acordo com (YEPES et al., 2010), alguns métodos de discretização deslocam os polos, resultando em um desvio na frequência em que o ganho infinito ocorre. Quando a frequência aumenta estes erros se tornam mais significativos. Além dos polos, a discretização também afeta a alocação dos zeros do controlador, modificando a sua posição em relação a função de transferência no tempo contínuo. Se ignorados, esses problemas podem afetar a estabilidade do controlador (ALMEIDA, 2013).

Outra característica considerável no projeto dos controladores ressonantes é que o atraso computacional inerente ao processamento do algoritmo do controlador afeta substancialmente o desempenho do PR para altas frequências de ressonância, gerando instabilidades (ALMEIDA, 2013).

Devido aos polos ressonantes, um ganho teoricamente infinito na frequência de ressonância é obtido, garantindo erro de regime permanente nulo nesta frequência. No entanto, os polos não-amortecidos resultam em um atraso de fase de 180° que pode comprometer a estabilidade do sistema em malha fechada se zeros adicionais não forem projetados. Além disso, de acordo com as considerações realizadas até aqui, a escolha equivocada do método de discretização pode afetar efetivamente a estabilidade do controlador. Portanto, para superar estas limitações, este trabalho propõe o seguinte controlador ressonante digital modificado,

$$C_{r,h}(z) = \left(\frac{2}{1+r_h} \right) \left(\frac{1 - 2r_h \cos(\Omega_h)z^{-1} + r_h^2 z^{-2}}{1 - 2 \cos(\Omega_h)z^{-1} + z^{-2}} \right), \quad (4.14)$$

onde $\Omega_h = h\omega_1/f_s$; h é a ordem do harmônico; ω_1 é a frequência angular da componente

fundamental; e f_s é a frequência de amostragem. Devido ao projeto ser concebido diretamente do domínio discreto, erros de digitalização são evitados, garantindo que os polos ressonantes se localizem exatamente no local projetado.

A função de transferência dada em (4.14) tem um polos ressonantes em Ω_h e dois zeros adicionais utilizados para melhorar a estabilidade do sistema. A constante $0 < r_h \leq 1$ está relacionada com o amortecimento dos zeros. Quanto menor é o seu valor, maior será o amortecimento dos zeros e a velocidade de rastreamento. Contudo, quanto maior o amortecimento dos zeros, maior será o deslocamento de fase na vizinhança da frequência ressonante, como pode ser notado na Figura 28, podendo assim comprometer as margens de estabilidade do sistema. Portanto, um compromisso entre estas duas características conflitantes deve ser considerado.

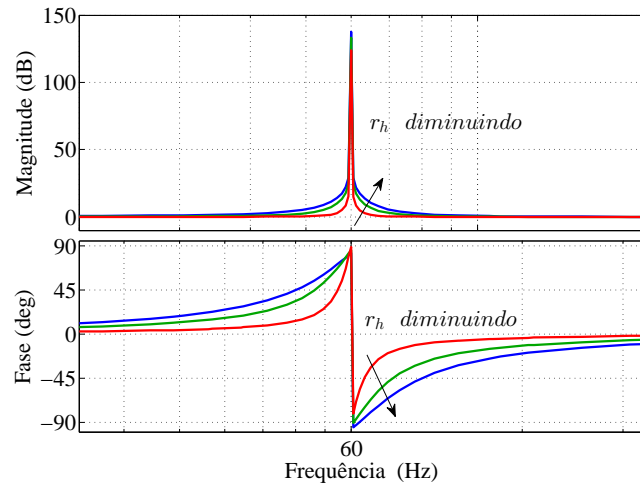


Figura 28: Diagrama de bode do controlador ressonante para diferentes valores de r_h .

4.3.3 ESTRUTURA COMPLETA DE CONTROLE

O VSC tem de ser responsável por manter uma tensão de saída trifásica, equilibrada e senoidal, mesmo quando alimentando cargas não-lineares. Como exemplo, pode-se citar o retificador trifásico, que demanda da fonte de alimentação não apenas a componente fundamental mas também harmônicos ímpares não múltiplos de três que podem comprometer a qualidade da tensão de saída. Portanto, a fim de rejeitar perturbações nestas frequências, três controladores ressonantes são colocados em série e sintonizados com a fundamental, quinto e sétimo harmônicos, como ilustrado na Figura 26. Será mostrado no Capítulo 5, por meio de resultados experimentais, que estes três controladores ressonantes são suficientes para garantir uma tensão de saída com alta qualidade.

O ganho k , mostrado na Figura 26 multiplicando o integrador, é usado para ajustar a largura de banda do sistema de acordo com a margem de fase desejada. Assim, a função de transferência completa do controlador é dada por

$$C_z(z) = kI(z) C_{r,1}(z) C_{r,5}(z) C_{r,7}(z), \quad (4.15)$$

resultando, respectivamente, nas funções de transferência do sistema em malha aberta e impedância de saída em malha fechada

$$C_{op}(z) = C_z(z)H_l(z), \quad (4.16)$$

$$Z_{o,cl}(z) = \frac{-Z_o(z)}{1 + z^{-1}G_{io}(z)[C_z(z) + C_l(z)C_l(z)]}. \quad (4.17)$$

Aplicando os parâmetros da planta e do controlador, dados na Tabela 1 e 2, em (4.16) e (4.17) pode-se encontrar a resposta em frequência retratada na Figura 29 e 30, respectivamente. Um valor mais baixo de r_h é utilizado no controlador ressonante da componente fundamental para diminuir o tempo de rastreamento. Na outra vertente, um valor relativamente mais alto de r_h é usado nas frequências de ressonância para reduzir os efeitos na margem de fase.

Tabela 2: Parâmetros do Controlador.

Descrição	Valor
r_1	0.998
r_5	0.999
r_7	0.999
λ	0.8621
σ	-0.6207
k	3000

Analisando a resposta em frequência da Figura 29, fica claro que o controlador ressonante provê um alto ganho na frequência para o qual foi projetado e com isso, elimina o erro em regime permanente. Nota-se também, que a margem de ganho (3,25 dB) e a margem de fase (58,9°) do sistema são razoáveis (ÅSTRÖM & WITTENMARK, 2013), garantindo uma resposta assintoticamente estável.

Uma comparação entre as impedâncias de saída mostradas na Figura 30 evidencia que o controle proposto melhora a resposta em frequência do sistema. Para baixos valores de $Z_{o,cl}$, o conversor deve drenar altos níveis de corrente a fim de provocar

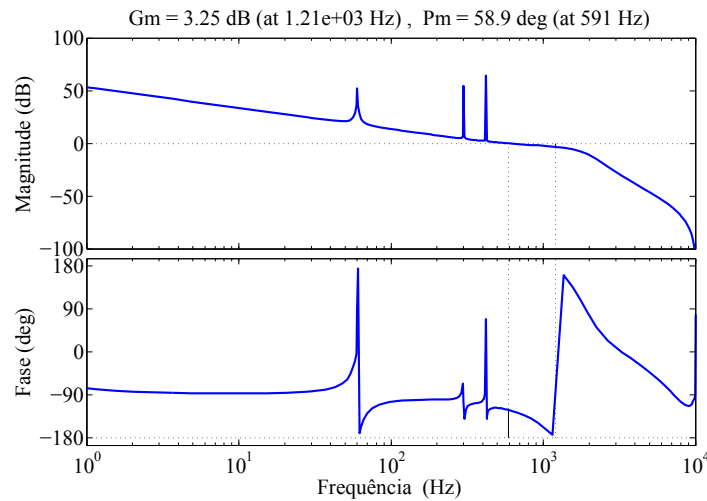


Figura 29: Diagrama de bode da função de transferência para o sistema em malha aberta.

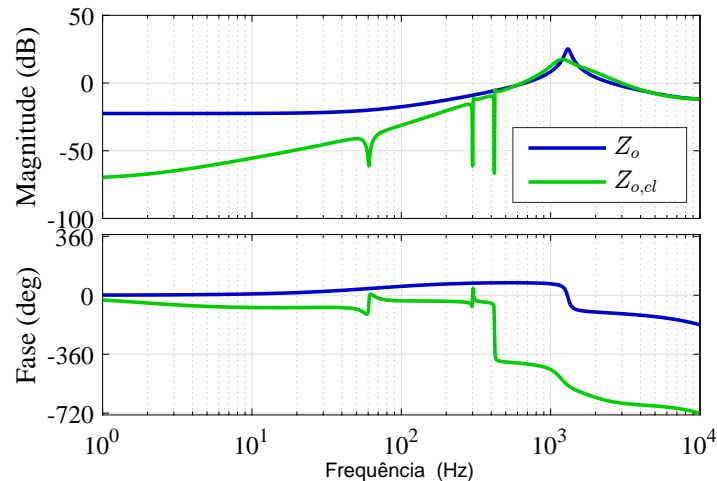


Figura 30: Diagrama de bode da impedância de saída: malha aberta (Z_o) e malha fechada ($Z_{o,cl}$).

uma queda de tensão considerável na saída do CER. De acordo com a Figura 30, os controladores ressonantes se comportam com um filtro rejeita banda. Portanto, pode-se afirmar que eles rejeitam os distúrbios na frequência que foram sintonizados.

4.4 CONCLUSÕES PARCIAIS

Neste capítulo foram apresentados e discutidos os projetos dos controladores do conversor emulador de rede.

Inicialmente, através da malha de controle interna, foi proposta uma maneira alternativa de reduzir a influência da ressonância gerada pelo filtro de segunda ordem. O projeto desta estratégia, no domínio do tempo contínuo, e sua posterior discreti-

zação não apresentou um comportamento satisfatório, uma vez que não amorteceu o pico da ressonância. Por este motivo, optou-se por projetar o controlador por avanço diretamente no domínio do tempo discreto, além de utilizar dois compensadores com características semelhantes, a fim de aumentar o ganho de fase.

Em seguida foram projetados os controladores utilizados na malha externa. Nesta etapa foi proposta a utilização de controladores ressonantes modificados, a fim de melhorar a estabilidade do sistema em malha fechada, e um integrador digital para limitar a largura de banda e rejeitar perturbações em baixas frequências. Por fim, realizou-se um estudo comparativo do sistema antes e após a compensação.

5 RESULTADOS EXPERIMENTAIS

5.1 INTRODUÇÃO

Neste capítulo serão apresentadas algumas características da elaboração experimental do conversor emulador de rede elétrica local. Um protótipo experimental em escala reduzida foi montado a fim de validar os modelos matemáticos e o projeto de controle. Serão apresentados resultados experimentais obtidos no NAEP.

5.2 CARACTERÍSTICAS DO DSC UTILIZADO

O processador digital usado para implementar o controlador do conversor estático foi o DSC TMS320F28335 da *Texas Instruments*, embarcado na placa de desenvolvimento *eZdspTM F28335* da *SpectrumDigital*. O TMS320F28335 é um processador de ponto flutuante de 32 bits, com arquitetura *Harvard*, cujas características principais são elencadas a seguir (Texas Instruments, 2012) e (DIGITAL, 2007):

- Ciclo de instrução máxima $6,67ns$ ($150MHz$);
- Memória Flash *on-chip* $256k \times 16$;
- Memória RAM de único acesso (SARAM) $34k \times 16$;
- Memória OTP (*One Time Programming*) ROM $1k \times 16$;
- Memória SRAM de $256k$ bytes *off-chip*;
- Até 18 PWM de saída e até 6 PWM de alta resolução;
- Até 8 *timers* de 32 bits;
- Conversão analógico/digital (A/D) de 12 bits - 16 canais, com tempo de conversão de $80ns$, com multiplexador de 2×8 canais;
- Tensão de alimentação de $1,8V/1,9V$ *Core* e $3,3V$ para entrada/saída;

Mais informações técnicas sobre o DSC TMS320F28335 podem ser encontradas em (Texas Instruments, 2012) e (DIGITAL, 2007).

5.3 CARACTERÍSTICAS DO CONVERSOR UTILIZADO

O conversor eletrônico de potência utilizado nos testes em laboratório foi o modelo SKS 46F B6CI+B1CI+B6U 26 V12 da SEMIKRON[®] produzido pela SEMISTACK[®], cuja entrada é um retificador trifásico não controlado e a saída é um inversor a IGBT trifásico com quatro braços. A potência aparente máxima do módulo é 26kVA com uma corrente eficaz máxima de saída igual à 46 A.

O barramento CC do conversor estático é formado por quatro capacitores eletrolíticos de 4700 μF /450 V, conectados em série dois a dois e depois em paralelo, formando um capacitor equivalente de 4700 μF /900 V.

A parte inversora é composta por quatro módulos IGBT SKM100GB12T4, contendo dois semicondutores na configuração meia ponte. Cada chave semicondutora comporta, individualmente, uma tensão coletor-emissor, V_{CE} , de até 1200 V e tipicamente apresentam um V_{CE} de saturação igual à 1,8 V. Os tempos de entrada de condução, $t_{d(on)}$ e corte, $t_{d(off)}$, típicos são 165 ns e 400 ns, respectivamente. Para mais informações, consultar a folha de dados (SEMIKRON, 2013).

Os interruptores são acionados aplicando um sinal de tensão entre os terminais porta-emissor, V_{GE} , igual a +15 V para e -7 V para desligar. Estes níveis de tensão são fornecidos pelo “*driver*” SKHI 22B. Mais informações técnicas sobre o SKHI 22B podem ser encontradas em (SEMIKRON, 2008).

5.4 INTERFACE ENTRE O CONVERSOR E O DSC

Na Figura 31 é mostrado o diagrama esquemático do sistema implementado em laboratório. A rede elétrica foi utilizada nos terminais de entrada do retificador não-controlado para alimentar todo o conversor emulador de rede. Os circuitos de interface deste sistema compreendem a medição das grandezas elétricas e a atuação dos circuitos de potência. Na medição de variáveis são utilizados sensores de tensão e de corrente e suas saídas devem ser tratadas e condicionadas para que sejam quantizadas pelo conversor A/D. Já a atuação é realizada diretamente pelos pulsos do PWM produzidos pelo DSC, que também devem ser condicionados à níveis adequados.

Os sinais de tensões e correntes, além de medidos por meio de transdutores e condicionados antes de serem usados pelo DSC, passam por um circuito de proteção em que suas saídas são multiplexadas com os sinais de erro dos *drivers*, dando origem a um único sinal de erro que dispara uma interrupção externa (XINT).

Feita as amostragens dos sinais, eles são processados e utilizados para gerar os pulsos PWM que passam por um *transceiver*, presentes na placa de condicionamento. Posteriormente são condicionados por um *buffer* e pelo *driver* que dispara os interruptores, como ilustrado na Figura 31.

5.4.1 MEDIÇÃO DAS GRANDEZAS ELÉTRICAS

A precisão das grandezas elétricas medidas depende diretamente do tipo de transdutor utilizado. Desta forma, decidiu-se por utilizar sensores de efeito *Hall*.

Nas medições das tensões no barramento CC e no PAC, empregou-se sensores de tensão modelo LV25-P cujas principais características são listadas na Tabela 3.

Tabela 3: Características do transdutor de tensão.

Descrição	Valor
Tensão de medição	10..500 V
Corrente eficaz primária nominal	10 mA
Intervalo de medição da corrente primária	0.. ± 14 A
Corrente secundária nominal	25 mA
Relação de conversão	2500:1000
Tensão de alimentação	±12..15 V

Mais informações sobre o LV25-P podem ser encontradas em (LEM, 2016b).

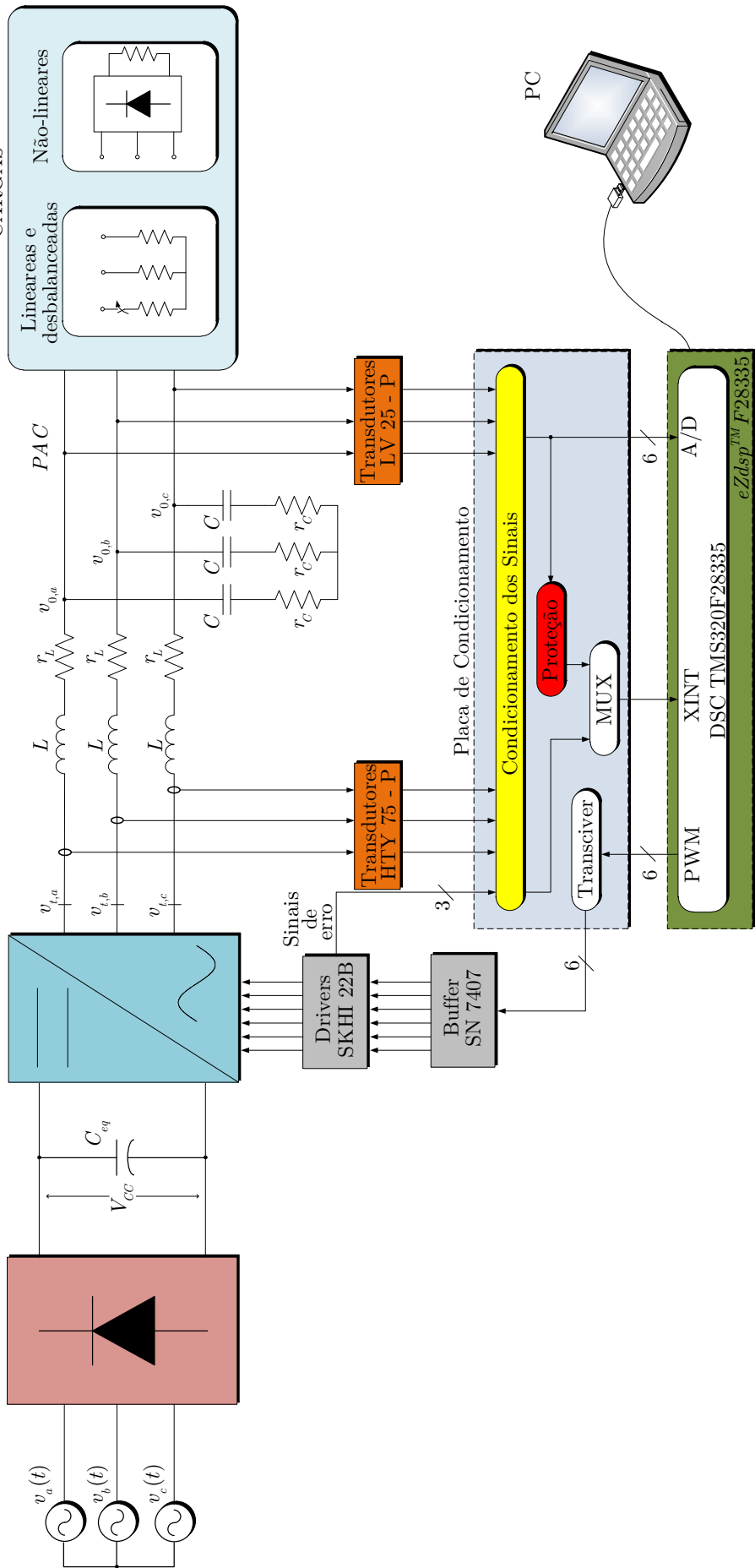


Figura 31: Esquema do sistema experimental implementado em laboratório.

Para garantir proteção contra sobrecorrente, o transdutor de corrente empregado foi o HTY-75-P, cujas principais características são listadas na Tabela 4.

Tabela 4: Características do transdutor de corrente.

Descrição	Valor
Corrente primária nominal (RMS)	75 A
Intervalo de medição da corrente primária	0.. ± 225 A
Níveis de tensão de saída	±4 V
Tensão de alimentação	±15 V

Mais informações sobre o HTY-75-P podem ser encontradas em (LEM, 2016a) .

5.4.2 **CIRCUITO DE CONDICIONAMENTO DE SINAIS ANALÓGICOS**

Os sinais medidos pelos transdutores de efeito *Hall* precisam de um tratamento analógico para que estejam adequados aos níveis de tensão de entrada do A/D do TMS320F28335 e do processamento de sinais digital, para evitar o efeito de *aliasing*.

Os níveis mínimo e máximo dos sinais de entrada do conversor A/D são limitados entre 0 e 3V, respectivamente. O circuito utiliza amplificadores operacionais e potenciômetros de precisão para configurar e garantir que os sinais de entrada excursionem amplamente entre os limites máximo e mínimo do conversor A/D, proporcionando a máxima precisão na conversão. Em sinais alternados, é somado um sinal CC de *offset* para evitar a aplicação de tensão negativa no conversor A/D.

O circuito de condicionamento é composto por filtros passa-baixas a fim de eliminar ruídos de altas frequências, além de um sistema de proteção contra elevados níveis de tensão e corrente capaz de informar uma falha ao TMS320F28335 para interromper a operação de todo o sistema.

Maiores informações das placa do circuito de condicionamento podem ser encontrados no Apêndice A.

5.4.3 **DISPARO DOS INTERRUPTORES**

Para que o conversor opere corretamente é necessário que as chaves semicondutoras sejam acionadas adequadamente. Por este motivo, utilizou-se neste trabalho o *driver* SKHI22B da SEMIKRON® cujas características estão resumidas na Tabela 5.

Os níveis de tensão das saídas digitais do TMS320F28335 não são compatíveis com

Tabela 5: Características do *driver* SKHI22B da Semikron.

Descrição	Valor
Tensão de alimentação	$\pm 15 V$
Tensão do sinal de entrada (liga/desliga)	5 / 0 V
Tensão de condução/corte	+15 / - 7 V

as entradas do SKHI22B. Por este motivo, um circuito de interface entre o DSC e o *driver* do conversor foi projetado usando o circuito integrado (CI) SN7407. Este circuito é composto por seis *buffers* com coletor aberto e é capaz de fornecer a tensão de saída igual a +5V. O diagrama esquemático desse circuito é mostrado na Figura 50 e detalhes da placa do circuito são fornecidos no Apêndice A.

5.5 PROGRAMAÇÃO DO DSC

O programa implementado no DSC engloba tanto as malhas de controle quanto toda a configuração e inicialização do sistema e dos periféricos. O algoritmo foi desenvolvido em linguagem C utilizando o ambiente do *Code Composer v3.3* da *Texas Instruments*. Um fluxograma com a lógica do programa implementado é mostrado na Figura 32.

Primeiramente é realizada a declaração de variáveis utilizadas no algoritmo. Posteriormente, o DSC é configurado para definir a memória *Flash* como local de alocação do programa. Em seguida, optou-se por configurar o conversor A/D e o módulo PWM para que a amostragem dos sinais e a comutação dos interruptores tenham o mesmo período. O algoritmo de controle proposto é processado em uma frequência de 20kHz, configurada pelo *timer*. A configuração do *TRIP* é necessária para garantir uma proteção ao sistema: a qualquer sinal de falha ou erro o sistema é desligado instantaneamente. Através da configuração das portas de propósito geral (do inglês, (*General Purpose Input Output*)) (GPIO) são determinados os pinos de entrada ou saída, PWM, A/D, entre outras.

Após as configurações iniciais, o programa entra em um laço infinito aguardando uma interrupção. Uma vez gerada uma interrupção pelo *TIMER0*, os sinais de tensão e corrente são amostrados pelos canais A/D e em seguida são lidos e tratados. Posteriormente, a lógica de controle irá definir as tensões a serem sintetizadas nos terminais conversor para serem gerados os sinais de modulação através da modulação vetorial (do inglês, *Space Vector Modulation*) (SVM). Por fim, o PWM é atualizado, o A/D reiniciado e as interrupções liberadas.

Ocorrendo uma sobretensão ou sobrecorrente no sistema de potência, um sinal de erro é gerado pela placa de condicionamento. Este erro é multiplexado com os três sinais de erro provenientes dos *drivers* de cada braço do conversor, gerando apenas um sinal de erro que é a entrada de uma interrupção externa (XINT) do DSC. Se a interrupção externa é gerada, as chaves semicondutores são abertas, o PWM desabilitado e o DSC encerra sua operação. Além disso, destaca-se que este tipo de interrupção têm prioridade sobre todas as outras, atuando no momento em que a mesma é gerada.

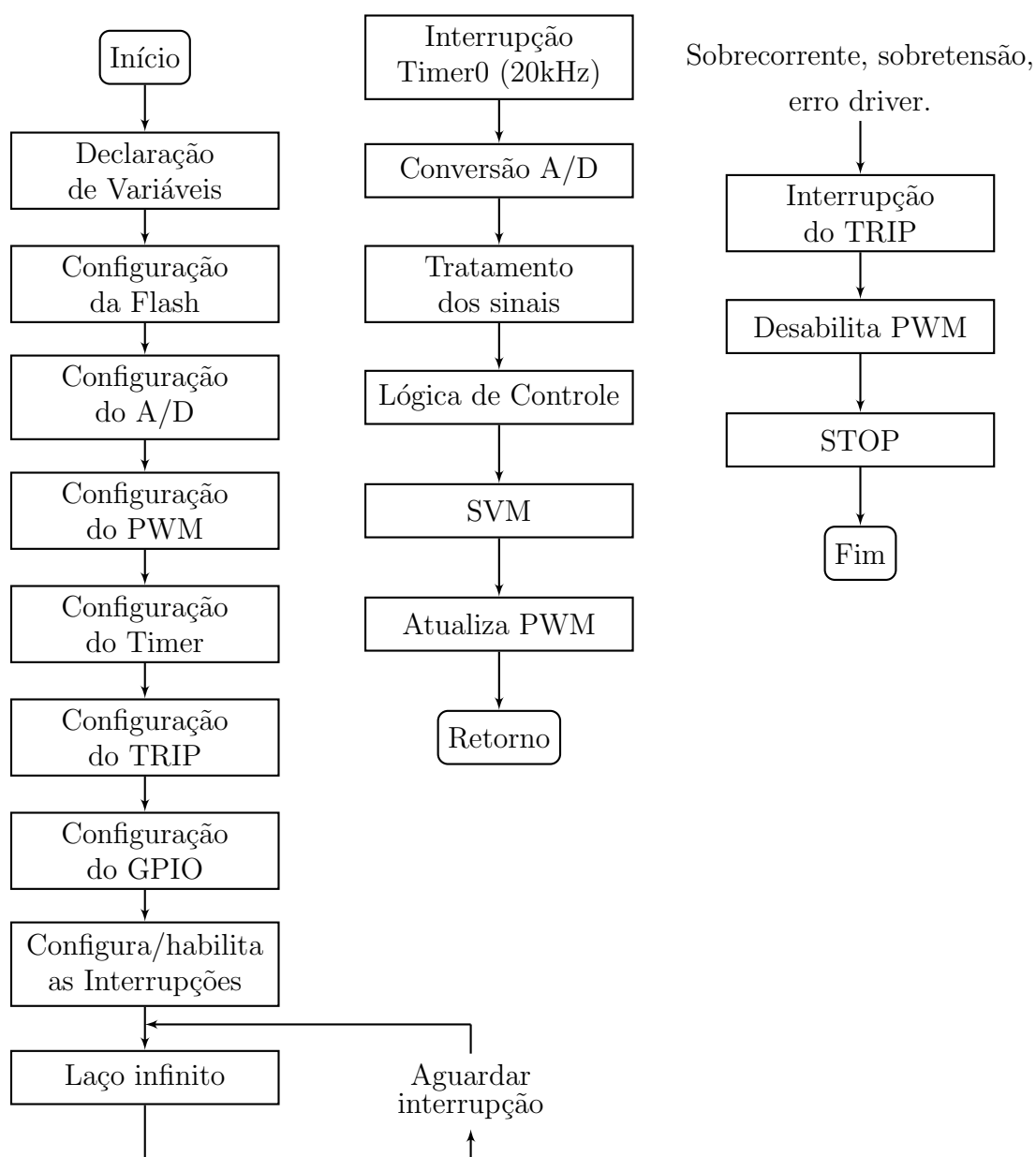


Figura 32: Fluxograma do algoritmo implementado no TMS320F28335.

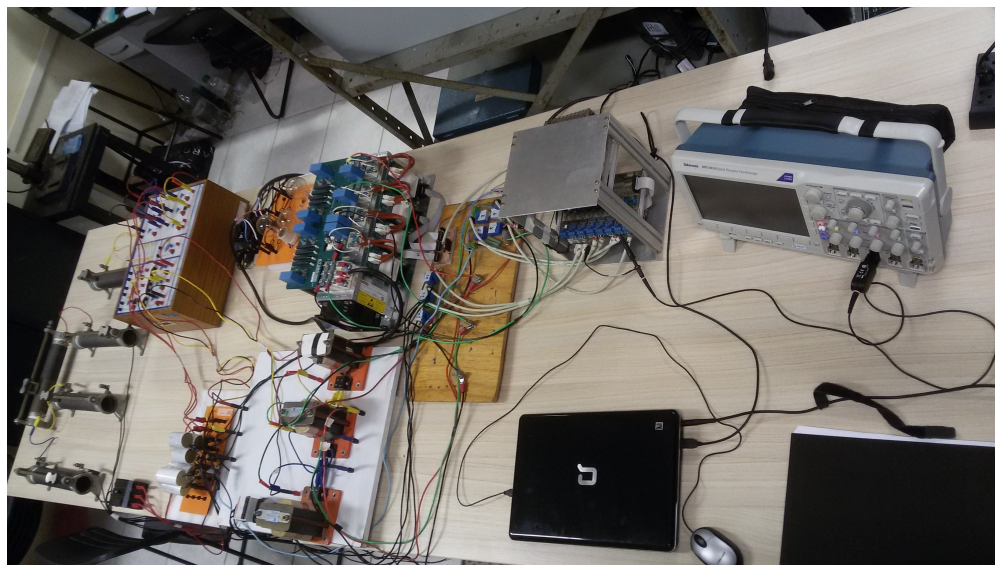
5.6 BANCADA EXPERIMENTAL

Na Figura 33 é exibido o protótipo montado em laboratório, com as partes designadas conforme se segue:

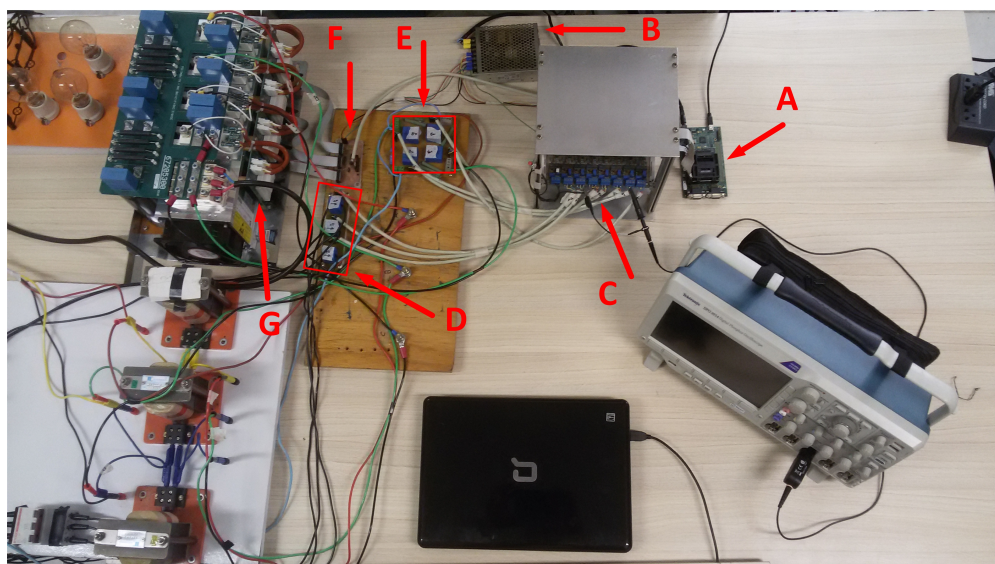
- A - Controlador digital de sinais (DSC);
- B - Fontes auxiliares;
- C - Circuito de condicionamento de sinais e proteção;
- D - Sensores de corrente HTY-75-P;
- E - Sensores de tensão LV25-P;
- F - *Buffer*;
- G - *Drivers* SKHI22B;
- H - Ponte retificadora não controlada;
- I - Conversor eletrônico de potência;
- J - Banco de indutores $175\mu H/75m\Omega$: Utilizado no filtro de saída do conversor;
- K - Banco de capacitores $85\mu F/37m\Omega$: Utilizado no filtro de saída do conversor;
- L - Fusíveis 10A: Utilizados para proteção contra sobrecorrentes;
- M - Disjuntores Termomagnéticos: Utilizado para conectar e desconectar cargas;
- N - Cargas: Resistiva e eletrônica.

O circuito de controle é composto basicamente pelo DSC, pela placa de condicionamento de sinais e pelas fontes auxiliares. O acionamento das chaves, como já discutido anteriormente, é constituído por um *buffer* empregado para elevar a tensão de saída em nível alto do DSC, de 3,3V para 5V.

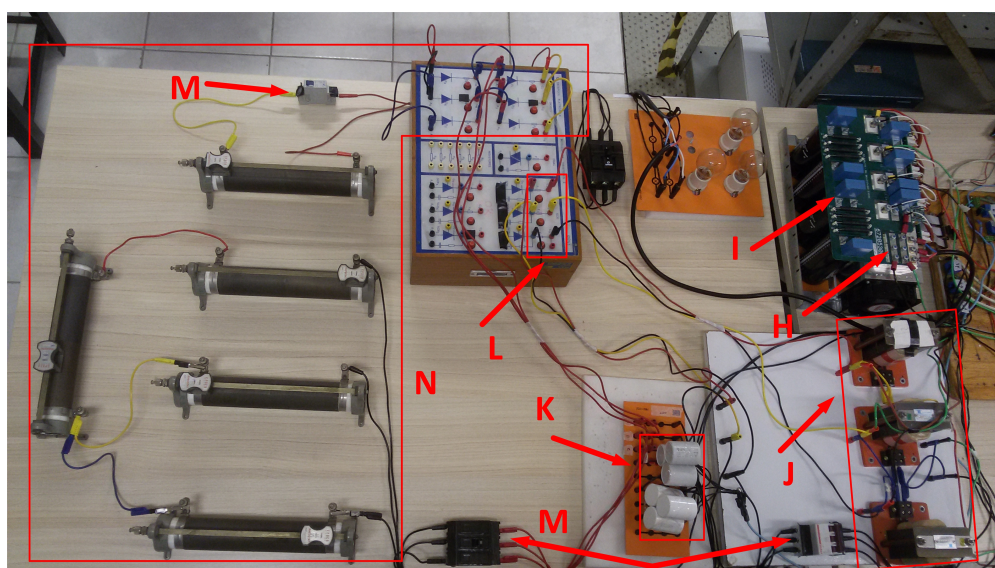
No PAC foram conectadas cargas resistiva, resistiva e indutiva, não-linear e bifásica.



(a)



(b)



(c)

Figura 33: Imagem da estrutura utilizada: (a) Bancada experimental; (b) Circuito de controle; (c) Circuito de potência.

5.7 VALIDAÇÃO EXPERIMENTAL

A seguir serão mostradas várias formas de onda obtidas com o protótipo experimental montado em laboratório. O protótipo será testado em pequena escala com tensão de saída reduzida devido à limitações no laboratório. A potência aparente consumida pela carga mais exigente foi de aproximadamente 1 kVA . Os sinais de tensão, corrente e sinais de controle foram transferidos do DSC para o computador através de uma conexão de transmissão de dados USB. Todas as variáveis foram discretizadas no DSC com uma taxa de 20kHz .

As Tabelas 1 e 2 apresentam um resumo dos valores dos principais parâmetros dos controladores e da planta.

A fim de validar a eficácia da estratégia de controle proposta, um protótipo experimental de pequena escala foi construído baseado no sistema da Figura 33 e testado com as cargas mostradas na Figura 34. Os parâmetros das cargas utilizadas no experimento são apresentados na Tabela 6.

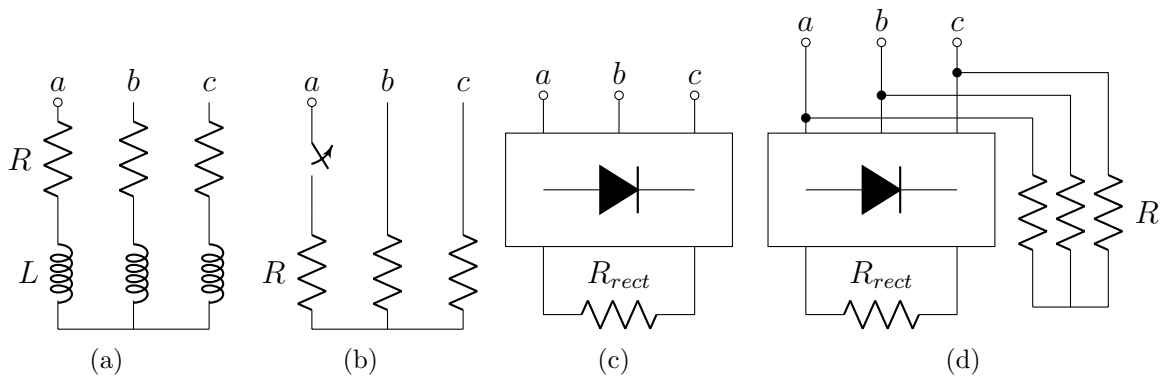


Figura 34: Cargas testadas no conversor emulador de rede: (a) Carga RL trifásica e equilibrada; (b) Carga resistiva bifásica; (c) Retificador trifásico não controlado com carga resistiva; (d) Carga resistiva trifásica balanceada e retificador trifásico não controlado.

Tabela 6: Parâmetros das Cargas.

Descrição	Valor
Carga resistiva	$R = 33\ \Omega$
Carga indutiva	$L = 4\text{ mH}$
Carga do retificador	$R_{rect} = 44\ \Omega$

Os resultados, neste capítulo, serão apresentados conforme os diferentes perfis de carga conectada ao conversor emulador de rede. Portanto, eles serão divididos da seguinte forma:

- **Caso 1:** CER operando sem carga;
- **Caso 2:** CER conectado a uma carga RL trifásica e equilibrada;
- **Caso 3:** CER conectado a uma carga resistiva bifásica;
- **Caso 4:** CER conectado a um retificador trifásico não controlado com carga resistiva;
- **Caso 5:** CER conectado a uma carga resistiva trifásica balanceada e ao retificador trifásico não controlado.

5.7.1 CASO 1

Na Figura 35 são apresentadas as formas de onda da tensão no PAC e corrente na carga. Neste resultado, o sistema de controle não compensa as componentes de quinta e sétima harmônica e não há cargas conectadas nos terminais de saída do conversor emulador de rede. Na Figura 36, em azul, é apresentado o espectro harmônico da forma de onda da tensão da Figura 35.

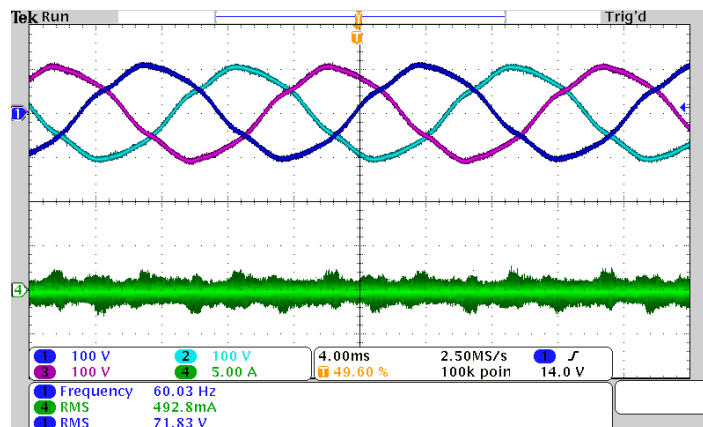


Figura 35: Formas de onda das tensões trifásicas no PAC e corrente na carga.

Note para este caso, a presença dos conteúdos de quinto e sétimo harmônicos mesmo quando o sistema opera sem carga. Este fenômeno pode ser explicado devido ao efeito de tempo morto *dead-time* aplicado pelo *driver* que é necessário para evitar curto-circuitos de um braço do conversor (HWANG & KIM, 2010). Por este motivo, o controlador proposto tem que ser capaz de compensar estas componentes harmônicas mesmo quando o CER estiver operando sem carga ou alimentando carga linear e equilibrada.

A Figura 37 apresenta as formas de onda da tensão no PAC após a inclusão de controladores ressonantes sintonizados nas componentes harmônicas de quinta e sé-

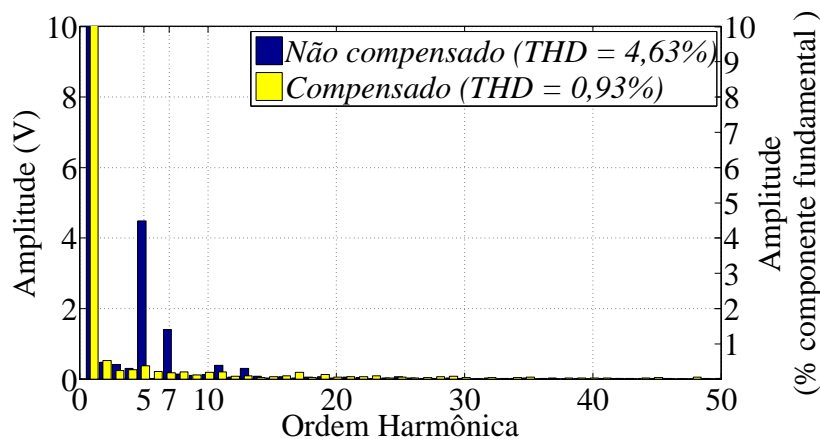


Figura 36: Espectro de frequência da tensão de uma das fases no PAC sem conexão de carga.

tima ordem. Pode-se assim observar através da comparação da Figura 35 e Figura 37 uma melhoria significativa na forma de onda da tensão.

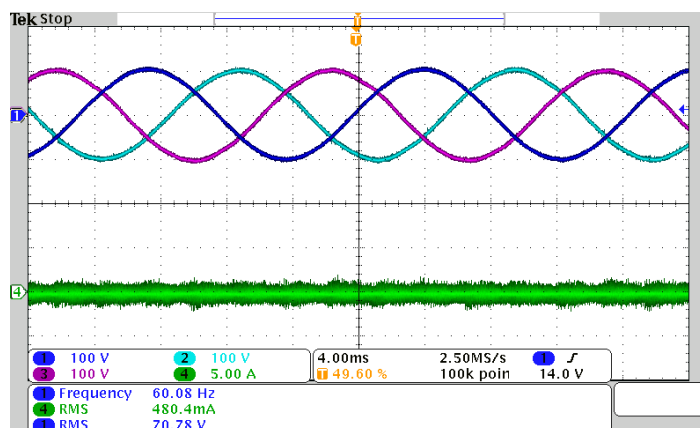


Figura 37: Formas de onda das tensões trifásicas no PAC com compensação de harmônicos.

Na Figura 36 é apresentado o espectro harmônico da forma de onda da tensão da Figura 35 (azul) e 37 (amarela). Fica claro a redução das componentes harmônicas nas quais foram adicionados os controladores ressonantes e, portando, a redução significativa do THD, indicador que mede a qualidade das tensões geradas. As componentes harmônicas de décima primeira e décima terceira ordem são desprezíveis e por isso não foi necessário incorporar módulos ressonantes nestas frequências.

5.7.2 CASO 2

Neste caso o conversor emulador de rede alimenta uma carga RL equilibrada. As formas de onda das tensões trifásicas no PAC e da corrente de uma das fases consumida pela carga são mostrados na Figura 38.

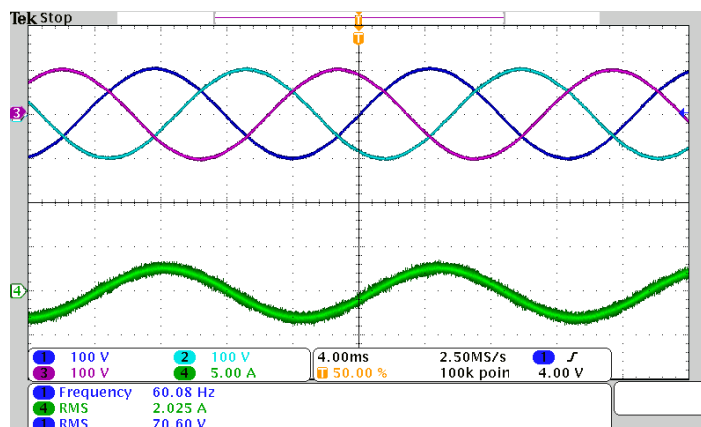


Figura 38: Formas de onda das tensões trifásicas no PAC e a corrente da carga na “fase b” para uma carga RL equilibrada.

Na Figura 39 é apresentado o espectro harmônico da forma de onda da tensão em uma das fases. Observe a boa qualidade da tensão de saída com baixo THD. Assim como destacado anteriormente, mesmo conectado às cargas lineares e equilibradas o CER tem que compensar os conteúdos harmônicos gerados pelo *dead-time* (HWANG & KIM, 2010).

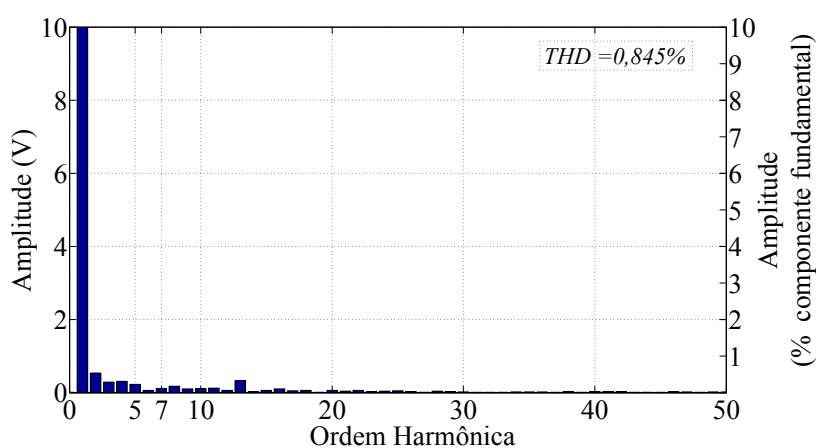


Figura 39: Espectro de frequência da tensão de uma das fases no PAC para uma carga RL equilibrada, $THD = 0,845\%$.

Na Figura 40 é mostrado o comportamento das tensões trifásicas no PAC frente a variação em degrau na carga do sistema. Diante deste resultado, é possível analisar o comportamento dinâmico da estrutura de controle aplicada ao VSC.

O experimento se inicia quando não há carga conectada ao CER, após algum tempo uma carga RL trifásica e equilibrada é inserida abruptamente ao sistema. A conexão da carga atua como um distúrbio para o controlador proposto. Observando o comportamento das tensões da Figura 40, é possível notar que o conversor emulador de rede tem um comportamento razoável a esta perturbação, sem afundamentos significativos.

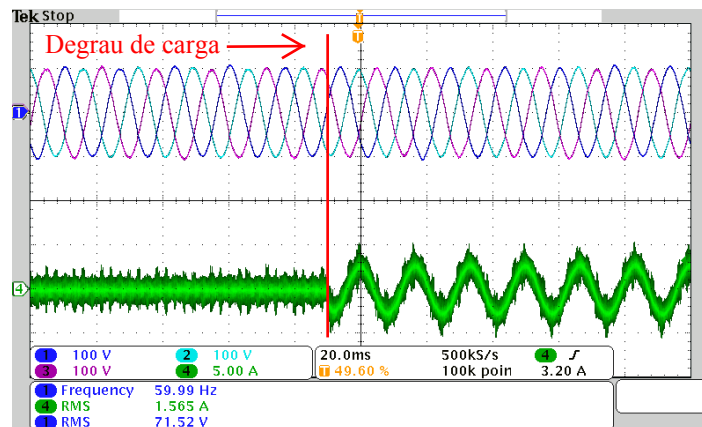


Figura 40: Forma de onda das tensões trifásicas no PAC frente a degrau de carga.

5.7.3 CASO 3

Nas Figuras 41 e 42 são mostradas as formas de onda das tensões e corrente de saída e o espectro harmônico da forma de onda da tensão em uma das fases para uma carga resistiva, desequilibrada e conectada entre as fases “c” e “b”. Neste caso, a fase “a” se encontra aberta. Vale a pena notar que mesmo no caso de uma fase estar aberta, o THD da tensão de saída é baixo, mantendo uma boa qualidade de energia. Entretanto, quando há desequilíbrio de carga, um harmônico de terceira ordem aparecerá inevitavelmente na tensão de saída devido à interação das componentes de sequência negativa e positiva (ALMEIDA et al., 2016), como pode ser visto claramente na Figura 42. Embora o THD aumente devido à componente de terceira harmônica, ele ainda é relativamente baixo.

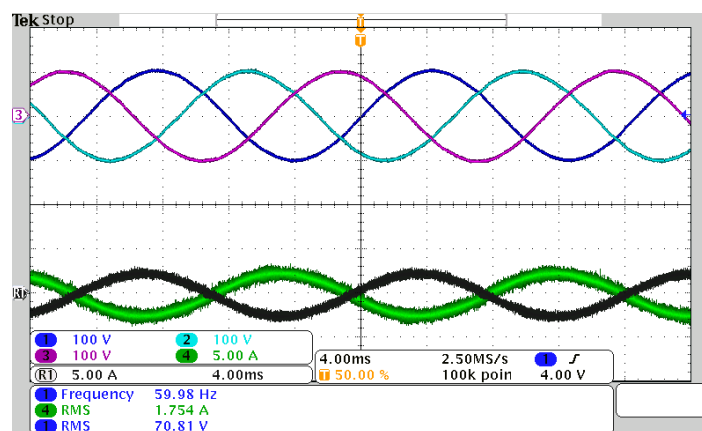


Figura 41: Formas de onda das tensões trifásicas no PAC e a corrente de saída para uma carga resistiva desequilibrada conectada entre as fases “c” e “b”.

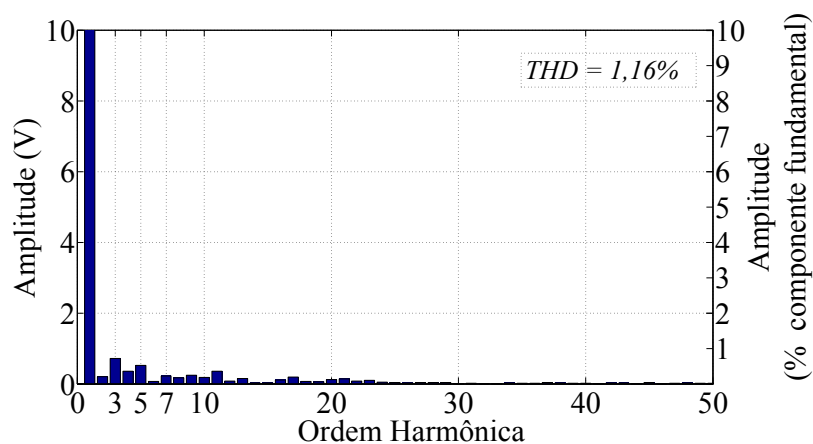


Figura 42: Espectro de frequência da tensão de uma das fases no PAC para uma carga resistiva desequilibrada, THD = 1,16%.

5.7.4 CASO 4

Apesar dos resultados anteriores apresentarem um baixo THD para cargas lineares equilibradas e desequilibradas, um cenário mais exigente deve ser investigado. Neste sentido, uma ponte de diodo trifásica é conectada nos terminais de saída do inversor. A Figura 43 destaca a tensão de saída trifásica e a corrente de carga na fase “c”, respectivamente. Observe que a tensão de saída é distorcida pelas correntes harmônicas drenadas pela carga não-linear. Isto acontece porque há somente um controlador ressonante sintonizado na componente fundamental. Portanto, os componentes harmônicos principais, 5^o e 7^o, como pode ser claramente visto no espectro harmônico mostrado na Figura 45, distorcem a tensão de saída. Neste caso, o THD é 5,77%.

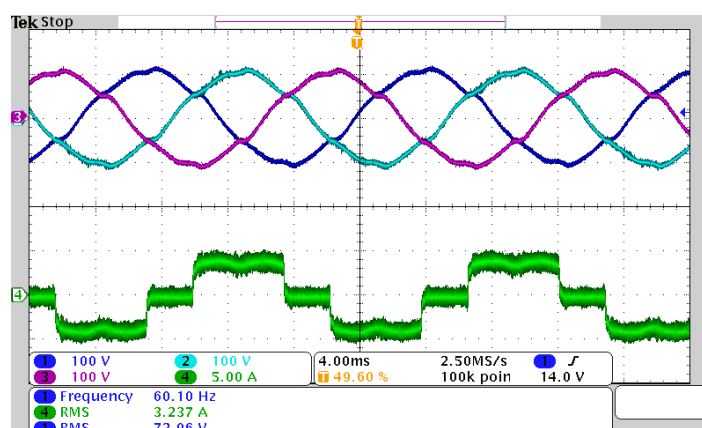


Figura 43: Formas de onda da tensão de saída trifásica e corrente de carga, sem compensação harmônica, para uma ponte retificadora a diodo usado como carga, THD = 5,77%.

A fim de melhorar a qualidade de energia, são adicionados dois compensadores

ressonantes sintonizados nas componentes harmônicas de 5° e 7°, como ilustrado na Figura 26. A Figura 44 apresenta a tensão trifásica de saída e a corrente na carga da fase “c”, respectivamente, após a inclusão dos modos ressonantes mencionados acima.

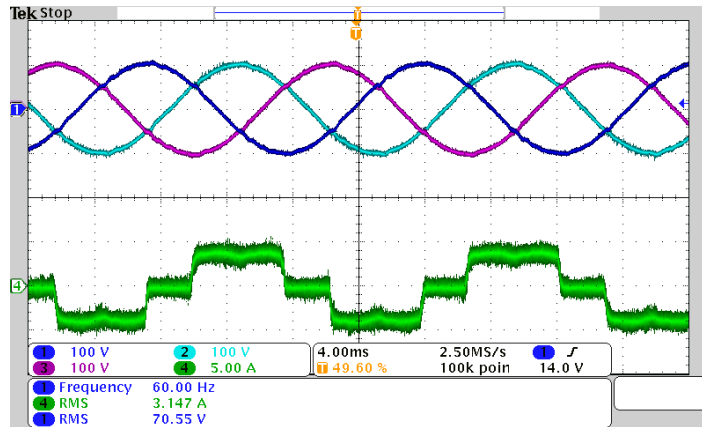


Figura 44: Formas de onda da tensão de saída trifásica e corrente de carga, com compensação harmônica, para uma ponte retificadora a diodo usada como carga, THD=1,60%.

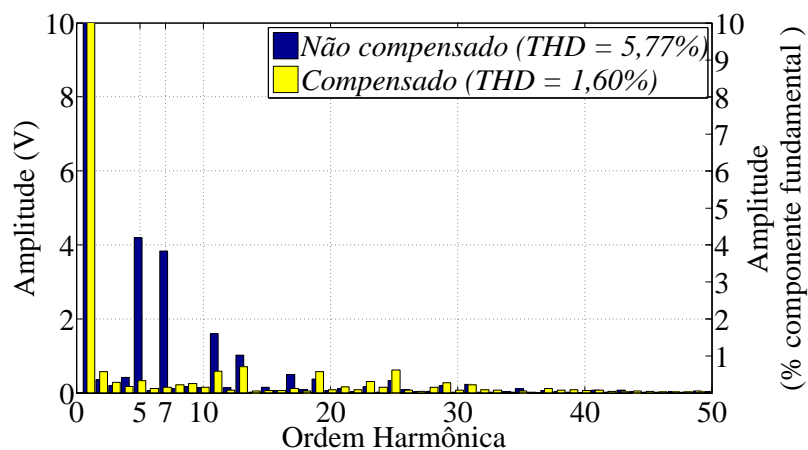


Figura 45: Espectro harmônico da tensão de saída para um retificador trifásico não controlado usado como carga.

É possível notar, a partir Figura 44 e do espectro harmônico mostrado na Figura 45, a melhora na qualidade da tensão de saída e a redução do THD a valores razoáveis. Vale destacar que ainda há componentes de 11° e 13° harmônicos na tensão de saída, no entanto, como THD é baixo, não é necessário acrescentar modos ressonantes para estas frequências.

5.7.5 CASO 5

Como último experimento, o sistema de controle foi testado quando cargas lineares e não-lineares são conectadas em paralelo ao PAC, aumentando assim a potência

drenada do conversor. As formas de onda e o espectro harmônico após a compensação são mostrados na Figura 46 e 47, respectivamente. Através da análise dos resultados mostrados nestas figuras pode-se concluir que a estratégia de controle proposta rejeita efetivamente as perturbações nas frequências onde os controladores ressonantes são ajustados. Por este motivo, a tensão de saída mantém uma boa qualidade de energia para várias condições de carga.

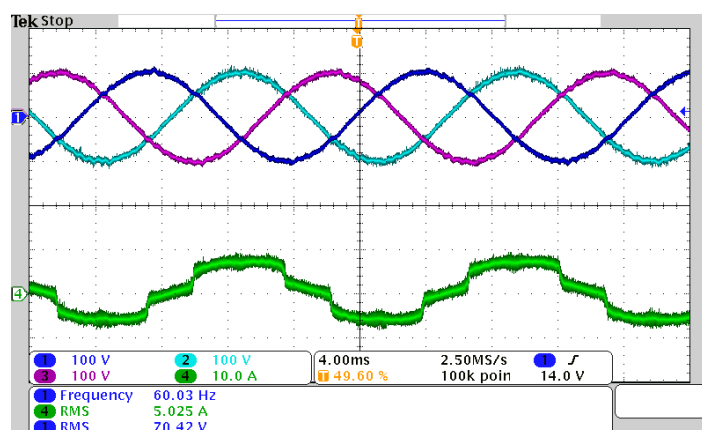


Figura 46: Formas de onda das tensões trifásicas no PAC e a corrente de saída para uma carga resistiva equilibrada e uma ponte retificadora a diodos.

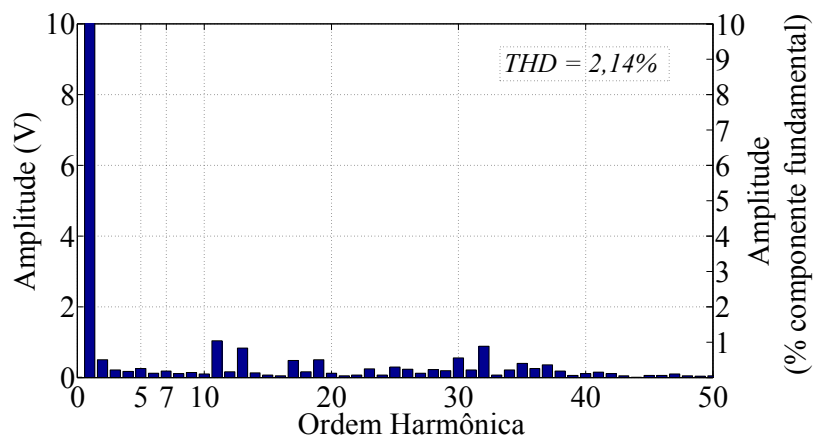


Figura 47: Espectro harmônico da tensão de saída de uma das fases para uma carga resistiva equilibrada e uma ponte retificadora a diodos, $THD = 2,14\%$.

5.8 CONCLUSÕES PARCIAIS

O presente capítulo abordou a implementação do protótipo de um conversor fonte de tensão emulador de rede, utilizando um controle digital nas coordenadas $\alpha\beta$ e modulação vetorial. Para isso, foram apresentados os materiais utilizados para a montagem em laboratório do protótipo em escala reduzida.

O sistema foi operado com tensão reduzida devido às limitações dos componentes e das instalações do laboratório. Entretanto, as formas de onda apresentadas podem ser usadas para demonstrar o bom desempenho da estrutura de controle proposta.

Embora o CER esteja funcionando sem carga ou conectado a um perfil de carga linear e equilibrada, os sinais de tensão medidos no PAC possuem componentes harmônicas de 5° e 7° ordem. Por este motivo, a compensação dos respectivos harmônicos é necessária mesmo alimentando cargas lineares.

O controle do conversor emulador de rede também foi testado em cenários com cargas não-lineares. Contudo, em todos eles, o controlador permitiu a redução da distorção harmônica total da tensão de saída.

O CER, embora seja parte do PHIL, foi testado separado. Em vez de um sistema PV, cargas lineares, não-lineares e desequilibrada foram conectadas no ponto de acoplamento comum do mesmo. Apesar disso, o projeto dos controladores foi proposto para que no futuro, quando o CER for conectado ao sistema PV, os resultados experimentais sejam similares aos deste trabalho.

6 CONCLUSÕES

O principal objetivo desse trabalho foi o desenvolvimento de uma estratégia de controle alternativa para o conversor emulador de rede. A estrutura deste CER é composta por um conversor estático trifásico de um único estágio conectado a um filtro LC. Posteriormente um protótipo de pequena escala foi implementado em laboratório a fim de validar os modelos matemáticos e as estratégias de controle utilizadas.

Inicialmente, investigou-se alguns caminhos para controlar os conversores trifásicos emuladores de rede. Neste estudo destacou-se: desempenho, custo e a capacidade protetiva dos controles frente a surtos de sobrecorrente. Análises no domínio da frequência foram feitas para ilustrar as características das diferentes estratégias de controle.

Em seguida passou-se então para a etapa da modelagem do conversor emulador de rede. Nesta modelagem foi utilizado o conceito de fasor espacial, também denominado como vetor espacial. As grandezas elétricas referentes a este conversor estático foram representadas num sistema de coordenadas estacionárias $\alpha\beta$. De posse das equações diferenciais, utilizou-se a representação em espaços de estados para encontrar as funções de transferência que regem o comportamento do sistema no domínio do tempo contínuo. No entanto, foram mostradas limitações do projeto no tempo contínuo e sua posterior discretização. Baseado nesta análise, os controladores foram projetados no tempo discreto, sendo assim, foi utilizada a estratégia ZOH para discretizar as funções de transferência do sistema.

Encontrados os modelos do conversor emulador de rede, pode-se passar para a etapa de projeto dos controladores de tensão. Todos os controladores foram projetados dentro de critérios para garantir que o CER fosse estável e que a qualidade de energia gerada estivesse dentro de níveis aceitáveis.

Um dos pontos delicados para operação segura do CER é mitigar os efeitos ressonantes causados pelos filtros LC. Por este motivo, este trabalho utilizou uma realimentação interna de tensão, composta por controladores de avanço de fase. Inicialmente,

quando projetados no tempo contínuo, esta estrutura se mostrou bastante eficiente para atenuar a frequência de ressonância. No entanto, quando o atraso foi considerado na estrutura de controle, a estratégia de amortecimento não foi capaz de reduzir o pico ressonante. Desta forma, optou-se por realizar o projeto do compensador em avanço de fase diretamente no tempo discreto.

Na malha externa, observou-se a necessidade de inclusão dos controladores ressonantes dedicados para compensação de algumas componentes harmônicas de tensão. Além disso, foi utilizado um integrador para limitar a largura de banda e rejeitar distúrbios em baixas frequências e um ganho k para ajustar a largura de banda de acordo com a margem de fase desejada.

Foi então montado um protótipo experimental de pequena escala para verificar a validade dos modelos matemáticos desenvolvidos. Para isso, o CER foi conectado a quatro diferentes cargas. Além disso, vale destacar que a amplitude da tensão de saída foi escolhida 100 V por conta de limitações de físicas do laboratório.

Na exibição dos resultados experimentais obtidos, optou-se por apresentar o conversor emulador de rede alimentando cinco cargas distintas, possibilitando a análise do desempenho da estratégia de controle para cada um dos casos.

No primeiro caso estudado, analisou-se o comportamento das tensões de saída do CER, operando sem carga. Estas tensões, antes da compensação, apresentaram conteúdos harmônicos de quinta e sétima ordem devido ao efeito do *dead-time*. Contudo, após a compensação, estas componentes foram atenuadas. Para o segundo caso de estudo, as tensões apresentaram baixa distorção harmônica total e também um bom comportamento dinâmico frente a variações de carga.

Já o terceiro caso estudado, onde a carga é resistiva, desequilibrada e conectada entre as fases “c” e “b”, a malha de controle proposta foi capaz de manter um baixo THD na tensão de saída, compensando as tensões harmônicas satisfatoriamente. Esta estratégia de controle não é capaz de compensar o harmônico de terceira ordem inerente a cargas desequilibradas, contudo, de acordo com os resultados, o THD foi relativamente baixo.

Nos últimos casos estudados, o CER foi testado em cenários mais exigentes. Em ambos casos, pode-se notar uma qualidade da tensão de saída aceitável com THD, embora existam componentes harmônicos de décima primeira e décima terceira ordem.

Por fim, os resultados se mostraram congruentes com a modelagem matemática

e com os resultados experimentais, embora haja limitações no protótipo montado em laboratório.

6.1 PRODUÇÃO CIENTÍFICA RESULTANTE DESTA PESQUISA

Nesta seção estão listados de forma cronológica os artigos científicos publicados, aceitos para publicação e em processo de revisão, resultantes direta ou indiretamente das pesquisas conduzidas durante este trabalho de mestrado. Estes trabalhos representam uma parte importante dessa pesquisa.

[1] Igor D. N. de Souza, Pedro M. de Almeida, Pedro G. Barbosa, Carlos A. Duque, Paulo F. Ribeiro. Digital Double Voltage Loop Control of a VSI with LC Output Filter. *Electric Power System Research*. (**Sob revisão**).

[2] Igor D. N. de Souza, Gabriel A. Fogli, Pedro G. Barbosa, Pedro M. de Almeida, Janaína G. de Oliveira. Projeto de Controladores por Modos Deslizantes de um Conversor Fonte de Tensão Utilizado Para Conectar um Sistema de Geração Fotovoltaico à Rede Elétrica. *Congresso Brasileiro de Automática (CBA), 2016, Vitória, Espírito Santo*.

6.2 TRABALHOS FUTUROS

São sugeridos alguns temas para futuros desdobramentos deste trabalho:

- Implementar a estratégia proposta para níveis de tensão mais altos, cargas com conteúdos harmônicos mais altos e maior potência.
- Investigar o comportamento do sistema frente a variações bruscas de carga;
- Estudar e implementar outras estratégias de amortecimento ativo e compará-las;
- Estudar outras estratégias de controle lineares e não-lineares e comparar os resultados;
- Implementar o restante do PHIL;
- Conectar o CER com o restante da estrutura do PHIL;
- Testar todo o sistema PHIL;

REFERÊNCIAS

- ALMEIDA, P. M. et al. Improvement of PV grid-tied inverters operation under asymmetrical fault conditions. *Solar Energy*, v. 133, p. 363 – 371, 2016. ISSN 0038-092X.
- ALMEIDA, P. M. de. *Contribuições ao estudo de conexão de sistemas fotovoltaicos à rede elétrica sem filtros passivos: projeto de controladores digitais para redução do conteúdo harmônico*. Tese (Doutorado em Engenharia Elétrica) — Universidade Federal de Juiz de Fora, 2013.
- ÅSTRÖM, K. J.; WITTENMARK, B. *Computer-controlled systems: theory and design*. : Courier Corporation, 2013.
- BAI, H. et al. Passivity enhancement of grid-tied converters by series LC-filtered active damper. *IEEE Transactions on Industrial Electronics*, PP, n. 99, p. 1–1, 2016. ISSN 0278-0046.
- BERES, R. N. et al. Optimal design of high-order passive-damped filters for grid-connected applications. *IEEE Transactions on Power Electronics*, v. 31, n. 3, p. 2083–2098, March 2016. ISSN 0885-8993.
- BOTTERÓN, F.; PINHEIRO, H. A three-phase ups that complies with the standard iec 62040-3. *IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS*, v. 54, n. 6, p. 2120–2136, August 2007.
- BüYÜK, M. et al. Topologies, generalized designs, passive and active damping methods of switching ripple filters for voltage source inverter: A comprehensive review. *Renewable and Sustainable Energy Reviews*, v. 62, p. 46 – 69, 2016. ISSN 1364-0321.
- CENTURY, R. E. P. N. for the 21st. *Renewable 2016-Global Status Report*. 2016. Disponível em: <http://www.ren21.net/wp-content/uploads/2016/06/GSR_2016_Full_Report.pdf>.
- CHOE, S. et al. Small scaled power hardware-in-the loop and control method of ship integrated power system with active front end converter and battery energy storage system using low cost multicore DSP. In: *Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16th European Conference on*. 2014. p. 1–10.
- COMMISSION, E. *The EU climate and energy package*. 2012. Disponível em: <http://ec.europa.eu/clima/policies/strategies/2020/docs/climate_package_en.pdf>.
- CORTES, P. et al. Model predictive control of an inverter with output LC filter for UPS applications. *IEEE Transactions on Industrial Electronics*, v. 56, n. 6, p. 1875–1883, June 2009. ISSN 0278-0046.

CROLLA, P. et al. Methodology for testing loss of mains detection algorithms for microgrids and distributed generation using real-time power hardware-in-the-loop based technique. In: *Power Electronics and ECCE Asia (ICPE ECCE), 2011 IEEE 8th International Conference on*. 2011. p. 833–838. ISSN 2150-6078.

DIGITAL, S. *Technical Reference eZdsp F28335*. novembro 2007.

DO, T. D. et al. An adaptive voltage control strategy of three-phase inverter for stand-alone distributed generation systems. *IEEE Transactions on Industrial Electronics*, v. 60, n. 12, p. 5660–5672, Dec 2013. ISSN 0278-0046.

DOMMEL, H. W. Digital computer solution of electromagnetic transients in single-and multiphase networks. *IEEE Transactions on Power Apparatus and Systems*, PAS-88, n. 4, p. 388–399, April 1969. ISSN 0018-9510.

ESCOBAR, G. et al. Repetitive-based controller for a UPS inverter to compensate unbalance and harmonic distortion. *IEEE Transactions on Industrial Electronics*, v. 54, n. 1, p. 504–510, Feb 2007. ISSN 0278-0046.

FANTAUZZI, M. et al. Building DC microgrids: Planning of an experimental platform with power hardware in the loop features. In: *2015 International Conference on Renewable Energy Research and Applications (ICRERA)*. 2015. p. 1507–1512.

FLEMING, F. et al. Development and implementation of a 25 kW virtual induction machine test bed utilizing the power-hardware-in-the-loop concept. In: *Electric Machines and Drives Conference, 2009. IEMDC '09. IEEE International*. 2009. p. 1161–1166.

FORSYTH, P.; KUFFEL, R. Utility applications of a RTDS simulator. In: *2007 International Power Engineering Conference (IPEC 2007)*. 2007. p. 112–117. ISSN 1947-1262.

FORSYTH, P.; MAGUIRE, T.; KUFFEL, R. Real time digital simulation for control and protection system testing. In: *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*. 2004. v. 1, p. 329–335 Vol.1. ISSN 0275-9306.

GARCIA, F. S. *Conversores CC-CC elevadores de tensão, não isolados, com ganhos estáticos elevados*. Dissertação (Mestrado em Engenharia Elétrica) — Universidade Estadual de Campinas, 2010.

HELMEDAG, A.; ISERMANN, T.; MONTI, A. Fault ride through certification of wind turbines based on a hardware in the loop setup. *IEEE Transactions on Instrumentation and Measurement*, v. 63, n. 10, p. 2312–2321, Oct 2014. ISSN 0018-9456.

HOLMES, D.; LIPO, T. *Pulse Width Modulation for Power Converters: Principles and Practice*. : John Wiley & Sons, 2003. (IEEE Press Series on Power Engineering). ISBN 9780471208143.

HWANG, S. H.; KIM, J. M. Dead time compensation method for voltage-fed PWM inverter. *IEEE Transactions on Energy Conversion*, v. 25, n. 1, p. 1–10, March 2010. ISSN 0885-8969.

- IEEE. Ieee recommended practice for utility interface of photovoltaic (PV) systems. *IEEE Std 929-2000*, p. i-, 2000.
- IEEE PES Task Force on Real-Time Simulation of Power and Energy Systems. Real-time simulation technologies for power systems design, testing, and analysis. *IEEE Power and Energy Technology Systems Journal*, v. 2, n. 2, p. 63–73, June 2015.
- JUNG, J.-H. et al. Power hardware-in-the-loop simulation of single crystalline photovoltaic panel using real-time simulation techniques. In: *Power Electronics and Motion Control Conference (IPEMC), 2012 7th International*. 2012. v. 2, p. 1418–1422.
- KANDIL, S. et al. A power quality monitor system for quantifying the effects of photovoltaic penetration on the grid. In: *Electrical and Computer Engineering (CCECE), 2015 IEEE 28th Canadian Conference on*. 2015. p. 237–241. ISSN 0840-7789.
- KARIMI, H.; YAZDANI, A.; IRAVANI, R. Robust control of an autonomous four-wire electronically-coupled distributed generation unit. *IEEE Transactions on Power Delivery*, v. 26, n. 1, p. 455–466, Jan 2011. ISSN 0885-8977.
- KAŻMIERKOWSKI, M.; KRISHNAN, R.; BLAABJERG, F. *Control in Power Electronics: Selected Problems*. : Academic Press, 2002. ISBN 9780124027725.
- KAZMIERKOWSKI, M. P.; MALESANI, L. Current control techniques for three-phase voltage-source pwm converters: a survey. *IEEE Transactions on Industrial Electronics*, v. 45, n. 5, p. 691–703, Oct 1998. ISSN 0278-0046.
- KERMANI, S. et al. Phil implementation of energy management optimization for a parallel HEV on a predefined route. *IEEE Transactions on Vehicular Technology*, v. 60, n. 3, p. 782–792, March 2011. ISSN 0018-9545.
- KIM, D. E.; LEE, D. C. Feedback linearization control of three-phase UPS inverter systems. *IEEE Transactions on Industrial Electronics*, v. 57, n. 3, p. 963–968, March 2010. ISSN 0278-0046.
- KIM, E. K. et al. An observer-based optimal voltage control scheme for three-phase UPS systems. *IEEE Transactions on Industrial Electronics*, v. 62, n. 4, p. 2073–2081, April 2015. ISSN 0278-0046.
- KOMURCUGIL, H. Rotating-sliding-line-based sliding-mode control for single-phase UPS inverters. *IEEE Transactions on Industrial Electronics*, v. 59, n. 10, p. 3719–3726, Oct 2012. ISSN 0278-0046.
- KUFFEL, R. et al. RTDS-a fully digital power system simulator operating in real time. In: *IEEE WESCANEX 95. Communications, Power, and Computing. Conference Proceedings*. 1995. v. 2, p. 300–305 vol.2.
- KUKRER, O.; KOMURCUGIL, H.; DOGANALP, A. A three-level hysteresis function approach to the sliding-mode control of single-phase UPS inverters. *IEEE Transactions on Industrial Electronics*, v. 56, n. 9, p. 3477–3486, Sept 2009. ISSN 0278-0046.

- LANGSTON, J. et al. Role of hardware-in-the-loop simulation testing in transitioning new technology to the ship. In: *2013 IEEE Electric Ship Technologies Symposium (ESTS)*. 2013. p. 514–519.
- LEE, T.-S.; CHIANG, S. J.; CHANG, J.-M. H infin; loop-shaping controller designs for the single-phase UPS inverters. *IEEE Transactions on Power Electronics*, v. 16, n. 4, p. 473–481, Jul 2001. ISSN 0885-8993.
- LEM. *Current Transducer HTY-75-P*. 2016. Acessado: 3/06/2016. Disponível em: <<http://www.europowercomponents.com/media/uploads/HTY50-P.pdf>>.
- LEM. *Voltage Transducer LV 25-P*. 2016. Acessado: 3/06/2016. Disponível em: <http://www.lem.com/docs/products/lv_2025-p.pdf>.
- LI, Y. W. Control and resonance damping of voltage-source and current-source converters with LC filters. *IEEE Transactions on Industrial Electronics*, v. 56, n. 5, p. 1511–1521, May 2009. ISSN 0278-0046.
- LIU, X. et al. Coordinated control of distributed energy storage system with tap changer transformers for voltage rise mitigation under high photovoltaic penetration. *IEEE Transactions on Smart Grid*, v. 3, n. 2, p. 897–906, June 2012. ISSN 1949-3053.
- LOH, P. C. et al. A comparative analysis of multiloop voltage regulation strategies for single and three-phase UPS systems. *IEEE Transactions on Power Electronics*, v. 18, n. 5, p. 1176–1185, Sept 2003. ISSN 0885-8993.
- MATAR, M.; PARADIS, D.; IRAVANI, R. Real-time simulation of modular multilevel converters for controller hardware-in-the-loop testing. *IET Power Electronics*, v. 9, n. 1, p. 42–50, 2016. ISSN 1755-4535.
- MATTAVELLI, P. An improved deadbeat control for UPS using disturbance observers. *IEEE Transactions on Industrial Electronics*, v. 52, n. 1, p. 206–212, Feb 2005. ISSN 0278-0046.
- MESSNER, W. C. et al. Lead and lag compensators with complex poles and zeros design formulas for modeling and loop shaping. *IEEE Control Systems*, v. 27, n. 1, p. 44–54, Feb 2007. ISSN 1066-033X.
- MÄKINEN, A. S.; MESSO, T.; TUUSA, H. Power hardware in-the-loop laboratory test environment for small scale wind turbine prototype. In: *Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16th European Conference on*. 2014. p. 1–10.
- MODESTO, R. A. et al. A simplified strategy used to control the output voltage and the input current of a single-phase line-interactive UPS system. In: *2013 Brazilian Power Electronics Conference*. 2013. p. 420–426. ISSN 2165-0454.
- MOHAN, N.; UNDELAND, T.; ROBBINS, W. *Power electronics: converters, applications, and design*. : John Wiley & Sons, 2003. ISBN 9780471613428.
- MOUDGALYA, K. *Digital control*. : John Wiley & Sons, 2007. ISBN 9780470031438.
- OGATA, K. *Modern Control Engineering*. : Prentice Hall, 2010. ISBN 9780136156734.

- PARK, I. kwon et al. Hardware in the loop (RTDS) testing of a power electronics controller with RTDS. In: *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*. 2013. p. 5386–5391. ISSN 1553-572X.
- PRATICO, E. R.; EITZMANN, M. A. A microcomputer-based data acquisition system for transient network analyzer operation. *IEEE Transactions on Power Systems*, v. 9, n. 2, p. 812–818, May 1994. ISSN 0885-8950.
- SANCHEZ, A.; CASTRO, A. de; GARRIDO, J. A comparison of simulation and hardware-in-the-loop alternatives for digital control of power converters. *IEEE Transactions on Industrial Informatics*, v. 8, n. 3, p. 491–500, Aug 2012. ISSN 1551-3203.
- SEMIKRON. *Hybrid Dual MOSFET Driver SKHI 21B (R)*. 2008. Acessado: 10/06/2016. Disponível em: <<http://www.semikron.com/dl/service-support/downloads/download/semikron-datasheet-skhi-22-a-b-r-15012521>>.
- SEMIKRON. *IGBT Module SKM 100GB12T4*. 2013. Acessado: 10/06/2016. Disponível em: <<http://www.semikron.com/dl/service-support/downloads/download/semikron-datasheet-skm100gb12t4-22892020>>.
- SIEGERS, J.; SANTI, E. Stability analysis and control design for an all-electric ship MVDC power distribution system using a passivity based stability criterion and power hardware-in-the-loop simulation. In: *Electric Ship Technologies Symposium (ESTS), 2015 IEEE*. 2015. p. 86–92.
- SILVA, J. F.; PINTO, S. F. Cap - advanced control of switching power converters. In: RASHID, M. H. (Ed.). *Power Electronics Handbook (Third Edition)*. Third edition. Boston: Butterworth-Heinemann, 2011. p. 1037 – 1113. ISBN 978-0-12-382036-5.
- SKVARENINA, T. L. *The Power Electronics Handbook: Industrial Electronics Series*. : CRC Press LLC, 2002. ISBN 9781420037067.
- STEURER, M. et al. A megawatt-scale power hardware-in-the-loop simulation setup for motor drives. *IEEE Transactions on Industrial Electronics*, v. 57, n. 4, p. 1254–1260, April 2010. ISSN 0278-0046.
- TAN, S.; LAI, Y.; TSE, C. *Sliding Mode Control of Switching Power Converters: Techniques and Implementation*. : CRC Press, 2011. ISBN 9781439830260.
- TEODORESCU, R. et al. Proportional-resonant controllers and filters for grid-connected voltage-source converters. *IEE Proceedings - Electric Power Applications*, v. 153, n. 5, p. 750–762, September 2006. ISSN 1350-2352.
- TERLIP, D. V.; KROPOSKI, B.; MAKSIMOVIC, D. A methodology for characterizing and modeling inverters for grid integration studies using power hardware-in-the-loop. In: *2012 IEEE Power and Energy Society General Meeting*. 2012. p. 1–5. ISSN 1932-5517.
- Texas Instruments. *Data Manual: TMS320F28335, TMS320F28334, TMS320F28332, TMS320F28235, TMS320F28234, TMS320F28232. Digital Signal Controllers (DSCs)*. agosto 2012.

TRIGUI, R. et al. Performance comparison of three storage systems for mild HEVs using phil simulation. *IEEE Transactions on Vehicular Technology*, v. 58, n. 8, p. 3959–3969, Oct 2009. ISSN 0018-9545.

TROESTER, E. New german grid codes for connecting PV systems to the medium voltage power grid. In: *2nd International workshop on concentrating photovoltaic power plants: optical design, production, grid connection*. 2009. p. 9–10.

UTKIN, V.; GULDNER, J.; SHI, J. *Sliding Mode Control in Electro-Mechanical Systems, Second Edition*. : CRC Press, 2009. (Automation and Control Engineering). ISBN 9781420065619.

WALES, U. of N. S. *Milestone in solar cell efficiency by UNSW engineers*. 2016. Disponível em: <<http://newsroom.unsw.edu.au/news/science-tech/milestone-solar-cell-efficiency-unsw-engineers>>.

YANG, F.; YANG, L.; MA, X. An advanced control strategy of PV system for low-voltage ride-through capability enhancement. *Solar Energy*, v. 109, p. 24 – 35, 2014. ISSN 0038-092X.

YAZDANI, A.; IRAVANI, R. *Grid-Imposed Frequency VSC System: Control in -Frame*. : Wiley-IEEE Press, 2010. 541- p. ISBN 9780470551578.

YEPES, A. G. et al. Effects of discretization methods on the performance of resonant controllers. *IEEE Transactions on Power Electronics*, v. 25, n. 7, p. 1692–1712, July 2010.

ZHONG, Q. C.; HANG, C. C. Control of processes with dead time and input constraints using control signal shaping. *IEE Proceedings - Control Theory and Applications*, v. 151, n. 4, p. 473–480, July 2004. ISSN 1350-2379.

APÊNDICE A – CONDICIONAMENTO DOS SINAIS ANALÓGICOS E PWM

Os circuitos de condicionamento e proteção de sinais utilizados neste trabalho são apresentadas nas Figuras 48 e 49, e foram desenvolvidos em (GARCIA, 2010).

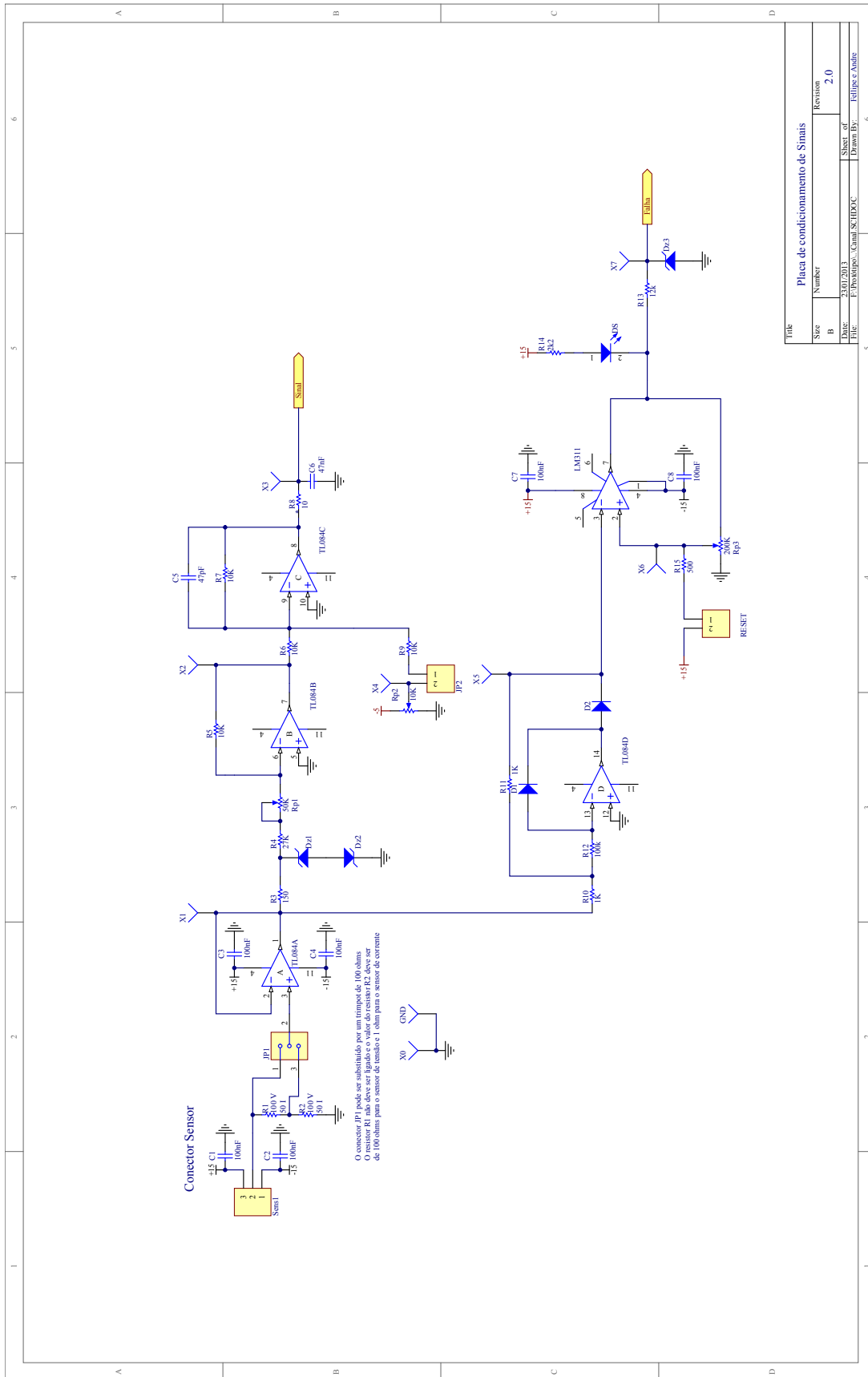


Figura 48: Circuito para condicionamento e proteção dos canais de tensão e corrente.

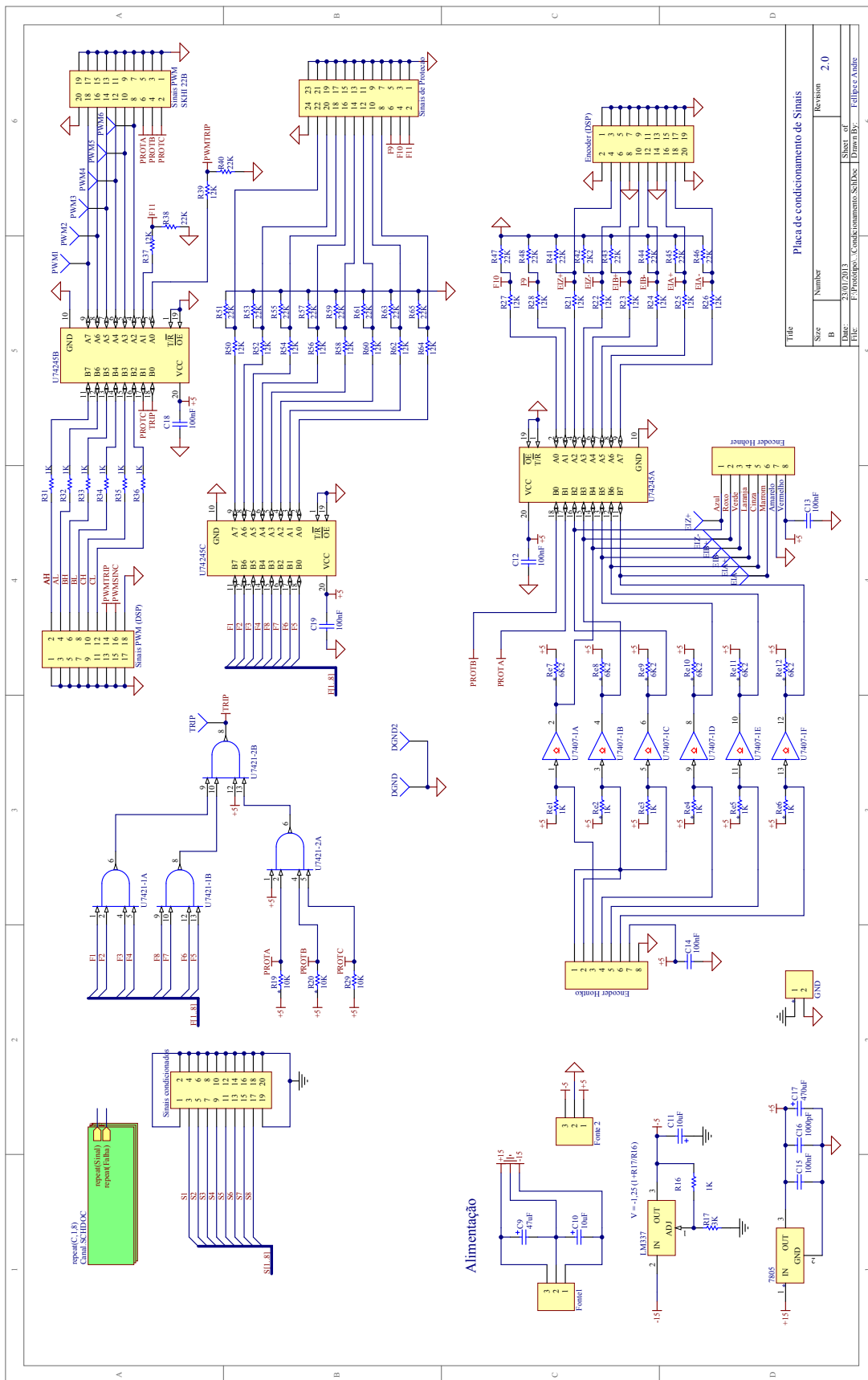


Figura 49: Esquema da placa de condicionamento de sinais.

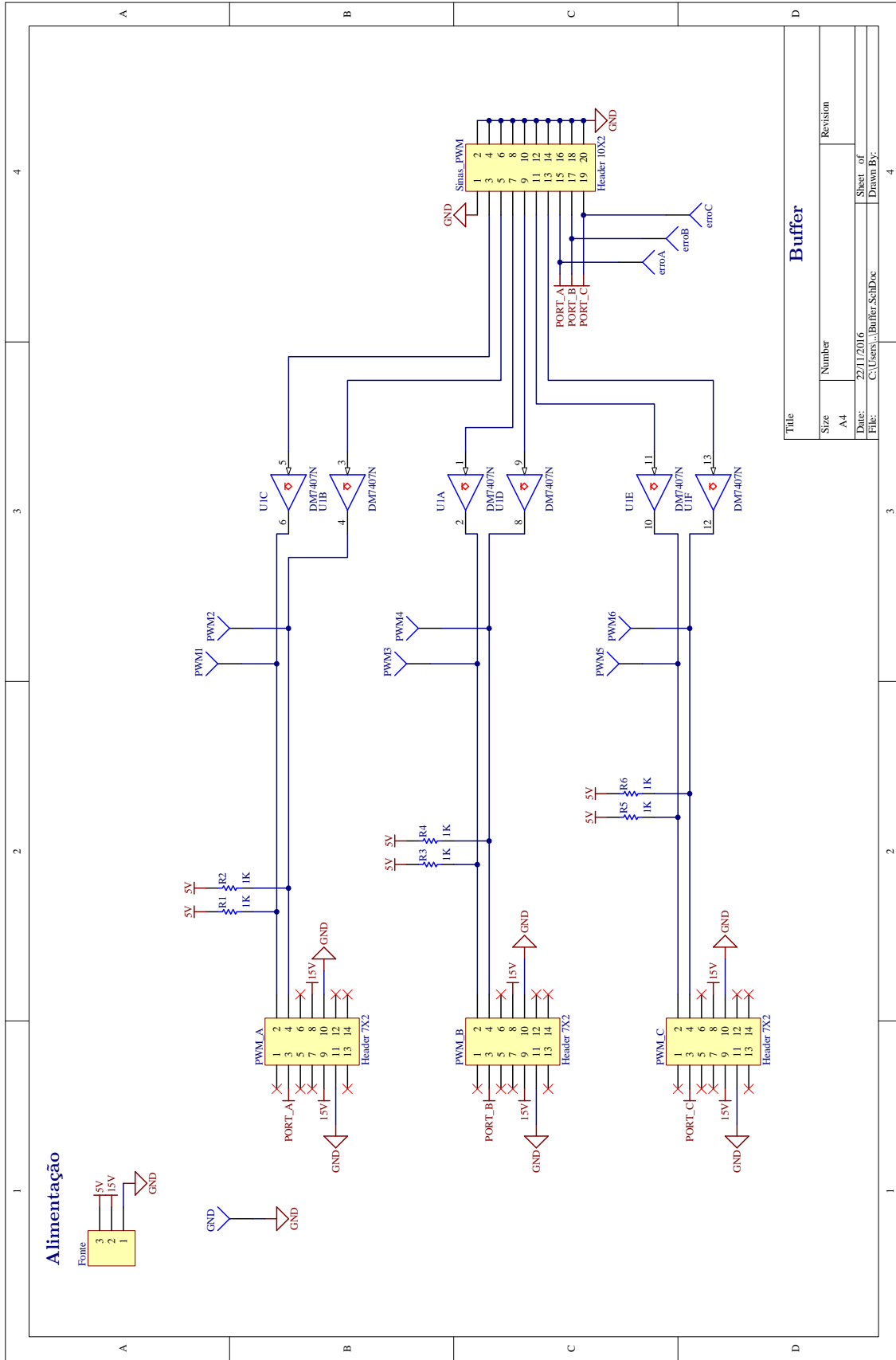


Figura 50: Esquema do *buffer* coletor aberto.