



**UNIVERSIDADE FEDERAL DE JUIZ DE FORA PROGRAMA DE
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

Wesley Henrique Maciel

**Novas Topologias de Inversores Multiníveis Baseadas na Célula de Comutação de Três
Estados**

Juiz de Fora

2026

Wesley Henrique Maciel

Novas Topologias de Inversores Multiníveis Baseadas na Célula de Comutação de Três Estados

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Juiz de Fora como requisito parcial à obtenção do título de Doutor. Área de concentração: Sistemas Eletrônicos.

Orientador: Prof. Dr. Eng. Henrique Antônio Carvalho Braga

Coorientador: Prof. Dr. Eng. Fernando Lessa Tofoli

Juiz de Fora

2026

Ficha catalográfica elaborada através do programa de geração automática da Biblioteca Universitária da UFJF, com os dados fornecidos pelo(a) autor(a)

Maciel, Wesley Henrique.

Novas Topologias de Inversores Multiníveis Baseadas na Célula de Comutação de Três Estados / Wesley Henrique Maciel. -- 2026. 272 p. : il.

Orientador: Henrique Antônio Carvalho Braga

Coorientador: Fernando Lessa Tofoli

Tese (doutorado) - Universidade Federal de Juiz de Fora, Faculdade de Engenharia. Programa de Pós-Graduação em Engenharia Elétrica, 2026.

1. Célula de comutação de três estados. 2. Conversores CC-CA. 3. Inversores fonte de corrente e tensão. 4. Inversores multiníveis. 5. Modulação por vetor espacial. I. Braga, Henrique Antônio Carvalho, orient. II. Tofoli, Fernando Lessa, coorient. III. Título.

Wesley Henrique Maciel

Novas Topologias de Inversores Multiníveis Baseadas na Célula de Comutação de Três Estados

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Juiz de Fora como requisito parcial à obtenção do título de Doutor em Engenharia Elétrica. Área de concentração: Sistemas Eletrônicos

Aprovada em 23 de março de 2026.

BANCA EXAMINADORA

Prof. Dr. Henrique Antônio Carvalho Braga - Orientador

Universidade Federal de Juiz de Fora

Prof. Dr. Fernando Lessa Tofoli - Coorientador

Universidade Federal de São João del-Rei

Prof. Dr. Fernando Luiz Marcelo Antunes

Universidade Federal do Ceará

Prof. Dr. Edison Roberto Cabral da Silva

Universidade Federal de Campina Grande / Universidade Federal da Paraíba

Prof. Dr. Pedro Machado de Almeida

Universidade Federal de Juiz de Fora

Prof. Dr. Allan Fagner Cupertino

Universidade Federal de Juiz de Fora

Juiz de Fora, 05/03/2026.



Documento assinado eletronicamente por **Fernando Lessa Tofoli, Usuário Externo**, em 23/03/2026, às 18:19, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Pedro Machado de Almeida, Professor(a)**, em 24/03/2026, às 07:01, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Allan Fagner Cupertino, Professor(a)**, em 24/03/2026, às 20:23, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Henrique Antonio Carvalho Braga, Professor(a)**, em 31/03/2026, às 10:47, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).

Documento assinado eletronicamente por **Edison Roberto Cabral da Silva, Usuário Externo**, em 27/04/2026, às 10:47, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



[novembro de 2020.](#)



Documento assinado eletronicamente por **Fernando Luiz Marcelo Antunes, Usuário Externo**, em 06/05/2026, às 14:54, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



A autenticidade deste documento pode ser conferida no Portal do SEI-Ufjf (www2.ufjf.br/SEI) através do ícone Conferência de Documentos, informando o código verificador **2893889** e o código CRC **DEB7132B**.

Dedico este trabalho a Deus, à minha esposa e ao meu filho. Sem eles, nada seria possível.

AGRADECIMENTOS

Agradeço, primeiramente, a Deus pela saúde, proteção e força necessárias para dedicar-me às atividades acadêmicas e alcançar os objetivos traçados.

Registro um agradecimento especial à minha esposa, Camila, e ao meu filho, Murilo, que são minha razão de viver e representam a esperança renovada a cada amanhecer.

Ao meu pai, que, mesmo não estando mais entre nós, permanece como inspiração de honestidade, caráter e humildade.

Aos meus orientadores, Prof. Dr. Henrique Braga e Prof. Dr. Fernando Lessa Tofoli, pela orientação, pela confiança depositada e pelas contribuições essenciais para o desenvolvimento deste trabalho e para o meu crescimento profissional.

Agradeço, ainda, ao Instituto Federal do Sudeste de Minas Gerais pelo apoio institucional e pelo suporte imprescindível para a realização desta etapa significativa de minha trajetória.

“E ainda que tivesse o dom de profecia, e conhecesse todos os mistérios e toda a ciência, e ainda que tivesse toda a fé, de maneira tal que transportasse os montes, e não tivesse amor, nada seria.” (BÍBLIA, 1 Coríntios 13:2).

RESUMO

Inversores multiníveis têm sido amplamente investigados devido à redução da distorção harmônica, à diminuição dos esforços elétricos nos dispositivos semicondutores de potência e à melhoria da qualidade da energia fornecida à carga. Entretanto, muitas arquiteturas multiníveis apresentam elevada complexidade estrutural e grande número de componentes ativos. Nesse contexto, esta tese emprega o princípio da dualidade entre VSI e CSI aplicado à célula de comutação de três estados (*three-state switching cell* – 3SSC), na qual o autotransformador constitui parte intrínseca da célula e promove compartilhamento de corrente entre seus ramos. A partir dessa abordagem, são propostas duas topologias monofásicas multiníveis: o inversor CSI 5L-3SSC e o inversor VSI 5L-3SSC. Nas topologias propostas, a síntese multinível é realizada por uma única 3SSC operando em alta frequência, responsável pela geração dos níveis intermediários da tensão ou corrente de saída, associada a um braço complementar operando em baixa frequência para inversão de polaridade da grandeza de saída. Essa organização restringe a operação em alta frequência à 3SSC, mantendo o braço complementar em baixa frequência. O autotransformador integrado promove compartilhamento natural de corrente entre os ramos, reduzindo a corrente conduzida individualmente por cada dispositivo e ampliando a capacidade de processamento de corrente da topologia. A operação entrelaçada dos interruptores de alta frequência duplica a frequência efetiva das componentes espectrais na saída, reduzindo os requisitos de filtragem. Para o inversor CSI 5L-3SSC, a característica elevadora de tensão inerente aos conversores fonte de corrente permite a conexão de fontes de baixa tensão sem associação de múltiplos módulos em série ou de estágio CC-CC intermediário. Para o inversor VSI 5L-3SSC, são desenvolvidas análises qualitativas e quantitativas, incluindo análise dos estados de comutação, modulação por vetor espacial e expressões analíticas para tensões e correntes eficazes, esforços elétricos, perdas e rendimento. A modelagem fundamenta a implementação de um protótipo experimental operando com tensão de entrada de 240 V, frequência de comutação de 10 kHz e frequência fundamental de 60 Hz, cujos resultados confirmam a síntese de cinco níveis e rendimento máximo de aproximadamente 97 %. A generalização da arquitetura resulta em uma VSI de sete níveis validada por simulação, evidenciando a possibilidade de expansão sistemática por meio da célula de comutação de múltiplos estados (*multistate switching cell* – MSSC).

Palavras-chave: célula de comutação de três estados, conversores CC-CA, inversores fonte de corrente, inversores fonte de tensão, inversores multiníveis, modulação por vetor espacial.

ABSTRACT

Multilevel inverters have been widely investigated due to their ability to reduce harmonic distortion, decrease electrical stresses on power semiconductor devices, and improve the quality of the energy delivered to the load. However, many multilevel architectures exhibit high structural complexity and require a large number of active components. In this context, this thesis employs the duality principle between voltage-source and current-source converters in the development of topologies based on the three-state switching cell (3SSC), in which the integrated autotransformer constitutes an intrinsic part of the cell and promotes current sharing between its branches. Based on this approach, two single-phase multilevel topologies are proposed: the CSI 5L-3SSC and the VSI 5L-3SSC. In the proposed structures, multilevel synthesis is achieved using a single 3SSC operating at high frequency, responsible for generating the intermediate levels of the output voltage or current, combined with a complementary leg composed of two switches operating at low frequency to reverse the output polarity. This configuration concentrates high-frequency switching operation in the 3SSC. The integrated autotransformer promotes natural current sharing among the branches, reducing the current conducted by each device and increasing the current processing capability of the topology. In addition, the interleaved operation of the high-frequency switches doubles the effective frequency of the switching-frequency spectral components at the output, reducing filtering requirements. For the CSI 5L-3SSC, the inherent step-up characteristic of current-source converters enables the connection of low-voltage sources without the need for multiple series-connected modules or an intermediate DC-DC conversion stage. For the VSI 5L-3SSC, qualitative and quantitative analyses are carried out, including switching-state analysis, space vector modulation, and analytical expressions for RMS voltages and currents, electrical stresses, losses, and efficiency. The analytical model supports the implementation of an experimental prototype operating with an input voltage of 240 V, switching frequency of 10 kHz, and fundamental frequency of 60 Hz, whose results confirm the synthesis of five output voltage levels and a maximum efficiency of approximately 97 %. The architecture is further generalized into a seven-level VSI configuration validated through simulation, demonstrating the possibility of systematic expansion through the multistate switching cell (MSSC).

Keywords: three-state switching cell, DC-AC converters, multilevel inverters, current source inverters, voltage source inverters, space vector modulation.

LISTA DE ILUSTRAÇÕES

Figura 1 – Capacidade instalada global das energias renováveis e não renováveis.	20
Figura 2 – Crescimento da capacidade de geração de energia renovável global.	21
Figura 3 – Evolução da capacidade instalada de energia solar fotovoltaica no Brasil.	21
Figura 4 – Conexão de módulos fotovoltaicos à rede elétrica utilizando (a) um sistema de dois estágios (conversor CC-CC associado a um conversor CC-CA VSI) e (b) um sistema com um estágio (inversor CSI).	25
Figura 5 – Inversor com diodos de grampeamento de três níveis (3L-NPC).	35
Figura 6 – Tensão de saída v_{ao} do inversor NPC de três níveis.	36
Figura 7 – Inversor com diodos de grampeamento de cinco níveis (5L-NPC).	36
Figura 8 – Tensão de saída do inversor NPC de cinco níveis.	37
Figura 9 – Inversor com capacitor flutuante de três níveis 3L-FC.	38
Figura 10 – Inversor com capacitor flutuante de cinco níveis 5L-FC.	39
Figura 11 – Inversor VSI multinível ponte H em cascata de cinco níveis 5L-CHB.	40
Figura 12 – Tensão de saída do inversor ponte H em cascata de cinco níveis.	41
Figura 13 – Inversor CSI monofásico de dois níveis.	43
Figura 14 – Classificação das principais topologias CSI multiníveis com base no princípio da dualidade e nas células de corrente.	44
Figura 15 – Topologia com indutor de corrente única de cinco níveis.	45
Figura 16 – Célula genérica do inversor MCSI com múltiplas correntes nos indutores.	46
Figura 17 – Inversor MCSI com múltiplas correntes nos indutores (embutido).	46
Figura 18 – Inversor MCSI ponte H em paralelo de cinco níveis.	47
Figura 19 – Inversor MCSI ponte H de cinco níveis baseado em célula de comutação com indutor.	48
Figura 20 – Inversor CSI com indutor paralelo em ponte H para sintetizar cinco níveis de corrente de saída.	49
Figura 21 – Inversor MCSI ponte H paralelo com <i>chopper</i> de cinco níveis.	50
Figura 22 – Topologia do inversor de cinco níveis em ponte H associada a um interruptor bidirecional auxiliar.	54
Figura 23 – Topologia multinível proposta baseada em unidades elementares com fonte CC isolada e dois interruptores, acrescida de estágio em ponte completa para inversão de polaridade.	55
Figura 24 – Inversor fotovoltaico monofásico de cinco níveis com terra comum e capacitor flutuante.	57

Figura 25 – Topologia de inversor 5L-ANPC-CI.....	62
Figura 26 – Topologia de inversor monofásico de cinco níveis com indutores acoplados baseado em um módulo de três braços.	63
Figura 27 – Topologia de inversor monofásico de cinco níveis tipo π	64
Figura 28 – Topologia de inversor monofásico de cinco níveis com quatro semicondutores de potência.....	65
Figura 29 – Topologia do inversor meia-ponte de três níveis baseado na 3SSC.	67
Figura 30 – Estrutura do sistema fotovoltaico monofásico baseado na topologia VSI 5L-D3SSC.	68
Figura 31 – Topologia do inversor meia-ponte de quatro níveis baseado na célula Y- Δ de quatro estados (4SSC).....	69
Figura 32 – Inversor NPC monofásico de cinco níveis baseado em MSSC com autotransformador.....	70
Figura 33 – Topologia do inversor tipo T de cinco níveis baseado na MSSC.	71
Figura 34 – Estrutura geral de um conversor CC-CC básico não isolado.	73
Figura 35 – Critério para geração de conversores CC-CC não isolados.	74
Figura 36 – Célula de comutação de dois estados.	74
Figura 37 – Estados e modos de operação da 2SSC.....	75
Figura 38 – Transformador CC paralelo.	76
Figura 39 – Topologia da 3SSC.	76
Figura 40 – Triângulo ABC com a representação esquemática do funcionamento da célula de três estados.....	77
Figura 41 – Inversão bilateral da célula de três estados.	78
Figura 42 – Topologia da 4SSC com transformador trifásico.....	79
Figura 43 – Estados de operação da 4SSC.	80
Figura 44 – Topologia da 5SSC.	82
Figura 45 – Inversor VSI 5L-D3SSC baseado na associação de duas 3SSC em configuração de ponte completa.....	85
Figura 46 – Etapas de funcionamento do inversor VSI 5L-D3SSC para a região A.	87
Figura 47 – Etapas de funcionamento do inversor VSI 5L-D3SSC para a região B.....	88
Figura 48 – Etapas de funcionamento do inversor VSI 5L-D3SSC para a região C.....	90
Figura 49 – Etapas de funcionamento do inversor VSI 5L-D3SSC para a região D.	91
Figura 50 – Estratégia geral de modulação PSC-PWM para inversor multinível.	92
Figura 51 – O valor de pico da componente fundamental da tensão de saída $V_{ab1,pk}$ em função	

de M , normalizada por V_i	93
Figura 52 – Formas de onda e espectros harmônicos resultantes da modulação PSC-PWM aplicada ao inversor VSI 5L-D3SSC com: (a) $M= 0,1$; (b) $M= 1$	95
Figura 53 – Filtro LC de saída empregado ao inversor VSI 5L-D3SSC.....	96
Figura 54 – Diagrama elétrico do VSI 5L-D3SSC implementado no ambiente de simulação.....	99
Figura 55 – Estrutura da modulação PSC-PWM aplicada ao inversor VSI 5L-D3SSC.	99
Figura 56 – Tensão sintetizada v_{ab} do inversor VSI 5L-D3SSC.	100
Figura 57 – Tensão na carga v_o e corrente i_o do inversor VSI 5L-D3SSC.....	100
Figura 58 – Correntes nos enrolamentos representativos do autotransformador.	101
Figura 59 – Espectro harmônico da tensão v_{ab} e da tensão na carga v_o	101
Figura 60 – Topologia monofásica CSI de cinco níveis baseado na 3SSC.....	104
Figura 61 – Etapas de operação para o semiciclo positivo do inversor CSI 5L-3SSC: (a) 1ª etapa, (b) 2ª etapa, (c) 3ª etapa e (d) 4ª etapa.	105
Figura 62 – Etapas de operação para o semiciclo negativo do inversor CSI 5L-3SSC: (a) 5ª etapa, (b) 6ª etapa, (c) 7ª etapa e (d) 8ª etapa.....	106
Figura 63 – Fluxograma da implementação da técnica de modulação SVM.	113
Figura 64 – Topologia monofásica VSI em ponte completa convencional.....	115
Figura 65 – Região de controle da modulação SVM para o inversor monofásico convencional.	117
Figura 66 – Distribuição dos vetores e intervalos temporais no setor I para sequência simétrica ao longo de T_s	118
Figura 67 – Setores da região de controle para a corrente de saída i_{ab} do inversor monofásico CSI 5L-3SSC.	119
Figura 68 – Tempo de duração da distribuição simétrica dos vetores para o Setor I.....	120
Figura 69 – Principais formas de onda para o setor I.	121
Figura 70 – Tempo de duração da distribuição simétrica dos vetores para o Setor II.....	122
Figura 71 – Principais formas de onda para o setor II.....	122
Figura 72 – Tempo de duração da distribuição simétrica dos vetores para o Setor III.	123
Figura 73 – Principais formas de onda para o setor III.	123
Figura 74 – Tempo de duração da distribuição simétrica dos vetores para o Setor IV.....	124
Figura 75 – Principais formas de onda para o setor IV.	124
Figura 76 – Relações entre as grandezas fundamentais de saída e o barramento CC em função de M no inversor CSI 5L-3SSC.....	127
Figura 77 – Forma de onda da corrente i_{ab} e ângulo θ_s que define a transição entre os setores.	

.....	129
Figura 78 – Forma de onda da THD da corrente de saída i_{ab} em função do índice de modulação M	132
Figura 79 – Modelo do barramento CC de um inversor CSI.	132
Figura 80 – Tensão do barramento CC do inversor CSI 5L-3SSC.	133
Figura 81 – Corrente no barramento CC do inversor CSI 5L-3SSC.....	133
Figura 82 – Circuito equivalente para análise do filtro capacitivo de saída.....	136
Figura 83 – Representação temporal da tensão no capacitor de filtro C_f e corrente de saída.	137
Figura 84 – Formas de onda da tensão v_{ab} e corrente i_{ab} do inversor CSI 5L-3SSC sob carga R.	143
Figura 85 – Detalhe da corrente i_{ab} em alta frequência, evidenciando os níveis discretos sintetizados.	144
Figura 86 – Tensão do barramento v_{bar} e corrente do indutor i_i associados ao elo CC sob carga R.	145
Figura 87 – Espectro harmônico da corrente de saída i_{ab} do inversor CSI 5L-3SSC.....	145
Figura 88 – Formas de onda da tensão de saída v_{ab} e da corrente $i_{ab} \times 15$ sob carga R e filtro capacitivo.....	146
Figura 89 – Tensão do barramento v_{bar} e corrente do indutor i_i associados ao elo CC sob carga R com filtro capacitivo.	147
Figura 90 – Topologia monofásica VSI 5L-3SSC.	150
Figura 91 – Etapas de operação para o semiciclo positivo do inversor VSI 5L-3SSC: (a) 1ª etapa; (b) 2ª etapa; (c) 3ª etapa; (d) 4ª etapa.	152
Figura 92 – Etapas de operação para o semiciclo negativo do inversor VSI 5L-3SSC: (a) 5ª etapa; (b) 6ª etapa; (c) 7ª etapa; (d) 8ª etapa.	153
Figura 93 – Circuito simplificado para a primeira etapa do inversor VSI 5L-3SSC.....	154
Figura 94 – Circuito equivalente simplificado para a segunda etapa de operação do inversor VSI 5L-3SSC.....	154
Figura 95 – Circuito equivalente simplificado para a terceira etapa de operação do VSI 5L-3SSC.	155
Figura 96 – Circuito equivalente simplificado para a quarta etapa de operação do inversor VSI 5L-3SSC.	155
Figura 97 – Circuitos equivalentes para as etapas de operação no semiciclo negativo do inversor VSI 5L-3SSC: (a) 5ª etapa; (b) 6ª etapa; (c) 7ª etapa; (d) 8ª etapa.	156
Figura 98 – Setores de controle e vetores de comutação do inversor VSI 5L-3SSC.	159

Figura 99 – Tempo de duração da distribuição simétrica dos vetores para o setor I.....	161
Figura 100 – Principais formas de onda para o setor I.....	162
Figura 101 – Tempo de duração da distribuição simétrica dos vetores para o setor II.....	163
Figura 102 – Principais formas de onda para o setor II.....	163
Figura 103 – Tempo de duração da distribuição simétrica dos vetores para o setor III.....	164
Figura 104 – Principais formas de onda para o setor III.....	164
Figura 105 – Tempo de duração dos vetores para o setor IV.....	165
Figura 106 – Principais formas de onda para o setor IV.....	165
Figura 107 – Relações entre a tensão e corrente fundamental de saída em função do índice de modulação no inversor VSI 5L-3SSC.....	168
Figura 108 – Forma de onda da tensão de saída v_{ab} e ângulo θ_s que define a transição entre os setores.....	169
Figura 109 – Distorção harmônica total da tensão de saída v_{ab} em função do índice de modulação M	173
Figura 110 – Tensão no enrolamento T_1 do autotransformador.....	174
Figura 111 – Formas de onda das correntes nos pares (a) S_1-D_1 e (b) S_2-D_2 , com ampliações em um período de comutação T_s para (c) Setor I e (d) Setor II.....	177
Figura 112 – Formas de onda das correntes nos interruptores (a) S_5 e S_6 , com ampliações da corrente de S_6 em um período de comutação T_s para (b) ampliações da corrente i_{S6} para os Setores I e II.....	182
Figura 113 – Diagrama elétrico do inversor VSI 5L-3SSC implementado no ambiente de simulação.....	217
Figura 114 – Estrutura da modulação SVM implementada no ambiente de simulação.....	217
Figura 115 – Formas de onda das tensões v_a e v_b do VSI 5L-3SSC sob carga R.....	218
Figura 116 – Formas de onda da tensão v_{ab} e da corrente i_{ab} do VSI 5L-3SSC sob carga R.....	219
Figura 117 – Formas de onda das correntes i_{T1} e i_{T2} do autotransformador do VSI 5L-3SSC.....	220
Figura 118 – Formas de onda das tensões nos interruptores S_1 e S_3 e no interruptor de baixa frequência S_6 do inversor VSI 5L-3SSC.....	220
Figura 119 – Formas de onda das correntes nos interruptores S_1 e S_3 e no interruptor de baixa frequência S_6 do inversor VSI 5L-3SSC.....	221
Figura 120 – Espectro harmônico da tensão de saída v_{ab} do inversor VSI 5L-3SSC.....	221
Figura 121 – Formas de onda simuladas de v_{ab} e i_{ab} do VSI 5L-3SSC sob carga RL.....	223
Figura 122 – Formas de onda simuladas das correntes i_{T1} e i_{T2} nos enrolamentos do	

autotransformador do VSI 5L-3SSC sob carga RL.....	224
Figura 123 – Bancada experimental utilizada nos ensaios do inversor VSI 5L-3SSC.....	225
Figura 124 – Formas de onda experimentais de tensão e corrente de saída do VSI 5L-3SSC sob carga R para: (a) Tensão v_{ab} ; (b) Corrente i_{ab}	228
Figura 125 – Tensões medidas nos dispositivos semicondutores de potência sob carga R: (a) tensões em S_1 e S_3 ; (b) tensões em S_5 e S_6	229
Figura 126 – Correntes medidas nos dispositivos semicondutores de potência sob carga R: (a) correntes em S_1 e S_3 ; (b) correntes em S_5 e S_6	229
Figura 127 – Sinais de comando dos interruptores sob carga R: (a) G_1 e G_3 ; (b) G_2 e G_4 ; (c) G_5 e G_6 ; (d) detalhe do intervalo de tempo morto entre G_1 e G_3	230
Figura 128 – Tensões e correntes nos enrolamentos T_1 e T_2 do autotransformador: (a) tensões nos enrolamentos; (b) correntes nos enrolamentos.....	230
Figura 129 – Formas de onda experimentais da tensão de saída v_{ab} para diferentes índices de modulação sob carga R.....	231
Figura 130 – Espectro de frequência de v_{ab} obtido experimentalmente sob carga R.	232
Figura 131 – Formas de onda experimentais da tensão e corrente de saída do VSI 5L-3SSC sob carga RL.	233
Figura 132 – Tensão e corrente no autotransformador para carga RL: (a) Tensões no autotransformador; (b) Correntes no autotransformador.....	233
Figura 133 – Espectro de frequência de v_{ab} obtido experimentalmente sob carga RL.	234
Figura 134 – Curvas teórica e experimental comparativas da $THD_{v_{ab}}$ em função de M	236
Figura 135 – Rendimento experimental do VSI 5L-3SSC em função da potência de saída sob carga R.....	237
Figura 136 – Distribuição percentual das perdas totais no VSI 5L-3SSC sob carga R.....	237
Figura 137 – Topologia do inversor VSI 7L-4SSC.....	243
Figura 138 – Formas de onda da tensão de saída v_{ab} e da corrente de carga i_{ab} do inversor VSI 7L-4SSC sob carga R.	245
Figura 139 – Generalização estrutural do número de níveis a partir da associação de uma MSSC operando em alta frequência à etapa de inversão de polaridade.....	246
Figura 140 – Componentes principais utilizados na implementação do protótipo experimental do inversor VSI 5L-3SSC.....	263
Figura 141 – Montagem do estágio de potência com os módulos semicondutores fixados aos dissipadores térmicos e sistema de ventilação forçada.....	264
Figura 142 – Integração do estágio de potência com as placas de acionamento e a plataforma	

de controle digital do inversor VSI 5L-3SSC.....	265
Figura 143 – Conexão da placa adaptadora de interface aos circuitos de acionamento SKHI 23/17R.	266
Figura 144 – Protótipo do inversor VSI 5L-3SSC montado em bancada, com cabeamento de potência e comando para os ensaios experimentais.....	267

LISTA DE TABELAS

Tabela 1 – Estados de comutação dos interruptores para a região A ($0 < D < 0,25$).....	86
Tabela 2 – Estados de comutação dos interruptores para a região B ($0,25 < D < 0,5$).	88
Tabela 3 – Estados de comutação dos interruptores para a região C ($0,5 < D < 0,75$).....	89
Tabela 4 – Estados de comutação dos interruptores para a região D ($0,75 < D < 1$).	90
Tabela 5 – Parâmetros de projeto para simulação do inversor VSI 5L-D3SSC.....	98
Tabela 6 – Etapas de operações e estados de comutação dos interruptores do inversor CSI 5L-3SSC e seus respectivos vetores.....	111
Tabela 7 – Estados de comutação, níveis de tensão de saída e distribuição dos vetores.	116
Tabela 8 – Sequência simétrica de comutação.	118
Tabela 9 – Parâmetros de projeto para simulação do inversor CSI 5L-3SSC.....	140
Tabela 10 – Etapas de operação do conversor VSI 5L-3SSC, indicando os estados de comutação, as tensões nos pontos a e b e os vetores de estado associados.....	157
Tabela 11 – Parâmetros de projeto para o inversor VSI 5L-3SSC.....	198
Tabela 12 – Parâmetros do Módulo de Potência IGBT SKM150GM12T4G.	199
Tabela 13 – Dimensões do núcleo NEE 65/33/39.....	199
Tabela 14 – Cálculo dos rendimentos do inversor para índice de modulação fixo $M = 0,864$ e tensão de entrada V_i variando de 0 a 240 V.....	210
Tabela 15 – Comparação entre os valores calculados e simulados do VSI 5L-3SSC sob carga R.	222
Tabela 16 – Comparação entre valores teóricos e experimentais para carga R.	235
Tabela 17 – Comparação entre topologias VSI multiníveis com acoplamento magnético segundo a FC adaptada e seus parâmetros estruturais.....	241
Tabela 18 – Etapas de operação do conversor VSI 7L-4SSC, com indicação dos estados de comutação, das tensões nos pontos a e b e dos vetores de estado associados.....	244

LISTA DE ABREVIATURAS E SIGLAS

2SSC	Célula de comutação de dois estados – <i>two-state switching cell</i>
3SSC	Célula de comutação de três estados – <i>three-state switching cell</i>
4SSC	Célula de comutação de quatro estados – <i>four-state switching cell</i>
5SSC	Célula de comutação de cinco estados – <i>five-state switching cell</i>
CA	Corrente alternada
CC	Corrente contínua
CEL	Nível de energia por componente – <i>component energy level</i>
CHB	Ponte H em cascata – <i>cascaded H-bridge</i>
CSI	Inversor fonte de corrente – <i>current source inverter</i>
D3SSC	Dupla célula de comutação de três estados – <i>double three-state switching cell</i>
EMI	Interferência eletromagnética – <i>electromagnetic interference</i>
FC	Capacitor flutuante – <i>flying capacitor</i>
FFT	Transformada rápida de Fourier – <i>fast fourier transform</i>
FPGA	Matriz de portas programáveis em campo – <i>field programmable gate array</i>
HSC	Célula de comutação hexagonal – <i>hexagon switch cell</i>
ICT	Transformador intercelular – <i>intercell transformer</i>
IEEE	Instituto de Engenheiros Eletricistas e Eletrônicos – <i>Institute of Electrical and Electronic Engineers</i>
IRENA	Agência Internacional de Energia Renovável – <i>International Renewable Energy Agency</i>
LC	Filtro indutivo-capacitivo
MCC	Modo de condução contínua
MCD	Modo de condução descontínua
MCSI	Inversor multinível fonte de corrente – <i>multilevel current source inverter</i>
MSSC	Célula de comutação de múltiplos estados – <i>multistate switching cell</i>
MVSI	Inversor multinível fonte de tensão – <i>multilevel voltage source inverter</i>
NPC	Ponto neutro grampeado – <i>neutral point clamped</i>
PSC-PWM	Modulação PWM com portadoras defasadas – <i>phase-shifted carrier pulse width modulation</i>
PWM	Modulação por largura de pulso – <i>pulse width modulation</i>
RB-IGBT	IGBT de bloqueio reverso – <i>reverse blocking insulated gate bipolar transistor</i>
SEF	Fator de energia de comutação – <i>switching energy factor</i>

SPWM	Modulação senoidal por largura de pulso – <i>sinusoidal pulse width modulation</i>
SVM	Modulação por vetor espacial – <i>space vector modulation</i>
THD	Taxa de distorção harmônica total – <i>total harmonic distortion</i>
VSI	Inversor fonte de tensão – <i>voltage source inverter</i>
WBG	Semicondutores de banda larga – <i>wide-bandgap</i>
ZCS	Comutação sob corrente nula – <i>zero current switching</i>
ZVS	Comutação sob tensão nula – <i>zero voltage switching</i>

LISTA DE SÍMBOLOS

V_i	Tensão de entrada do barramento CC
v_{ab}	Tensão de saída entre os terminais a e b do inversor
v_{a0}	Tensão do ponto a em relação ao ponto neutro 0
v_{an}	Tensão do ponto a em relação ao ponto negativo n do barramento CC
v_o	Tensão de saída filtrada na carga
V_{ab1}	Amplitude da componente fundamental da tensão de saída v_{ab}
i_o	Corrente de saída na carga
i_{ab}	Corrente de saída entre os terminais a e b
I_i	Corrente de entrada do inversor
i_{T1}	Corrente no enrolamento primário do autotransformador
i_{T2}	Corrente no enrolamento secundário do autotransformador
L_{cc}	Indutor de entrada do inversor fonte de corrente
L_f	Indutância do filtro de saída
C_f	Capacitância do filtro de saída
LC	Filtro indutivo-capacitivo de saída
M	Índice de modulação em amplitude
f_s	Frequência de comutação
ω	Frequência angular
ωt	Variável angular associada à frequência fundamental
m	Número de níveis do inversor
n_C	Número de capacitores flutuantes
n_{PH}	Número de pontes H em cascata
dv/dt	Derivada temporal da tensão
di/dt	Derivada temporal da corrente

SUMÁRIO

1	Introdução	20
1.1	Justificativa do Trabalho	27
1.2	Objetivos do Trabalho	28
1.3	Organização da Tese	29
1.4	Produção Científica e Tecnológica.....	30
1.4.1	Artigos Publicados em Periódicos	30
1.4.2	Trabalhos Publicados em Anais de Congressos	30
1.4.3	Pedido de Patente	31
2	Revisão Bibliográfica	32
2.1	Inversores Multiníveis	32
2.2	Topologias de Inversores Multiníveis VSI e CSI.....	33
2.2.1	Inversores MVSI	34
2.2.2	Inversores MCSI	42
2.2.3	Considerações da Seção	51
2.3	Revisão Geral das Topologias Multiníveis	52
2.3.1	Inversores Multiníveis com Redução de Dispositivos	54
2.4	Inversores Multiníveis com Acoplamento Magnético	58
2.4.1	Inversores Entrelaçados com Indutores Acoplados	60
2.4.2	Inversores Entrelaçados com Autotransformador	66
2.5	Concepção das Células de Comutação	73
2.5.1	Célula de Comutação de Dois Estados	73
2.5.2	Célula de Comutação de Três Estados	75
2.5.3	Célula de Comutação de Quatro Estados	78
2.5.4	Célula de Comutação de Múltiplos Estados	81
2.6	Considerações Parciais	82
3	Inversor VSI 5L-D3SSC	84
3.1	Funcionamento do Inversor VSI 5L-D3SSC.....	86
3.1.1	Região de Operação A ($0 < D < 0,25$)	86
3.1.2	Região de Operação B ($0,25 < D < 0,5$)	88
3.1.3	Região de Operação C ($0,5 < D < 0,75$)	89
3.1.4	Região de Operação D ($0,75 < D < 1$)	90
3.2	Estratégia de Modulação do Inversor VSI 5L-D3SSC.....	91
3.3	Projeto do Filtro LC	95

3.4	Resultados de Simulação.....	98
3.5	Considerações Parciais	102
4	Inversor Monofásico CSI de Cinco Níveis Baseado na 3SSC.....	103
4.1	Análise Qualitativa	103
4.1.1	Descrição da Topologia	103
4.1.2	Etapas de Funcionamento.....	104
4.2	Estratégia de Modulação SVM Monofásica.....	111
4.2.1	Modulação SVM Generalizada	112
4.2.2	Modulação SVM para Inversor Monofásico Convencional	115
4.2.3	Modulação para o Inversor CSI 5L-3SSC	118
4.2.4	Análise das Regiões Vetoriais de Estado	119
4.3	Modelagem Analítica do Inversor CSI 5L-3SSC.....	125
4.3.1	Relação entre Grandezas CC e CA.....	126
4.3.2	Valor Eficaz da Corrente de Saída i_{ab}	128
4.3.3	Taxa de Distorção Harmônica da Corrente i_{ab}.....	131
4.3.4	Dimensionamento do Indutor do Barramento CC.....	132
4.3.5	Dimensionamento do Capacitor de Filtro de Saída	136
4.4	Projeto e Validação por Simulação do CSI 5L-3SSC	139
4.4.1	Especificações de Projeto para Simulação	140
4.4.2	Determinação das Grandezas de Projeto	140
4.4.3	Resultados de Simulação.....	143
4.5	Considerações Parciais	147
5	Inversor Monofásico VSI de Cinco Níveis Baseado na 3SSC.....	149
5.1	Análise Qualitativa	149
5.1.1	Descrição da Topologia	149
5.1.2	Etapas de Funcionamento.....	151
5.2	Estratégia de Modulação	157
5.2.1	Modulação para o Inversor VSI 5L-3SSC	158
5.2.2	Análise das Regiões Vetoriais de Estado	160
5.3	Considerações Parciais	166
6	Modelagem Analítica do Inversor VSI 5L-3SSC.....	167
6.1	Relação entre Grandezas CC e CA.....	167
6.2	Valor Eficaz da Tensão de Saída.....	169
6.3	Taxa de Distorção Harmônica da Tensão de Saída.....	172

6.4	Esforços de Tensão e Corrente.....	173
6.4.1	Esforços no Autotransformador	173
6.4.2	Esforços de Tensão e Corrente nos Dispositivos Semicondutores	175
6.5	Dimensionamento do Autotransformador	185
6.6	Rendimento do VSI 5L-3SSC	187
6.6.1	Perdas nos Dispositivos Semicondutores.....	188
6.6.2	Perdas no Autotransformador	193
6.6.3	Perdas Totais do Inversor.....	195
6.7	Considerações Parciais	196
7	Projeto do Inversor VSI 5L-3SSC	197
7.1	Especificações do Projeto.....	197
7.1.1	Especificações do Módulo de Potência IGBT	198
7.1.2	Especificações do Autotransformador.....	199
7.1.3	Procedimento de Projeto.....	200
7.2	Projeto do Inversor para Carga Resistiva	200
7.2.1	Cálculo da Tensão e Corrente entre os Pontos <i>a</i> e <i>b</i>	200
7.2.2	Cálculo do Índice de Modulação.....	201
7.2.3	Cálculo da THD da Tensão.....	201
7.2.4	Cálculo dos Esforços nos Dispositivos	201
7.2.5	Verificação do Dimensionamento do Autotransformador	205
7.2.6	Cálculo das Perdas no Inversor	206
7.2.7	Cálculo do Rendimento Global	209
7.2.8	Discussão dos Resultados	210
7.3	Projeto do Inversor para Carga RL.....	211
7.3.1	Cálculo da Tensão e Corrente entre os Pontos <i>a</i> e <i>b</i>	212
7.3.2	Cálculo do Índice de Modulação.....	213
7.3.3	Cálculo das Potências	213
7.3.4	Cálculo da Taxa de Distorção Harmônica	214
7.4	Considerações Parciais	214
8	Resultados de Simulação e Experimentais do Inversor VSI 5L-3SSC	216
8.1	Resultados de Simulação.....	216
8.1.1	Resultados sob Carga R.....	218
8.1.2	Resultados sob Carga RL	223
8.2	Resultados Experimentais	224

8.2.1	Procedimentos Experimentais.....	226
8.2.2	Resultados Experimentais para Carga R.....	227
8.2.3	Análise Comparativa dos Resultados Teóricos e Experimentais.....	234
8.3	Análise Comparativa	238
8.4	Generalização Estrutural e Ampliação do Número de Níveis.....	242
8.4.1	Configuração Estrutural da Ampliação do Número de Níveis	242
8.4.2	Estados de Comutação e Síntese dos Níveis	243
8.4.3	Estratégia de Modulação SVM para o Inversor VSI 7L-4SSC.....	244
8.4.4	Resultados de Simulação do Inversor VSI 7L-4SSC.....	245
8.4.5	Generalização Conceitual para Ampliação do Número de Níveis	246
8.5	Considerações Parciais	247
9	Conclusão Geral e Propostas de Trabalhos Futuros.....	249
9.1	Conclusão Geral	249
9.2	Propostas de Trabalhos Futuros	251
	Referências Bibliográficas	253
	Apêndice A - Algoritmo da Modulação SVM para o Inversor VSI 5L-3SSC	261
A.1	Declaração de Variáveis.....	261
A.2	Inicialização da Sequência de Comutação.....	261
A.3	Identificação do Setor e Cálculo dos Tempos de Aplicação.....	261
A.4	Definição dos Intervalos Temporais	262
A.5	Seleção do Vetor Ativo e Conversão em Estados de Comutação	262
	Apêndice B - Montagem e Implementação do Protótipo Experimental.....	263
B.1	Componentes do Protótipo Experimental	263
B.2	Montagem do Estágio de Potência	264
B.3	Integração das Placas de Acionamento e Controle.....	265
B.4	Montagem Final e Preparação para os Ensaios.....	266

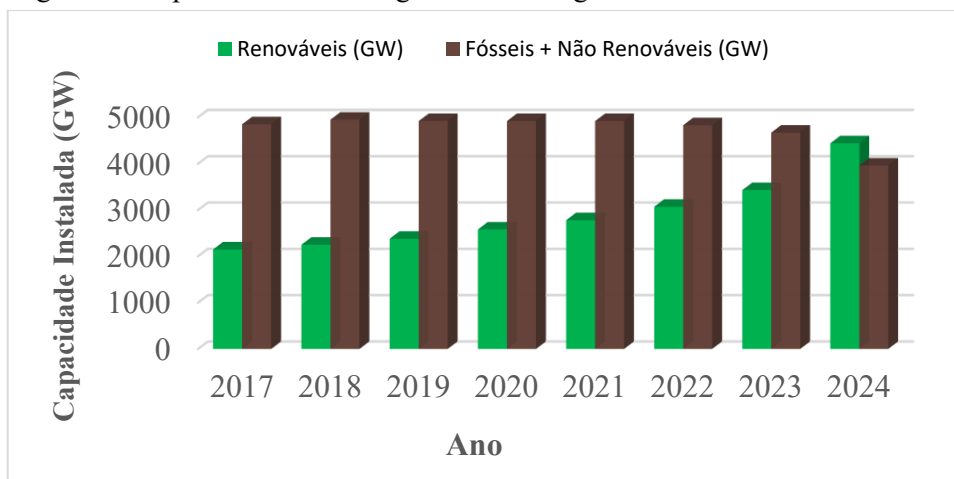
1 INTRODUÇÃO

A evolução socioeconômica moderna tem sido acompanhada por crescente demanda energética, impulsionada pela industrialização, pela expansão urbana e pelo avanço tecnológico. Historicamente, esse aumento foi sustentado por combustíveis fósseis de alta densidade energética, cuja utilização em larga escala contribuiu para emissões significativas e para o agravamento dos impactos climáticos globais, evidenciando a insustentabilidade desse modelo diante do contínuo crescimento do consumo mundial (Zhou *et al.*, 2020).

Nos últimos anos, as energias renováveis obtiveram grande destaque devido à contribuição para a preservação ambiental (Masson *et al.*, 2022) e, principalmente, pela redução significativa dos custos impulsionada por políticas públicas, incluindo estratégias de implantação e financiamento de pesquisa e desenvolvimento. Além disso, as principais tecnologias associadas às energias renováveis, como solar fotovoltaica, eólica, solar concentrada e bioenergia, já são competitivas em termos de custos em relação aos combustíveis fósseis.

Destaca-se em Irena (2025) que, entre 2017 e 2024, a expansão global da capacidade instalada renovável superou de forma consistente a capacidade associada às fontes fósseis, com adições anuais progressivamente mais elevadas. Essa tendência consolida-se em 2024, quando a capacidade renovável ultrapassa a capacidade fóssil, configurando uma inflexão histórica na composição da matriz energética mundial. Tal evolução é evidenciada na Figura 1, que apresenta a trajetória comparativa das capacidades instaladas renováveis e não renováveis ao longo do período analisado.

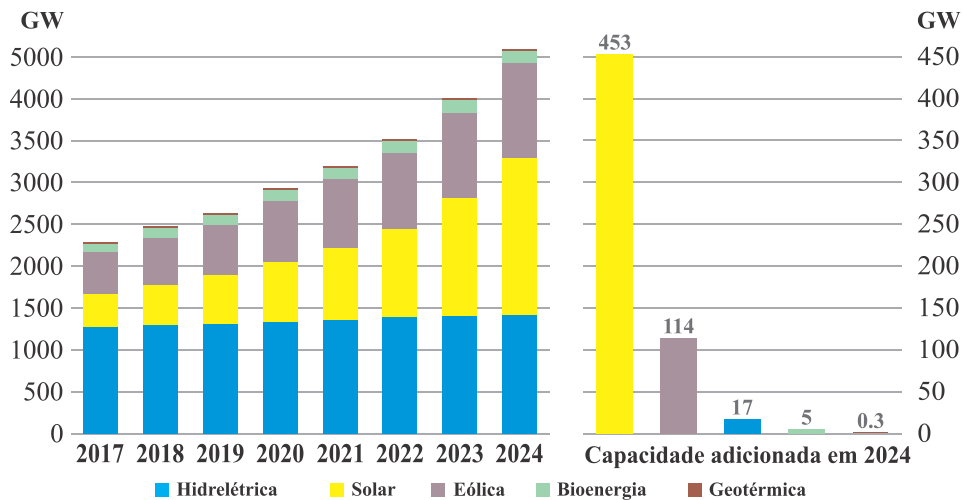
Figura 1 – Capacidade instalada global das energias renováveis e não renováveis.



Fonte: Adaptado de Irena (2025).

Além da mudança estrutural observada na matriz energética global, a participação das diferentes tecnologias renováveis também evoluiu de forma relevante ao longo da última década. A Figura 2 apresenta a trajetória de crescimento das principais fontes, como hidrelétrica, solar, eólica, bioenergia e geotérmica, evidenciando o papel crescente da energia solar fotovoltaica, que registrou o maior acréscimo de capacidade em 2024.

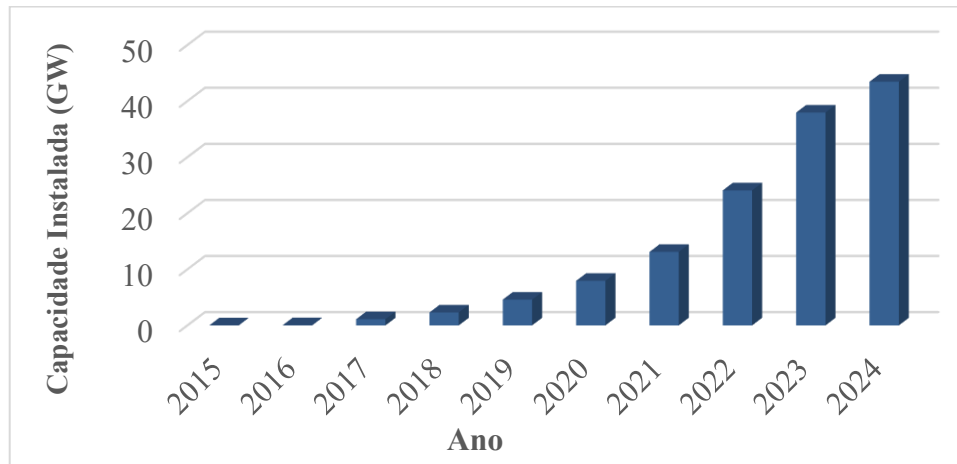
Figura 2 – Crescimento da capacidade de geração de energia renovável global.



Fonte: Adaptado de Irena (2025).

No contexto brasileiro, a expansão da energia solar fotovoltaica também tem sido expressiva. Impulsionada por avanços regulatórios, pelo crescimento da geração distribuída e pela competitividade crescente em leilões de energia, a capacidade instalada nacional cresceu de forma acelerada ao longo da última década. Esse comportamento é apresentado na Figura 3.

Figura 3 – Evolução da capacidade instalada de energia solar fotovoltaica no Brasil.



Fonte: Adaptado de Irena (2025).

Essa expansão da energia solar no país, que evoluiu de níveis praticamente residuais em

2015 para mais de 40 GW em 2024, evidencia sua posição estratégica no setor elétrico brasileiro e reforça a necessidade de soluções avançadas em eletrônica de potência. Esse cenário insere-se em um contexto mais amplo, no qual determinadas tecnologias renováveis se destacam tanto pela maturidade quanto pela liderança na expansão em escala global.

Entre essas tecnologias, sobressaem as energias solar fotovoltaica, a eólica e a hidrelétrica, as quais dependem fortemente de conversores eletrônicos de potência para o processamento, o controle e a integração da energia produzida. Tais aplicações envolvem conversores CC-CC, CC-CA ou CA-CC, cuja escolha varia conforme a topologia adotada e os requisitos operacionais do sistema. Nesse contexto, além do desenvolvimento de módulos fotovoltaicos, turbinas hidráulicas e aerogeradores mais eficientes a custos reduzidos (Grunow *et al.*, 2004), destaca-se a relevância do aprimoramento das estruturas de conversão eletrônica, fundamentais para a qualidade da energia processada e para o desempenho global dos sistemas (Tomaszuk *et al.*, 2013).

Nesse cenário, os conversores CC-CA, também conhecidos como inversores, desempenham papel fundamental em diversas aplicações de eletrônica de potência, abrangendo acionamentos elétricos, condicionamento de energia e sistemas de geração a partir de fontes renováveis, como fotovoltaica e eólica. Do ponto de vista estrutural, esses conversores são tradicionalmente classificados em duas categorias fundamentais: inversor fonte de tensão (*voltage source inverter* – VSI) e inversor fonte de corrente (*current source inverter* – CSI), distinção estabelecida a partir da natureza do barramento CC, da impedância dominante associada a esse barramento e do elemento predominante de armazenamento de energia.

Apesar de sua ampla utilização, essas estruturas apresentam limitações associadas ao desequilíbrio de perdas entre semicondutores, ao desempenho restrito em regimes de elevada tensão e corrente e à necessidade de filtros passivos de maior porte para atender aos requisitos de qualidade da forma de onda (Omer *et al.*, 2020). Estratégias como o aumento da frequência de comutação e o emprego de técnicas de comutação suave, como comutação sob tensão nula (*zero voltage switching* – ZVS) e comutação sob corrente nula (*zero current switching* – ZCS), têm sido investigadas para mitigar as perdas associadas às transições de comutação nos dispositivos semicondutores; entretanto, tais abordagens tendem a introduzir compromissos adicionais em termos de aumento das perdas totais e do estresse térmico dos próprios dispositivos (Veeresh *et al.*, 2015).

Nesse contexto, o avanço da eletrônica de potência fomentou o desenvolvimento dos inversores multiníveis (*multilevel inverters* – MLIs) como alternativa para contornar parte das limitações inerentes às estruturas clássicas de dois e três níveis. Esses conversores podem ser

concebidos tanto a partir de VSI quanto de CSI, dando origem, respectivamente, aos inversores multiníveis fonte de tensão (*multilevel voltage source inverters* – MVSI) e aos inversores multiníveis fonte de corrente (*multilevel current source inverters* – MCSI). Independentemente da natureza do barramento CC, essa classe de conversores oferece vantagens significativas em termos de redução dos esforços de tensão nos semicondutores, melhoria da qualidade da energia sintetizada, mitigação da interferência eletromagnética e aumento da redundância operacional (Fang et al., 2021). A síntese da tensão ou da corrente de saída por meio de múltiplos níveis discretos, associada à utilização de estados de comutação adequadamente distribuídos, permite elevar a frequência efetiva percebida pelos filtros, contribuindo para a redução do volume dos componentes passivos e para o aumento da compactidade do sistema.

Inversores multiníveis possibilitam o processamento de maiores potências utilizando semicondutores amplamente disponíveis, reduzem as derivadas de tensão dv/dt e de corrente di/dt , mitigam a tensão de modo comum e reduzem de forma significativa a taxa de distorção harmônica total (*total harmonic distortion* – THD). Esses benefícios tornam-se progressivamente mais evidentes à medida que o número de níveis aumenta, aproximando a forma de onda sintetizada da referência senoidal ideal (Rodriguez et al., 2002; Franquelo et al., 2008). A melhoria da qualidade harmônica reflete-se diretamente no comportamento dinâmico e na eficiência global do sistema, reforçando o interesse por arquiteturas capazes de oferecer maior qualidade energética (Araújo et al., 2007).

Considerando as limitações e soluções discutidas, diversas topologias de inversores multiníveis vêm sendo empregadas ao longo das últimas décadas, com destaque para a ponte H em cascata (*cascaded H-bridge* – CHB), a estrutura com ponto neutro grampeado (*neutral point clamped* – NPC) e a configuração com capacitor flutuante (*flying capacitor* – FC). Apesar da consolidada presença industrial, essas topologias apresentam elevado número de semicondutores, circuitos de acionamento e componentes auxiliares, o que aumenta a complexidade estrutural e os custos de implementação. Esse cenário tem motivado esforços para o desenvolvimento de soluções mais compactas, eficientes e com menor número de dispositivos (Corzine et al., 2001; Choudhary et al., 2024).

Além das topologias multiníveis clássicas, existem pesquisas baseadas em técnicas de entrelaçamento e utilização de células acopladas magneticamente como estratégia para aumentar a capacidade de corrente dos inversores e reduzir perdas sem depender integralmente de dispositivos semicondutores de banda larga (*wide-bandgap* – WBG), cujo custo pode ser mais elevado em muitas aplicações (Salmon et al., 2009; Floricau et al., 2011). Nesse sentido, estruturas baseadas em acoplamento magnético têm se destacado por mitigar a ondulação,

melhorar o compartilhamento de corrente entre ramos e ampliar a frequência efetiva observada pelos filtros, contribuindo para a redução do volume dos elementos passivos.

Embora compartilhem o uso de acoplamento magnético, as abordagens baseadas em indutores acoplados e em autotransformadores diferenciam-se de forma fundamental quanto às suas funções físicas. Indutores acoplados possuem entreferro e armazenam energia por meio da indutância magnetizante, enquanto autotransformadores operam sem entreferro, com fluxo médio aproximadamente nulo e sem armazenamento significativo de energia, atuando como elementos estruturais de equalização de corrente e, em determinadas topologias, de síntese multinível (Witulski, 1995). Essas características possibilitam o desenvolvimento de arquiteturas mais compactas, com menores perdas e potencial para geração de níveis adicionais de tensão com incremento reduzido de semicondutores (Li *et al.*, 2012; Barbosa *et al.*, 2024).

Considerando o aumento da capacidade de corrente e mitigação de esforços nos dispositivos, a literatura também apresenta alternativas de inversores CSI. Entre as abordagens existentes, destaca-se o inversor MCSI proposto por Antunes *et al.* (1999), baseado na associação em paralelo de células de comutação por meio de indutores de equilíbrio. Esses elementos promovem a divisão equilibrada da corrente entre os interruptores, tornando a estrutura particularmente atrativa para aplicações de média e alta potência. Por outro lado, utilizam modulação em baixa frequência e necessitam de complexas estratégias de controle em comparação aos conversores convencionais.

Outra linha de investigação resultou no desenvolvimento da célula de comutação de três estados (*three-state switching cell* – 3SSC), proposta originalmente por Torrico-Bascopé *et al.* (2000), a qual utiliza um autotransformador com relação unitária para promover o compartilhamento natural de corrente entre os ramos, reduzir esforços dinâmicos nos semicondutores, melhorar a distribuição térmica e diminuir o volume dos elementos magnéticos. A partir da 3SSC, diversas topologias CC-CC, CA-CC e CC-CA foram desenvolvidas ao longo dos anos, evidenciando a versatilidade dessa célula como bloco estrutural (Tofoli *et al.*, 2019). Entre as contribuições de conversores CC-CA, destaca-se o inversor meia-ponte de três níveis apresentado em Peraça *et al.* (2006), seguido pela implementação de um inversor ponte completa em Peraça *et al.* (2010), bem como sua aplicação em sistemas fotovoltaicos reportada em Ferreira *et al.* (2021).

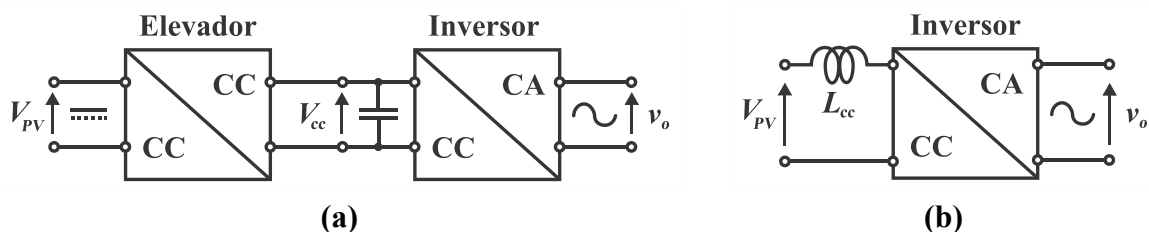
A aplicação da célula de comutação de quatro estados (*four-state switching cell* – 4SSC) em inversores meia-ponte foi apresentada em Peraça *et al.* (2007), enquanto Bascopé *et al.* (2011) introduziram a célula de comutação de múltiplos estados (*multistate switching cell* – MSSC), ampliando a capacidade de corrente e o número de níveis sintetizados em inversores

multiníveis. A MSSC passou a representar um arcabouço generalizado para derivações sucessivas de estruturas mais escaláveis. Mais recentemente, a aplicação dessas técnicas resultou no inversor tipo T de cinco níveis baseado na MSSC, apresentado por Cacau *et al.* (2014), evidenciando a evolução natural das arquiteturas multiníveis fundamentadas em células magneticamente acopladas.

Embora originalmente concebidas para VSI, algumas topologias multiníveis apresentam representações equivalentes em termos de estruturas do tipo fonte de corrente. Essa correspondência conceitual é fundamentada pelo princípio da dualidade entre conversores, estabelecido por Freeland (1992), no qual elementos associados à síntese de tensão em estruturas VSI, como fontes de tensão e capacitores, são substituídos por seus equivalentes de corrente em estruturas CSI, como fontes de corrente e indutores. Essa equivalência é estabelecida quando o circuito pode ser representado como uma topologia planar, isto é, uma estrutura passível de ser desenhada em um único plano sem interseções entre ramos, condição que permite a identificação direta das malhas e nós correspondentes e viabiliza a aplicação sistemática desse princípio.

Como as estruturas VSI apresentam característica abaixadora de tensão, torna-se necessário, em diversas aplicações, empregar um estágio adicional de entrada CC-CC para a elevação da tensão do barramento CC. A associação de um estágio elevador a um inversor VSI implica aumento de custos e de perdas, bem como redução da densidade de potência do sistema. Em contrapartida, os inversores CSI possuem característica elevadora de tensão, podendo constituir uma alternativa para o processamento de energia proveniente de fontes renováveis, uma vez que essa topologia pode substituir arquiteturas de dois estágios por um único estágio de conversão de energia, conforme ilustrado na Figura 4.

Figura 4 – Conexão de módulos fotovoltaicos à rede elétrica utilizando (a) um sistema de dois estágios (conversor CC-CC associado a um conversor CC-CA VSI) e (b) um sistema com um estágio (inversor CSI).



Fonte: adaptado de Blaabjerg *et al.* (2004).

O inversor CSI pode conectar diretamente tensões CC baixas e variáveis a sistemas CA, explorando sua característica elevadora intrínseca e, em determinadas configurações, dispensando a necessidade de um estágio CC-CC adicional (Azmi *et al.*, 2011). Além disso,

essa topologia apresenta vantagens relevantes, como menor interferência eletromagnética, capacidade de permitir fluxo bidirecional de potência entre os lados CA e CC por meio do controle da corrente e da interação com o filtro capacitivo, sem a necessidade de conversores adicionais dedicados à regeneração (Zmood *et al.*, 2001), proteção inerente contra curto-circuito em função da presença do indutor de entrada no barramento CC (Zhang *et al.*, 1993) e controle direto da corrente, uma vez que a comutação apenas redireciona a corrente imposta por esse indutor para o lado CA, sendo a corrente de saída sintetizada pelo conversor (Bai *et al.*, 2007). Adicionalmente, a menor dependência de capacitores eletrolíticos de grande porte no barramento CC pode contribuir para o aumento da vida útil do sistema quando comparado a arquiteturas VSI convencionais (Colli *et al.*, 2006).

Contudo, o CSI apresenta limitações associadas às perdas por condução no indutor de entrada e à necessidade de dispositivos semicondutores com capacidade de bloqueio reverso, o que pode restringir sua operação em frequências de comutação elevadas. O avanço de dispositivos como os IGBTs de bloqueio reverso (*reverse-blocking insulated gate bipolar transistor* – RB-IGBT), embora ainda com aplicação mais restrita quando comparados aos dispositivos semicondutores convencionais, pode contribuir para mitigar essas limitações, ampliando a viabilidade do CSI em aplicações de alta potência, baixa tensão e elevada corrente, como acionamentos elétricos, sistemas a células a combustível, veículos elétricos e sistemas de conversão de energia renovável (Lindemann, 2001; Anand *et al.*, 2014).

Nesse contexto, o inversor proposto por Peraça *et al.* (2010), denominado neste trabalho como VSI 5L-D3SSC (*voltage source inverter five-level with double three-state switching cells*), foi adotado como referência conceitual inicial por representar uma solução multinível, com bom desempenho harmônico e capacidade de compartilhamento de corrente, que emprega uma estratégia de modulação senoidal por largura de pulso (*sinusoidal pulse-width modulation* – SPWM), embora ainda apresente uma contagem relativamente elevada de dispositivos ativos.

A partir dessa estrutura, foram exploradas correspondências conceituais entre topologias VSI e CSI, inspiradas no princípio da dualidade entre conversores, com o objetivo de identificar arquiteturas funcionalmente equivalentes e mais compactas do ponto de vista estrutural. Como esse princípio é tradicionalmente aplicado a circuitos planares, adaptações tornaram-se necessárias para preservar a analogia e viabilizar sua aplicação no desenvolvimento de uma nova topologia MCSI.

A partir dessas discussões, foram propostas adaptações estruturais visando à redução da quantidade de dispositivos semicondutores, sem comprometer as características de síntese multinível e de compartilhamento de corrente associadas à 3SSC. Nesse contexto, foi

desenvolvido um CSI monofásico com cinco níveis baseado na 3SSC (*current source inverter five-level based on the three-state switching cell* – CSI 5L-3SSC), no qual uma única célula opera em alta frequência e é associada a uma etapa composta por dois interruptores em baixa frequência, responsáveis pela inversão alternada da tensão de saída. Diferentemente da topologia de referência, essa estrutura foi concebida para operar com modulação por vetor espacial (*space vector modulation* – SVM), permitindo a exploração sistemática e eficiente dos estados de comutação disponíveis.

Por fim, adotando novamente essa abordagem conceitual como ferramenta de síntese estrutural, foi desenvolvida uma nova configuração de MVSI monofásico com cinco níveis baseado na 3SSC (*voltage source inverter five-level based on the three-state switching cell* – VSI 5L-3SSC), capaz de sintetizar cinco níveis de tensão a partir da utilização de uma única 3SSC operando em alta frequência, associada a dois interruptores em baixa frequência responsáveis pela inversão de polaridade da saída. De modo análogo ao CSI, a estratégia de modulação empregada baseia-se em modulação SVM, permitindo uma descrição unificada do processo de síntese da tensão de saída e favorecendo a redução do número de comutações em alta frequência. Esse procedimento estabelece um caminho sistemático para o desenvolvimento de topologias multiníveis mais compactas, com elevada capacidade de corrente e número reduzido de componentes ativos, em consonância com as limitações e motivações discutidas ao longo desta introdução.

1.1 JUSTIFICATIVA DO TRABALHO

A literatura especializada evidencia que, embora inversores multiníveis tradicionais como CHB, NPC e FC sejam amplamente empregados, essas estruturas apresentam limitações relevantes quando aplicadas a cenários que demandam elevada corrente ou alta densidade de potência. Entre essas limitações destacam-se a elevada quantidade de dispositivos semicondutores, a complexidade estrutural, o aumento do volume físico e o custo associado à implementação. Em diversas aplicações, a superação dessas restrições tem requerido o emprego de semicondutores de banda larga ou a adoção de técnicas avançadas de intercalação, soluções que, embora eficazes, tendem a elevar o custo e a complexidade do sistema.

Nesse panorama, as células de comutação de três e múltiplos estados, 3SSC e MSSC, apresentam-se como alternativas estruturalmente atrativas, pois promovem o compartilhamento natural de corrente, contribuem para a redução das perdas por condução e comutação, possibilitam a diminuição do volume dos elementos magnéticos e permitem o uso de

semicondutores amplamente disponíveis. Além disso, essas células não exigem estratégias de controle excessivamente complexas, constituindo uma base adequada para o desenvolvimento de inversores multiníveis compactos, alinhados às demandas contemporâneas de eficiência, capacidade de corrente e simplicidade construtiva.

Nesse contexto, a presente tese se justifica pela proposição e análise de duas topologias multiníveis compactas baseadas na 3SSC:

1. um MCSI, desenvolvido a partir de correspondências conceituais entre estruturas VSI e CSI e analisado sob o ponto de vista teórico e estrutural;
2. um MVSI, contemplando modelagem, análise qualitativa e quantitativa, bem como validação experimental.

A análise conjunta dessas topologias contribui para o avanço no desenvolvimento de conversores multiníveis com número reduzido de componentes ativos, elevada capacidade de corrente e potencial de alta eficiência, reforçando o papel das células magneticamente acopladas como elementos centrais na concepção de arquiteturas multiníveis compactas.

1.2 OBJETIVOS DO TRABALHO

Diante do exposto, este trabalho tem como objetivo desenvolver duas topologias monofásicas de inversores multiníveis baseadas na 3SSC, uma MCSI e outra MVSI, ambas capazes de sintetizar cinco níveis na tensão de saída. O inversor CSI 5L-3SSC é analisado sob o ponto de vista estrutural e teórico, enquanto o inversor VSI 5L-3SSC é objeto de modelagem, análises qualitativa e quantitativa e validação experimental.

Adicionalmente, o trabalho propõe analisar de forma detalhada a estrutura das duas topologias, definir a estratégia de modulação empregada, avaliar o equilíbrio natural de correntes decorrente dos estados de comutação e investigar os impactos dessas características na qualidade harmônica e na eficiência. Para o inversor VSI 5L-3SSC, são apresentados resultados experimentais que corroboram o modelo teórico e demonstram sua viabilidade prática. Com isso, busca-se evidenciar o potencial de arquiteturas multiníveis mais compactas, com baixo conteúdo harmônico, número reduzido de componentes ativos e capacidade de operação em regimes de alta corrente, sem a necessidade de técnicas adicionais de balanceamento.

Em termos específicos, este trabalho pretende apresentar contribuições no sentido de:

- analisar as topologias VSI 5L-3SSC e CSI 5L-3SSC;
- investigar e aprimorar estratégias de modulação que assegurem o equilíbrio natural de

- correntes;
- desenvolver análises qualitativa e quantitativa completas para ambas as estruturas;
 - implementar e validar experimentalmente a topologia VSI 5L-3SSC;
 - validar teoricamente a topologia CSI 5L-3SSC;
 - comparar o desempenho do VSI 5L-3SSC com estruturas consolidadas da literatura, em especial aquelas que empregam divisão de corrente ou técnicas equivalentes para aplicações em regimes de alta corrente.

1.3 ORGANIZAÇÃO DA TESE

A presente tese está estruturada em nove capítulos, organizados de modo a abordar a fundamentação teórica, o desenvolvimento das topologias propostas, a modelagem analítica, a análise comparativa e a validação por simulação e experimental.

O Capítulo 2 apresenta a revisão bibliográfica, abordando a evolução das células de comutação, desde as estruturas de dois estados (*two-state switching cell* – 2SSC) até a MSSC. Também são discutidas as principais topologias de inversores multiníveis e as tendências associadas à redução do número de dispositivos semicondutores de potência, ao aumento da capacidade de corrente e ao emprego de acoplamento magnético por indutores acoplados e autotransformadores.

O Capítulo 3 apresenta o inversor VSI 5L-D3SSC, utilizado como referência conceitual para o desenvolvimento das topologias propostas. São abordados a estrutura do conversor, os princípios de operação, a estratégia de modulação e os principais resultados de simulação.

O Capítulo 4 dedica-se ao inversor CSI 5L-3SSC, apresentando a estrutura da topologia, os estados de comutação, a estratégia de modulação e os resultados obtidos por simulação.

O Capítulo 5 apresenta o inversor VSI 5L-3SSC, incluindo a análise estrutural da topologia, os princípios de operação, a modulação SVM e os resultados de simulação e validação experimental.

O Capítulo 6 desenvolve a modelagem analítica do inversor VSI 5L-3SSC, incluindo expressões para tensões e correntes eficazes, esforços elétricos, perdas nos dispositivos semicondutores de potência e no autotransformador, bem como a análise de rendimento.

O Capítulo 7 apresenta o procedimento de projeto do inversor VSI 5L-3SSC, incluindo o dimensionamento dos principais componentes e a análise comparativa entre topologias multiníveis com acoplamento magnético por meio da função custo adotada.

O Capítulo 8 apresenta os resultados experimentais obtidos para o inversor VSI 5L-

3SSC, incluindo a validação das formas de onda, da modulação proposta e das análises desenvolvidas ao longo da tese.

Por fim, o Capítulo 9 apresenta as conclusões gerais da tese e as perspectivas para trabalhos futuros.

1.4 PRODUÇÃO CIENTÍFICA E TECNOLÓGICA

Como resultado das pesquisas realizadas durante o período de doutoramento, bem como de estudos relacionados à linha de investigação desenvolvida nesta tese, foram produzidos trabalhos científicos relacionados ao estudo e à aplicação da 3SSC em conversores eletrônicos de potência. Essas contribuições incluem artigos publicados em periódicos científicos, trabalhos apresentados em congressos nacionais e internacionais, bem como o depósito de um pedido de patente associado às topologias investigadas. A seguir são listadas as principais produções científicas relacionadas a essa linha de pesquisa.

1.4.1 Artigos Publicados em Periódicos

1. MACIEL, W. H.; CARVALHO, J. A. R.; TOFOLI, F. L. A unified modeling approach for DC-DC converters based on the three-state switching cell. **AEU - International Journal of Electronics and Communications**, 88, p. 30-37, 2018. DOI: <https://doi.org/10.1016/j.aeue.2018.03.009>.
2. GOMES, A. C.; MACIEL, W. H.; VICENTE, E. M.; VICENTE, P. d. S. et al. Development of a small-signal model for the DC-DC buck converter based on the three-state switching cell. **IEEE Latin America Transactions**, 17, n. 04, p. 573-581, 2019. DOI: 10.1109/TLA.2019.8891881.

1.4.2 Trabalhos Publicados em Anais de Congressos

1. FERREIRA, M. B.; OLIVEIRA, E. L.; MACIEL, W. H.; BRAGA, H. A. C. 3SSC inverter applied to a photovoltaic system. In: *6th IEEE Workshop on the Electronic Grid (eGRID)*, 2021, p. 1-8. DOI: 10.1109/eGRID52793.2021.9662154.
2. OLIVEIRA, E. L.; MACIEL, W. H.; BRAGA, H. A. C. Estimação de parâmetros do modelo de diodo único aplicado à modelagem de células fotovoltaicas utilizando o algoritmo twiddle. In: *Congresso Brasileiro de Automática-CBA*, 2022, Fortaleza. DOI:

<https://doi.org/10.20906/CBA2022/3539>.

3. MACIEL, W. H.; BRAGA, H. A. C.; TOFOLI, F. L. Single-phase five-level voltage inverter based on the three-state switching cell with low device count. *In: 2025 Brazilian Power Electronics Conference (COBEP), 2025, Vitória. IEEE, p. 1-6. DOI: <https://doi.org/10.1109/COBEP66423.2025.11231666>.*
4. JACINTO, S. S. M.; MACIEL, W. H.; BRAGA, H. A. C.; BARBOSA, P. G. Aplicação do inversor VSI de cinco níveis trifásico em ponte completa baseado na célula de comutação de três estados na conexão entre uma fonte CC e a rede CA. *In: Simpósio Brasileiro de Automação Inteligente (SBAI), 2025, São João del-Rei. SBA, 2025.*

1.4.3 Pedido de Patente

1. MACIEL, W. H.; BRAGA, H. A. C.; TOFOLI, F. L. Inversor de tensão multinível com número reduzido de elementos semicondutores e acoplamento magnético baseado em autotransformador. Pedido de patente BR102026001491-5, Instituto Nacional da Propriedade Industrial (INPI), Brasil, 2026.

2 REVISÃO BIBLIOGRÁFICA

A consolidação de topologias multiníveis mais compactas, eficientes e compatíveis com as demandas contemporâneas da eletrônica de potência resulta de uma evolução técnica contínua, fortemente documentada na literatura ao longo das últimas décadas. Artigos de revisão e propostas de novas arquiteturas evidenciam uma trajetória consistente orientada à redução do número de semicondutores, à compactação estrutural, à mitigação de esforços elétricos e ao aprimoramento da eficiência.

Esses avanços manifestam-se tanto em topologias clássicas, como NPC, FC e CHB, quanto em estruturas híbridas, assimétricas, magneticamente acopladas e derivadas de células de comutação. A literatura também ressalta o papel central das células fundamentais de comutação, desde as estruturas de dois, três e quatro estados até sua generalização em células de múltiplos estados, que constituem a base conceitual para o desenvolvimento de arquiteturas multiníveis mais escaláveis.

Nesse contexto, este capítulo apresenta um panorama estruturado da evolução das topologias multiníveis, organizado de modo a refletir a progressão técnica observada na literatura. São abordados: (i) os fundamentos e a evolução dos inversores multiníveis, incluindo estruturas VSI e CSI; (ii) o desenvolvimento das células de comutação multiníveis; e (iii) as topologias que empregam acoplamento magnético, destacando suas implicações estruturais e funcionais.

2.1 INVERSORES MULTINÍVEIS

Os inversores multiníveis surgiram como alternativa às estruturas convencionais de dois níveis, com o objetivo de sintetizar tensões de saída de maior qualidade, reduzir o estresse elétrico nos semicondutores e viabilizar aplicações de média e alta potência por meio da diminuição das variações abruptas de tensão e corrente aplicadas aos dispositivos e à carga, o que resulta em menor solicitação dos elementos de filtragem. Nessas topologias, a tensão aplicada à carga é construída a partir da combinação de múltiplos níveis intermediários, permitindo formas de onda mais próximas do regime senoidal e reduzindo a distorção harmônica total.

A motivação central para o desenvolvimento dos inversores multiníveis decorre de limitações intrínsecas aos inversores tradicionais, como o aumento das perdas por comutação em frequências elevadas, a necessidade de semicondutores com elevados níveis de tensão de

bloqueio e a maior solicitação dos elementos passivos de filtragem. Em aplicações de alta corrente, destaca-se ainda a dificuldade de conduzir grandes correntes por um número reduzido de dispositivos, o que tende a elevar as perdas de condução e a comprometer a confiabilidade do sistema. Nesse contexto, diversas topologias multiníveis possibilitam o compartilhamento da corrente entre múltiplos interruptores, reduzindo os esforços de corrente e melhorando o desempenho térmico da estrutura.

As primeiras formulações consolidadas destacam as três topologias clássicas (NPC, FC e CHB), cujo impacto na área é amplamente reconhecido em revisões de referência como Rodriguez *et al.* (2002). Essas estruturas estabeleceram a base para o desenvolvimento de soluções mais modulares, eficientes e escaláveis, motivando investigações posteriores sobre problemas de balanceamento de tensão, complexidade de modulação e aumento da contagem de semicondutores. Estudos subsequentes, como Kouro *et al.* (2010), detalham os desafios de escalar essas topologias para níveis de potência mais elevados, enquanto Gupta *et al.* (2014) evidenciam o interesse crescente por arquiteturas híbridas e assimétricas destinadas à redução do número de dispositivos sem comprometer o número de níveis sintetizados.

Apesar das vantagens estruturais, os inversores multiníveis apresentam limitações, como a necessidade de estratégias de controle mais elaboradas, requisitos de balanceamento de capacitores ou fontes e maior diversidade de estados de comutação. Ainda assim, a capacidade de operar com menores esforços nos semicondutores, menor distorção harmônica, modularidade mais elevada e potencial de distribuir o processamento de corrente entre mais dispositivos faz dessas topologias soluções amplamente adotadas em sistemas de média tensão, acionamentos industriais, conversores fotovoltaicos e aplicações de qualidade de energia.

Esses fundamentos estabelecem a base conceitual necessária para compreender a evolução das topologias multiníveis, detalhada nas subseções seguintes.

2.2 TOPOLOGIAS DE INVERSORES MULTINÍVEIS VSI E CSI

Ao longo da evolução dos inversores multiníveis, diferentes arquiteturas foram consolidadas na literatura, distinguindo-se principalmente pela natureza da fonte processada e pela forma como os estados de comutação são organizados para a síntese dos níveis de tensão ou corrente na saída. Essas diferenças estruturais resultam em características operacionais distintas, particularmente no que se refere ao compartilhamento de corrente, ao esforço elétrico imposto aos semicondutores e às estratégias de modulação empregadas.

As topologias multiníveis do tipo VSI exploram a subdivisão do barramento CC ou a

associação modular de fontes para a geração de níveis intermediários de tensão, permitindo reduzir o estresse de tensão nos dispositivos e melhorar o desempenho harmônico da forma de onda sintetizada. Por sua vez, as topologias multiníveis do tipo CSI baseiam-se na presença de um elemento indutivo dominante no barramento CC e na síntese direta da corrente de saída, apresentando características operacionais distintas, como controle da corrente e elevada robustez em aplicações que demandam alta capacidade de corrente.

Apesar das vantagens associadas à síntese multinível, tanto as estruturas VSI quanto CSI consolidadas apresentam desafios recorrentes, como aumento da contagem de dispositivos semicondutores e de circuitos de acionamento, maior complexidade de controle e a necessidade de mecanismos internos de balanceamento de tensões ou correntes. A relação entre o número de níveis sintetizados, os estados de comutação disponíveis e a qualidade espectral da forma de onda é discutida de forma sistemática por Holmes *et al.* (2003), evidenciando os compromissos inerentes a essas arquiteturas.

Em resposta a essas limitações, observa-se uma tendência clara na literatura em direção ao desenvolvimento de inversores multiníveis mais compactos, com menor número de componentes ativos, maior capacidade de corrente e estruturas mais eficientes. Essas propostas frequentemente incorporam células de comutação generalizadas, técnicas de entrelaçamento e elementos de acoplamento magnético, estabelecendo o contexto técnico que fundamenta as topologias investigadas e desenvolvidas nesta tese.

2.2.1 Inversores MVSI

Entre as principais topologias clássicas MVSI destacam-se as estruturas NPC, CHB e FC. Na topologia CHB, a tensão de saída resulta da soma das tensões geradas por módulos alimentados por fontes CC isoladas, permitindo a síntese de níveis discretos e a redução da tensão de bloqueio nos semicondutores de potência. A característica modular favorece a ampliação do número de níveis e da potência processada, embora exija múltiplas fontes isoladas. Já a topologia FC utiliza capacitores flutuantes para gerar níveis intermediários por meio da combinação dos estados de comutação, dispensando múltiplas fontes CC isoladas, porém exigindo controle das tensões internas à medida que o número de níveis aumenta.

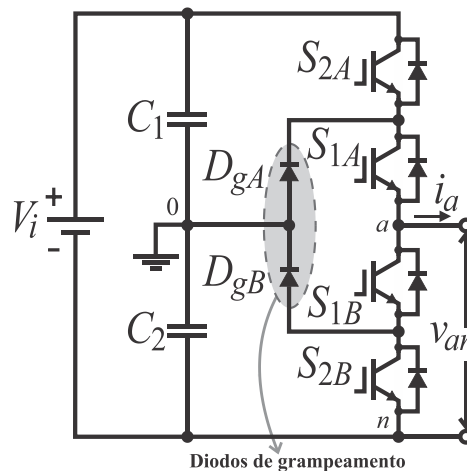
O conversor NPC, proposto por Nabae *et al.* (1981), baseia-se em divisores capacitivos no barramento CC e em diodos de grampeamento para limitar a tensão aplicada aos dispositivos semicondutores de potência, tornando-se uma das principais referências para aplicações em média tensão. A partir dessas três configurações fundamentais, diversas topologias VSI foram

derivadas, explorando diferentes compromissos entre número de dispositivos, requisitos de balanceamento e complexidade de modulação. A seguir, descrevem-se apenas essas três estruturas fundamentais.

2.2.1.1 Inversor com Diodos de Grampeamento

O inversor multinível NPC foi inicialmente descrito na patente de Baker (1980) e posteriormente consolidado academicamente na configuração de três níveis apresentada por Nabae *et al.* (1981). Nessa topologia, a tensão do barramento CC é dividida em diferentes níveis por meio de capacitores conectados em série, sem a necessidade de múltiplas fontes de tensão isoladas. Os diodos de grampeamento limitam a tensão aplicada aos dispositivos semicondutores de potência e viabilizam a utilização dos pontos intermediários do barramento CC para a síntese dos níveis de tensão de saída, conforme ilustrado na Figura 5 para a configuração de três níveis.

Figura 5 – Inversor com diodos de grampeamento de três níveis (3L-NPC).

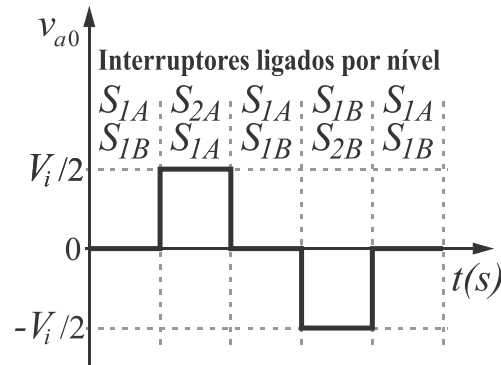


Fonte: adaptada de Vázquez et al. (2010).

A tensão de saída v_{a0} , que considera a tensão do ponto a em relação ao ponto neutro 0 , pode assumir três valores ($-V_i/2$, 0 e $+V_i/2$). Caso seja considerada a tensão v_{an} , que é a tensão do ponto a em relação ao ponto negativo n do barramento CC, também é possível assumir outros três valores (0 , $+V_i/2$ e $+V_i$). Os níveis obtidos dependem do estado dos interruptores, sendo S_{1A} – S_{1B} e S_{2A} – S_{2B} acionados de forma complementar, respectivamente.

A Figura 6 mostra a forma de onda de saída para o inversor NPC de três níveis considerando a tensão v_{a0} e os respectivos interruptores que são comutados em função do nível do sinal de saída.

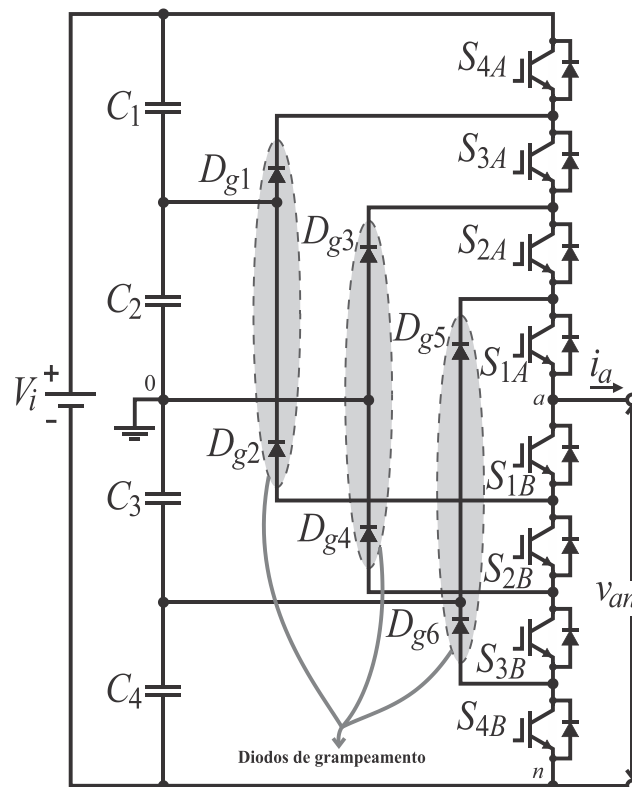
Figura 6 – Tensão de saída v_{ao} do inversor NPC de três níveis.



Fonte: próprio autor.

A estrutura do inversor NPC pode ser implementada para vários níveis adicionando pares de interruptores bidirecionais em corrente e diodos de grampeamento. A Figura 7 mostra a estrutura ampliada para cinco níveis de tensão.

Figura 7 – Inversor com diodos de grampeamento de cinco níveis (5L-NPC).



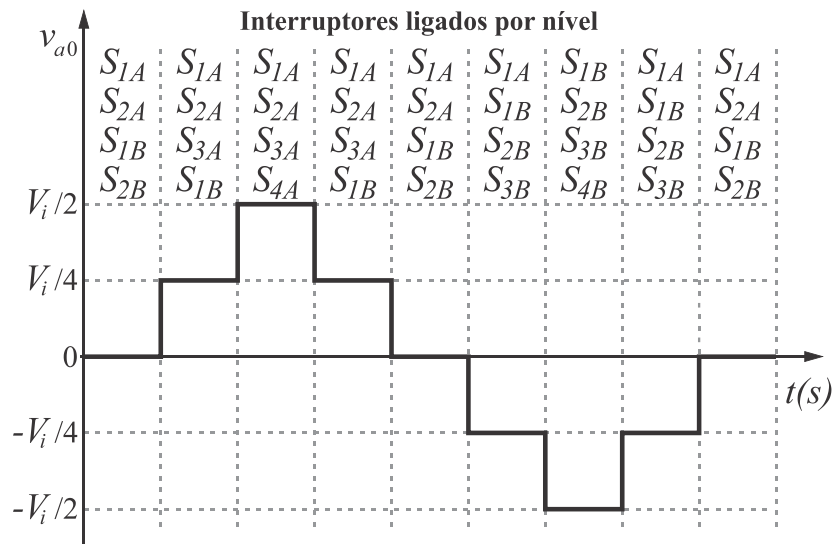
Fonte: adaptada de Vázquez *et al.* (2010).

A Figura 8 mostra a forma da tensão de saída para o inversor NPC de cinco níveis considerando a tensão v_{ao} , a qual pode assumir cinco valores ($-V_i/2$, $-V_i/4$, 0 , $+V_i/4$ e $+V_i/2$). Os níveis obtidos dependem do estado dos interruptores, sendo os interruptores S_{1A} – S_{4B} , S_{2A} – S_{3B} , S_{3A} – S_{2B} , e S_{4A} – S_{1B} acionados de forma complementar, respectivamente.

As principais vantagens dos inversores NPC são:

- utilização de apenas uma fonte de tensão de entrada;
- menor número de capacitores que outras topologias;
- comutação envolvendo um único interruptor para a mudança entre níveis, o que diminui as perdas;
- a estrutura pode ser generalizada para qualquer número de níveis;
- harmônicos significativos estão localizados em torno do dobro da frequência de comutação;
- com o aumento dos níveis da saída, tem-se a diminuição da distorção harmônica total;
- capacidade de aplicação do princípio à concepção de estruturas bidirecionais.

Figura 8 – Tensão de saída do inversor NPC de cinco níveis.



Fonte: próprio autor.

Já as principais desvantagens do NPC são:

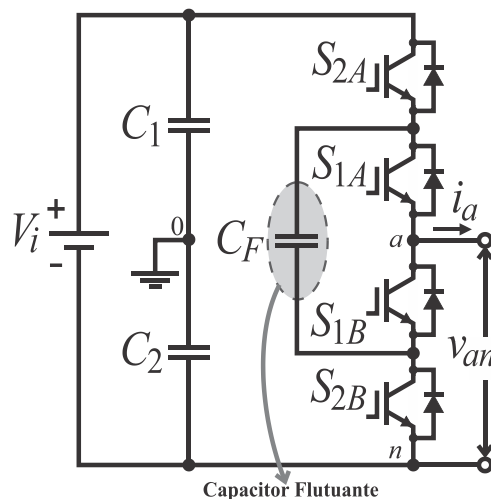
- aumento do número de níveis implica maior quantidade de diodos de grampeamento e maior complexidade na especificação dos esforços de tensão associados a esses dispositivos. Além disso, os diodos devem apresentar elevada velocidade de comutação, reduzido tempo de recuperação reversa e capacidade de conduzir a corrente da carga;
- pode haver desbalanceamento da tensão dos capacitores, o que implica a adição de uma lógica para o controle dessas tensões.

2.2.1.2 Inversor com Capacitor Flutuante

A topologia multinível com capacitores flutuantes foi proposta em Meynard *et al.* (1992). O conversor é composto por quatro interruptores bidirecionais em corrente e um capacitor flutuante (grampeamento), como mostra a Figura 9.

Para que seja possível obter três níveis com simetria na tensão de saída, a tensão no capacitor flutuante C_F deve ser a metade da tensão de entrada V_i . A tensão de saída V_{a0} , que considera a tensão do ponto a em relação ao ponto 0, pode assumir três valores ($-V_i/2, 0 + V_i/2$). Caso seja considerada a tensão de saída v_{an} , que é a tensão do ponto a em relação ao ponto n do barramento CC, também é possível assumir outros três valores ($0, +V_i/2, +V_i$). Os níveis obtidos dependem do estado dos interruptores e, para evitar que ocorra curto-circuito, os interruptores $S_{1A}-S_{1B}$ e $S_{2A}-S_{2B}$ devem ser acionados de forma complementar, respectivamente.

Figura 9 – Inversor com capacitor flutuante de três níveis 3L-FC.



Fonte: adaptada de Vázquez *et al.* (2010).

A forma de onda de saída para o inversor FC de três níveis considerando a tensão v_{a0} e os respectivos interruptores que são acionados em função do nível do sinal de saída é semelhante a forma de onda de saída para o inversor NCP de três níveis, conforme na Figura 6.

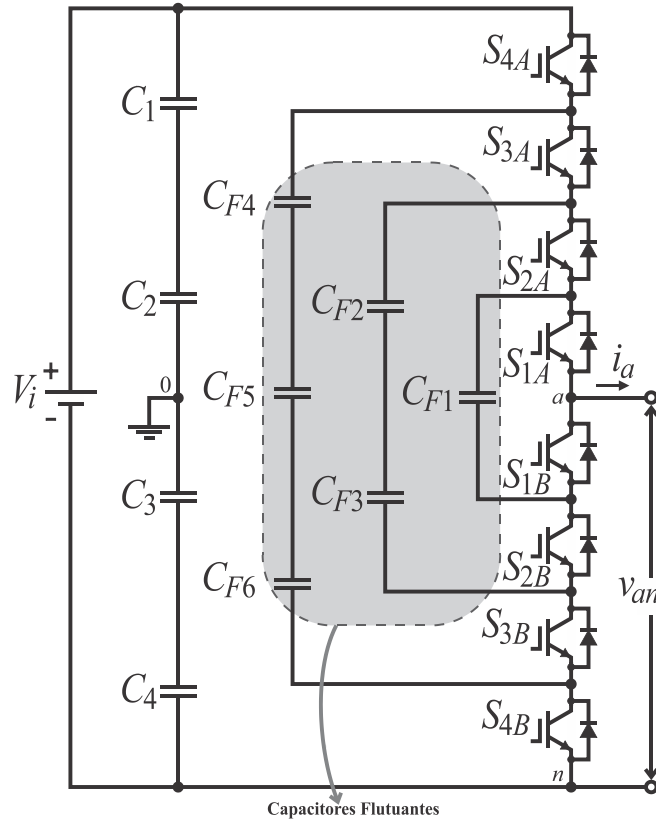
Assim como ocorre para o inversor NPC, a topologia de inversor FC pode ser expandida para mais níveis, como mostra a Figura 10, que considera uma estrutura ampliada para cinco níveis de tensão.

A relação do número de capacitores flutuantes e os níveis de tensão desse inversor pode ser dada pela expressão (2.1).

$$n_c = \frac{(m-1)(m-2)}{2} \quad (2.1)$$

Em (2.1) n_c é o número de capacitores flutuantes e m é o número de níveis.

Figura 10 – Inversor com capacitor flutuante de cinco níveis 5L-FC.



Fonte: adaptada de Vázquez *et al.* (2010).

A forma de onda da tensão de saída para o inversor FC de cinco níveis considerando a tensão v_{a0} , a qual pode assumir cinco valores ($-V_i/2$, $-V_i/4$, 0 , $+V_i/4$ e $+V_i/2$) é semelhante à forma de onda do inversor NPC de cinco níveis apresentada pela Figura 8. Os níveis obtidos dependem do estado dos interruptores, sendo os interruptores S_{1A} – S_{4B} , S_{2A} – S_{3B} , S_{3A} – S_{2B} , e S_{4A} – S_{1B} acionados de forma complementar, respectivamente.

As principais vantagens dos inversores FC são:

- os capacitores flutuantes restringem a tensão sobre os interruptores;
- a estratégia de controle para balanceamento da tensão nos capacitores pode ser simplificada devido aos estados redundantes de comutação dos interruptores e à possibilidade de análise modular de cada braço;
- esta topologia limita o esforço de tensão nos dispositivos e permite controle de ambos os fluxos de potência ativa e reativa.

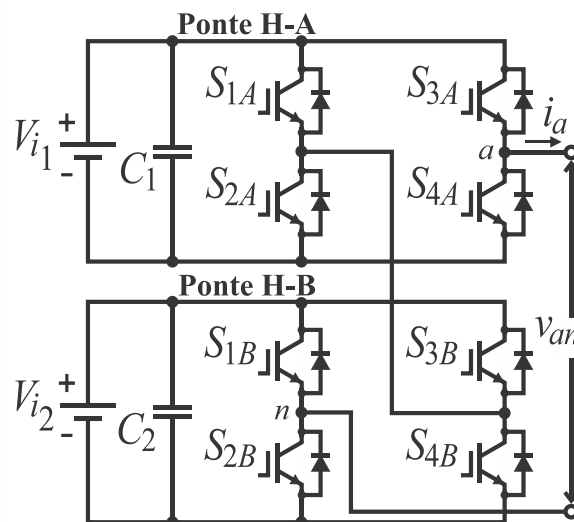
Já as principais desvantagens são:

- necessidade de vários sensores e capacitores flutuantes para o aumento do número de níveis, tornando o inversor mais volumoso;
- os capacitores flutuantes são influenciados pela frequência de comutação, necessitam de pré-carga inicial, devem suportar a corrente plena da carga e requerem estratégias de controle para o balanceamento das tensões.

2.2.1.3 Inversor Ponte H em Cascata

A associação em cascata de pontes H foi inicialmente explorada por McMurray (1971), sendo posteriormente aplicada em estruturas multiníveis por Baker *et al.* (1975). Essa topologia caracteriza-se por uma estrutura modular obtida pela conexão em série de vários módulos de ponte completa, permitindo elevada escalabilidade e a síntese de múltiplos níveis de tensão por meio da adição de módulos idênticos. Como consequência, há redução dos esforços de tensão sobre os semicondutores de potência. A Figura 11 ilustra o inversor CHB com cinco níveis de tensão, no qual cada ponte H é alimentada por uma fonte CC isolada e de mesmo valor, caracterizando a configuração simétrica. Tal isolamento pode ser obtida, por exemplo, por meio de transformadores, o que amplia a flexibilidade de aplicação, porém aumenta a complexidade e o volume do sistema.

Figura 11 – Inversor VSI multinível ponte H em cascata de cinco níveis 5L-CHB.



Fonte: adaptada de Vázquez *et al.* (2010).

Para um inversor constituído por uma única ponte H, a forma de onda da tensão de saída pode assumir três níveis distintos, $-V_i$, 0 e $+V_i$, os quais são definidos diretamente pelos estados de condução dos interruptores da célula. A comutação adequada desses dispositivos permite

alternar entre os estados de aplicação direta da fonte CC à carga, inversão de polaridade ou curto-circuito interno, resultando no nível nulo de tensão.

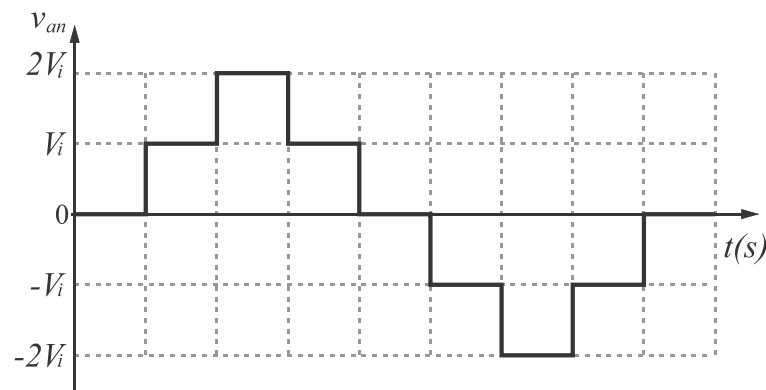
No caso do inversor ponte H em cascata com cinco níveis, obtido pela associação série de duas pontes H, a forma de onda da tensão de saída passa a assumir cinco valores discretos, $-2V_i$, $-V_i$, 0 , $+V_i$ e $+2V_i$. Para essa operação, os pares de interruptores $S_{1A}-S_{2A}$, $S_{3A}-S_{4A}$, $S_{1B}-S_{2B}$ e $S_{3B}-S_{4B}$ devem ser acionados de forma complementar em cada módulo, garantindo a correta polaridade e a soma das tensões individuais das pontes.

Essa topologia pode ser expandida para a obtenção de um maior número de níveis de tensão por meio da adição de novas pontes H em cascata. Nessa condição, a tensão de saída resultante v_{an} é obtida pela soma algébrica das tensões geradas por cada módulo, e a relação entre o número de níveis de tensão na saída e o número total de pontes H pode ser expressa por (2.2), em que n_{PH} representa o número de pontes H do inversor CHB.

$$n_L = 2n_{PH} + 1 \quad (2.2)$$

Assim, aplicando-se (2.2) ao conversor apresentado na Figura 11, obtêm-se cinco níveis de tensão na saída, conforme ilustrado na Figura 12.

Figura 12 – Tensão de saída do inversor ponte H em cascata de cinco níveis.



Fonte: próprio autor.

As principais vantagens dos inversores CHB são:

- estrutura modular do inversor, o que torna simples a expansão do número de níveis e possibilita a manutenção da tensão na saída mesmo quando alguma ponte deixe de funcionar;
- pode operar com fontes de entrada distintas;
- menor número de componentes que os inversores estudados anteriormente.

Já as principais desvantagens do inversor CHB são:

- as fontes de entrada devem ser isoladas, o que aumenta o custo;

- em aplicações trifásicas, a necessidade de múltiplas fontes CC isoladas pode aumentar significativamente a complexidade estrutural, o volume e o custo do sistema;
- os valores médio e eficaz das correntes nos semicondutores sofrem influência direta da técnica de modulação utilizada.

2.2.1.4 Outras Topologias de Inversores MVSI

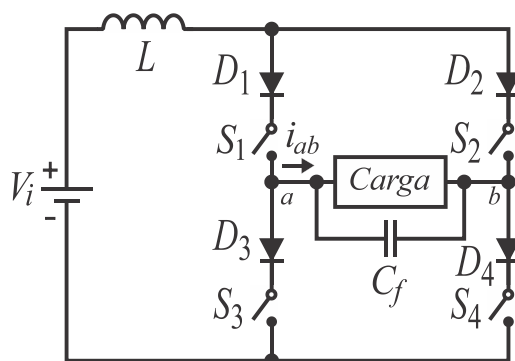
Após o surgimento das três topologias básicas MVSI supracitadas, várias outras derivações e combinações dessas foram propostas. Algumas dessas estruturas são: inversor com ponto neutro grampeado ativo (Bruckner *et al.*, 2001); inversor multinível generalizado (Peng, 2001); inversor multinível modular com meia-ponte em cascata (Lesnicar *et al.*, 2003); inversor multinível assimétrico (Barbosa *et al.*, 2005); entre outros.

2.2.2 Inversores MCSI

O inversor CSI comporta-se como uma fonte de corrente CC em sua entrada, normalmente conectado em série com um indutor relativamente grande que mantém a continuidade da corrente. Já em sua saída, podem ser obtidas formas de onda de corrente CA com a amplitude constante e período variável. A amplitude da corrente de saída não depende da carga. Porém, a forma de onda da tensão de saída depende da impedância de carga (Rashid, 2017). A Figura 13 mostra a representação de um CSI monofásico em ponte completa de dois níveis, o qual também pode ser representado substituindo a fonte de tensão V_i e o indutor L por uma fonte de corrente.

Para os inversores CSI, existem duas regras que devem ser sempre cumpridas: a corrente no barramento CC não pode ser interrompida e o lado CA do inversor não pode ser curto-circuitado. Para garantir a primeira condição, pelo menos um interruptor superior e um interruptor inferior devem estar fechados ao mesmo tempo. Além disso, deve ser introduzido um tempo de sobreposição (*overlap time*) nos sinais de comando dos inversores para que sempre haja um fluxo de corrente no barramento CC (Routimo *et al.*, 2007). A segunda condição ocorre devido à saída do inversor ser majoritariamente capacitiva e por isso não pode ser curto-circuitada. Esses filtros capacitivos são adicionados à saída do inversor para evitar picos de tensão que podem danificar a carga pelo fato de uma taxa di/dt elevada provocada pelas comutações dos interruptores (Rashid, 2017).

Figura 13 – Inversor CSI monofásico de dois níveis.



Fonte: próprio autor.

Para os inversores VSI são usados diodos em antiparalelo com os interruptores. Já nos inversores CSI é necessário utilizar diodos em série para que os interruptores possam suportar tensões reversas, produzidas pela bobina, sem se danificarem (Mohr *et al.*, 2005). Para tanto, podem ser utilizados RB-IGBTs (Lindemann, 2001; Naito *et al.*, 2004).

Em comparação ao arranjo VSI, o inversor CSI tira proveito de sua característica implícita de aumento de tensão para fornecer conexão entre tensões CC baixas e variáveis e a tensão CA da rede, sendo que um conversor CC-CC é desnecessário nesse caso (Azmi *et al.*, 2011). Além disso, o inversor CSI possui outras características importantes em detrimento ao VSI, como mencionado no Capítulo 1 deste trabalho. Além dessas vantagens, esta estrutura é mais adequada para aplicações alimentadas por fontes que se comportam como fontes de corrente, como é o caso dos painéis solares fotovoltaicos (Lee *et al.*, 2008).

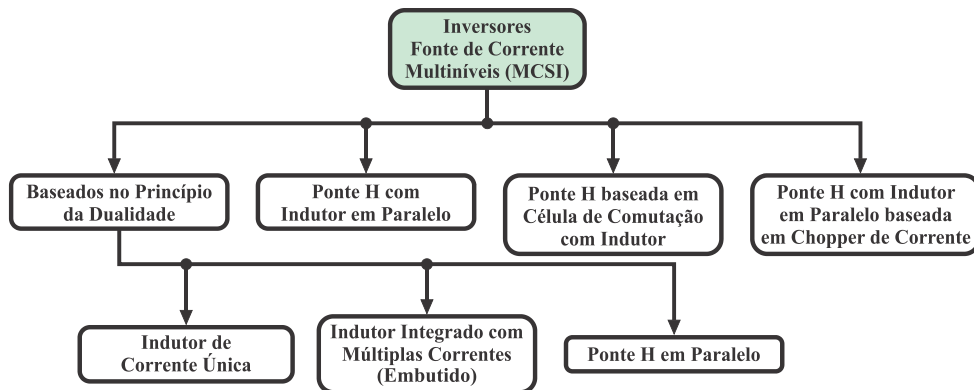
Para obter maior potência de saída e menor distorção da forma de onda simultaneamente com dispositivos de menor potência, uma abordagem multinível é a solução mais eficaz para resolver tais problemas. Assim, algumas topologias de conversores multiníveis de corrente podem ser diretamente obtidas ao aplicar o princípio da dualidade em alguns conversores multiníveis de tensão.

Em Bai *et al.* (2008), as topologias MCSI são derivadas da aplicação do princípio da dualidade às estruturas clássicas MVSI, notadamente as topologias do tipo NPC, FC e CHB. A partir dessa abordagem, são definidas células fundamentais baseadas em indutores e em associações de pontes H. Assim, diferentes famílias de inversores MCSI podem ser estruturadas, não necessariamente como duais diretos das multiníveis VSI correspondentes, mas preservando propriedades operacionais análogas.

A Figura 14 apresenta a classificação das principais topologias de inversores CSI

multiníveis monofásicas consideradas neste trabalho, organizadas segundo o princípio de obtenção topológica e a estrutura das células de corrente empregadas, as quais serão detalhadas nas seções subsequentes.

Figura 14 – Classificação das principais topologias CSI multiníveis com base no princípio da dualidade e nas células de corrente.



Fonte: próprio autor.

2.2.2.1 Inversor com Indutor de Corrente Única

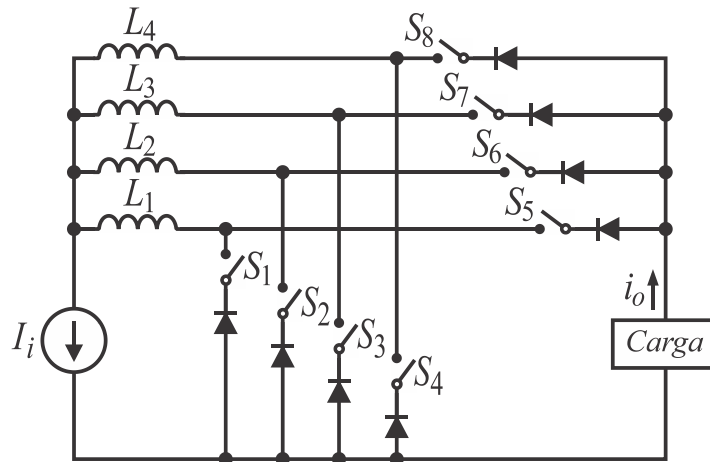
Em Bai *et al.* (2008) é apresentado um inversor CSI multinível baseado na célula denominada *single-rating inductor cell*. Nessa estrutura, a corrente proveniente da fonte CC é distribuída uniformemente entre indutores com especificações idênticas, resultando na síntese de níveis discretos de corrente na saída do conversor.

A Figura 15 ilustra a topologia do inversor CSI de cinco níveis fundamentado nessa célula. Essa configuração é obtida por meio da aplicação do princípio da dualidade à topologia VSI multinível com diodos de grampeamento aprimorados, na qual os capacitores responsáveis pela divisão de tensão são substituídos por indutores responsáveis pela divisão de corrente. Dessa forma, preserva-se a estrutura multinível, porém com natureza fonte de corrente, mantendo correspondência estrutural entre as duas famílias de conversores.

Na Figura 7, observa-se que o inversor com diodo de grampeamento de cinco níveis possui quatro capacitores com valores de tensão divididos igualmente entre eles. Então, de acordo com princípio da dualidade, as correntes através dos indutores do inversor MCSI com indutor de corrente única de cinco níveis são todas iguais a um quarto da corrente de entrada, ou seja, $I_i/4$. Além disso, cada corrente do indutor passa apenas por um par de interruptores complementares, ou seja, a corrente que passa pelo indutor L_1 segue para o par de interruptores S_1-S_5 , a corrente em L_2 passa pelos interruptores S_2-S_6 , e as correntes em L_3 e L_4 passam pelos

interruptores S_3 – S_7 e S_4 – S_8 , respectivamente.

Figura 15 – Topologia com indutor de corrente única de cinco níveis.



Fonte: adaptada de Bai *et al.* (2008).

As principais vantagens dos inversores com indutor de corrente única são (Gnanasambandam *et al.*, 2016):

- aumento da capacidade de corrente;
- redução das perdas de condução à medida que a corrente nos dispositivos é reduzida;
- atendimento aos padrões harmônicos sem a necessidade de grandes e custosos filtros.

Já a principal desvantagem é equilibrar as correntes dos indutores dos módulos. Caso contrário, a corrente desigual aumenta a distorção harmônica total, propiciando a introdução de harmônicos de ordem baixa que requerem valor mais alto para o capacitor de filtro.

2.2.2.2 Inversor com Indutor Integrado com Múltiplas Correntes

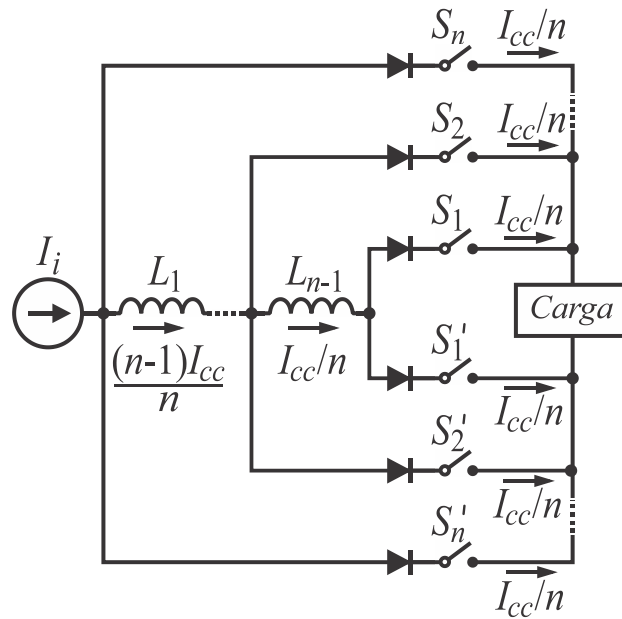
A topologia de inversor MCSI nomeada em Bai *et al.* (2008) como *multi-rating inductor cell* e em Vázquez *et al.* (2010) como embutido dividem a fonte de corrente CC em diferentes valores entre os seus indutores.

A Figura 16 mostra uma célula genérica do inversor MCSI com múltiplas correntes nos indutores, proposta em Antunes *et al.* (1999), que pode ser obtida a partir do princípio da dualidade da topologia multinível VSI com capacitores flutuantes apresentada na Figura 10.

Essa estrutura parte da ideia da conexão em paralelo de células de comutação por meio de indutores de equilíbrio, a qual foi proposta como uma alternativa para promover o paralelismo de interruptores. Com a utilização de uma estratégia de modulação adequada, essa topologia também possibilita sintetizar formas de onda de corrente em multiníveis utilizando

dispositivos semicondutores com menores valores de corrente (Braga *et al.*, 1997).

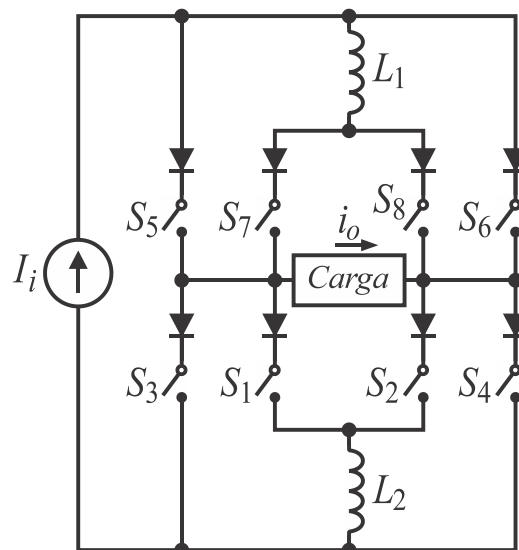
Figura 16 – Célula genérica do inversor MCSI com múltiplas correntes nos indutores.



Fonte: adaptada de Antunes *et al.* (1999).

A Figura 17 mostra um inversor com cinco níveis de corrente, obtido a partir da célula genérica do inversor MCSI com indutor com múltiplas especificações.

Figura 17 – Inversor MCSI com múltiplas correntes nos indutores (embutido).



Fonte: adaptada de Antunes *et al.* (1999).

As principais vantagens dos inversores MCSI com indutor com múltiplas especificações são (Gnanasambandam *et al.*, 2016):

- divisão equilibrada da corrente nos interruptores;

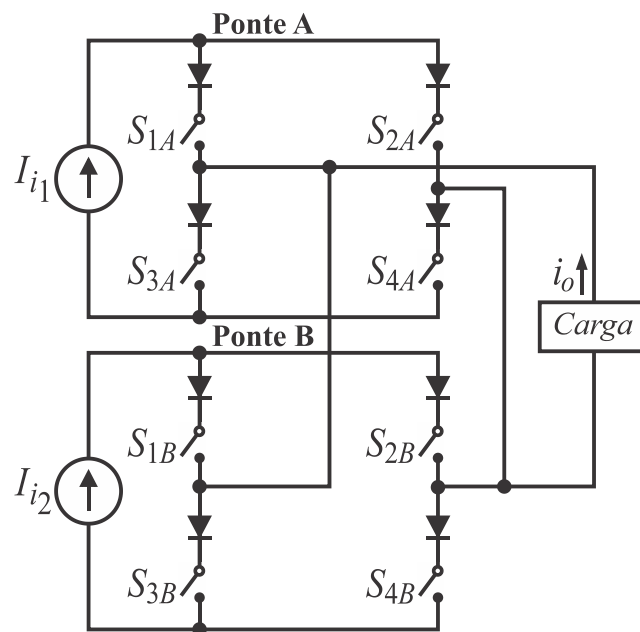
- redução de picos de corrente nos interruptores devido a imprecisões de disparos, razões cíclicas assimétricas e diferenças entre especificações de componentes.

Como desvantagem, tem-se o fato de tais inversores utilizarem modulação em baixa frequência e necessitarem de complexas estratégias de controle em comparação aos conversores convencionais.

2.2.2.3 Inversor Ponte H em Paralelo

A Figura 18 mostra o inversor MCSI ponte H em paralelo proposto em Bai *et al.* (2008) como uma topologia obtida a partir do princípio da dualidade aplicado à topologia multinível VSI ponte H apresentada na Figura 11.

Figura 18 – Inversor MCSI ponte H em paralelo de cinco níveis.



Fonte: adaptada de Bai *et al.* (2008).

As principais vantagens do inversor MCSI ponte H em paralelo são (Bai *et al.*, 2008):

- estrutura modular, o que torna simples a expansão de níveis;
- pode operar com fontes de entrada independentes, o que reduz problemas de corrente circulante e desequilíbrio de corrente.

Já as principais desvantagens são devidas as fontes de entrada serem isoladas, o que resulta em indutores volumosos, complexos e maiores e em transformadores de isolamento de alto custo.

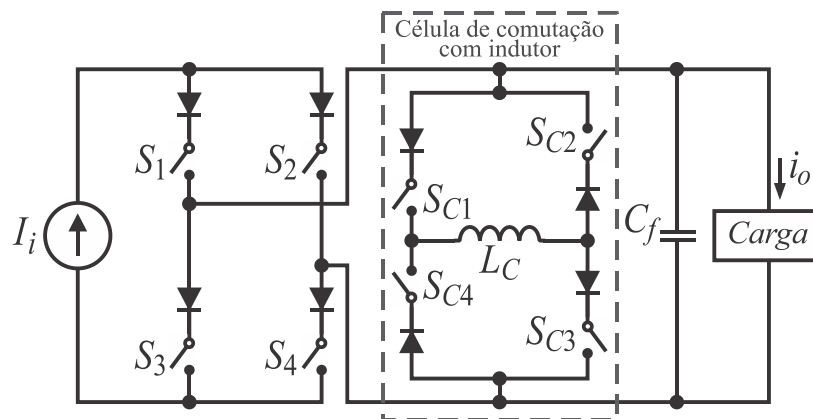
2.2.2.4 Inversor Ponte H baseado em Célula de Comutação com Indutor

Em Suroso (2011), foi desenvolvido um inversor multinível ponte H baseado em célula com indutor. Nesta topologia, uma ou mais células de comutação com indutor são conectadas em paralelo com o inversor principal de ponte H de três níveis para criar mais níveis de forma de onda de corrente, introduzindo indutores como fontes de corrente CC na configuração de emissor comum. A ponte H CSI atua como o inversor principal da topologia seguido pela conexão paralela de uma ou mais células com indutores que atuam como circuitos auxiliares. Cada célula de comutação é composta por um indutor e quatro dispositivos semicondutores unidirecionais (Suroso, 2010).

Essas células funcionam gerando as correntes de nível intermediário de uma forma de onda de saída multinível a partir da corrente básica de três níveis da ponte H CSI e a utilização dos modos de operação de carga e descarga do indutor.

A Figura 19 mostra uma configuração de inversor MCSI de cinco níveis obtida a partir da célula de comutação com indutor em paralelo com a ponte H principal CSI de três níveis.

Figura 19 – Inversor MCSI ponte H de cinco níveis baseado em célula de comutação com indutor.



Fonte: adaptada de Suroso (2011).

O número de níveis da forma de onda da corrente de saída m e o número de células com indutor N_L podem ser relacionados e expressos por (2.3).

$$m = 2^{(N_L+1)} + 1 \quad (2.3)$$

As principais vantagens do inversor CSI multinível ponte H baseado em célula de comutação com indutor são (Suroso, 2012):

- estrutura modular, tornando simples o aumento do número de níveis;
- reduzido tamanho de filtro de saída e indutores em comparação com os inversores

com indutores com diferentes níveis de corrente e indutores de corrente única.

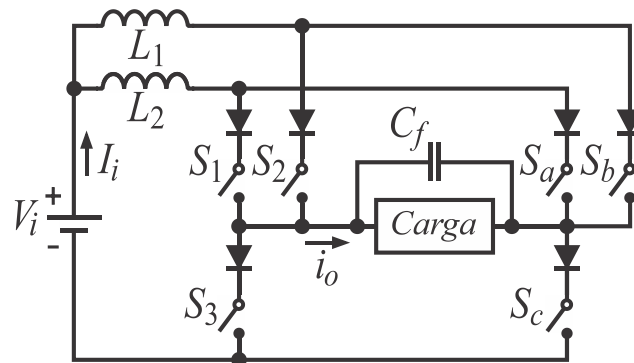
Como desvantagem, este inversor possui maior complexidade dos controladores de circuito.

2.2.2.5 Inversor Ponte H com Indutor em Paralelo

A topologia de inversor MCSI proposta em Vázquez *et al.* (2010) foi nomeada paralelo. Esta estrutura consiste em dois CSI conectados em paralelo com formação da ponte H por meio de interruptores da parte inferior. A Figura 20 mostra o esquema desta topologia para sintetizar cinco níveis de corrente.

Este inversor é capaz de sintetizar cinco níveis de corrente a partir da configuração de um CSI tradicional acrescido de um indutor e dois interruptores. Além disso, a adição de novos indutores e interruptores permite expandir o número de níveis da corrente de saída.

Figura 20 – Inversor CSI com indutor paralelo em ponte H para sintetizar cinco níveis de corrente de saída.



Fonte: adaptada de Vázquez *et al.* (2010).

Os interruptores S_1 – S_a e S_2 – S_b são acionados de forma complementar com comutação em alta frequência. Já os interruptores S_3 – S_c também são acionados de forma complementar, porém são comutados em baixa frequência.

As principais vantagens são a estrutura simples e o baixo número de interruptores (Nik Ismail *et al.*, 2016). Como desvantagem, este inversor utiliza uma técnica de balanceamento de redundância para manter o equilíbrio das correntes nos indutores e necessita de um grande indutor de entrada.

2.2.2.6 Inversor Ponte H com Indutor em Paralelo baseado em Chopper de Corrente

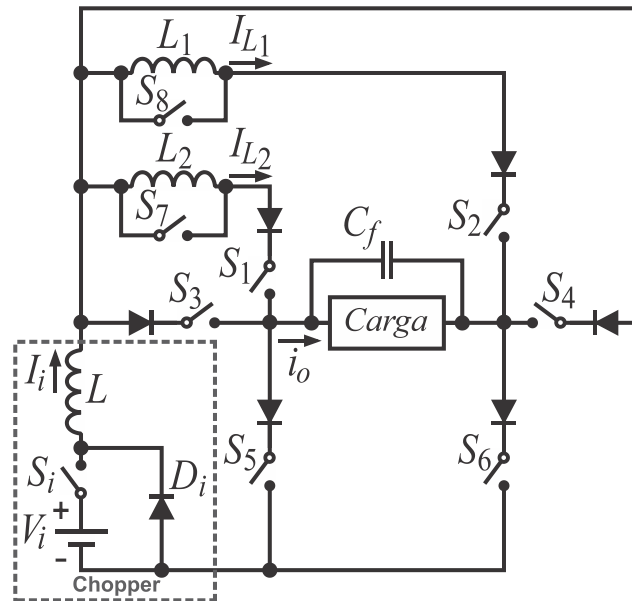
A topologia proposta em Nik Ismail *et al.* (2016) surge para combinar as vantagens do

inversor paralelo associado a eliminação da necessidade da utilização de uma técnica de balanceamento de redundância e um tamanho reduzido para indutor.

Esta topologia parte da combinação de um inversor MCSI paralelo e um circuito *chopper* do tipo *buck* para sintetizar vários níveis de corrente CA de saída usando um pequeno indutor de entrada e uma baixa frequência de comutação. Como exemplo, foi selecionada a topologia de cinco níveis mostrada na Figura 21.

Neste inversor, as correntes do indutor de compartilhamento são equilibradas sem alternar as técnicas de redundância para combinação das comutações dos interruptores. Isto ocorre pois o esquema de recuperação de energia dos indutores L_1 e L_2 é usado para manter as correntes do indutor de compartilhamento com a magnitude constante e aproximadamente metade da corrente de entrada. Além disso, esses indutores também fornecem continuidade de corrente durante o carregamento do indutor de entrada.

Figura 21 – Inversor MCSI ponte H paralelo com *chopper* de cinco níveis.



Fonte: adaptada de Nik Ismail *et al.* (2016).

O circuito *chopper* deste inversor MCSI gera uma corrente de entrada CC constante para a operação do inversor, o que contribui para a redução do tamanho do indutor de entrada. A relação do número de níveis m na corrente de saída e o número de indutores N_L pode ser determinado de acordo com a seguinte expressão:

$$m = 2N_L + 1 \quad (2.4)$$

As principais vantagens do inversor MCSI com indutor paralelo em ponte H baseado em *chopper* são (Nik Ismail *et al.*, 2016):

- reduzido tamanho do indutor de entrada;
- utiliza um único estado de comutação com técnica de balanceamento de corrente natural para equilibrar as correntes, eliminando as redundâncias de estado de comutação;
- utiliza uma única fonte de alimentação CC para obter vários níveis de corrente de saída.

A principal desvantagem deste inversor é o fato de os esforços de corrente nos dispositivos de comutação na condição de máxima corrente de saída não serem os mesmos, isso se deve ao fato que os indutores são isolados.

2.2.3 Considerações da Seção

De maneira geral, as estruturas analisadas nesta subseção evidenciam que tanto os VSI quanto os inversores fonte de corrente dispõem de diferentes mecanismos para dividir tensão ou corrente, modular o esforço elétrico sobre os dispositivos e melhorar a qualidade da forma de onda. As variações estruturais entre NPC, FC, CHB e as principais famílias de CSI refletem compromissos distintos entre número de dispositivos, complexidade de controle, requisitos de filtragem e capacidade de escalabilidade em potência.

As correspondências observadas entre topologias VSI e suas contrapartes fonte de corrente refletem, ainda que de forma implícita, o princípio da dualidade entre conversores, formalmente estabelecido por Freeland (1992). Conforme discutido ao longo desta revisão, diversas arquiteturas CSI podem ser interpretadas como derivações estruturais de topologias VSI quando representadas como circuitos planares, preservando funções elétricas equivalentes sob a troca sistemática de grandezas de tensão e corrente. Embora não desenvolvido aqui como um arcabouço teórico isolado, esse princípio fornece uma base conceitual consistente para interpretar a relação entre famílias de conversores multiníveis e sustenta abordagens metodológicas de síntese estrutural adotadas em trabalhos recentes.

A partir desse panorama, torna-se possível situar as topologias multiníveis analisadas no contexto mais amplo da literatura, à luz dos estudos de revisão que consolidam a evolução dessas arquiteturas e apontam tendências recorrentes, como a busca por maior capacidade de corrente, redução de esforços elétricos, compactação estrutural e uso de técnicas de entrelaçamento e acoplamento magnético.

2.3 REVISÃO GERAL DAS TOPOLOGIAS MULTINÍVEIS

Considerando o conjunto de topologias MVSI e MCSI discutidas nas seções anteriores, torna-se relevante examinar como a literatura tem organizado e interpretado a evolução dessas estruturas. Ao longo das últimas décadas, diversos trabalhos de revisão analisaram o comportamento, as limitações e o desenvolvimento dos conversores multiníveis, propondo classificações, identificando gargalos tecnológicos e destacando tendências estruturais emergentes. Na sequência, essas contribuições são apresentadas de forma unificada, sem distinção explícita entre VSI e CSI, enfatizando o enquadramento geral das arquiteturas multiníveis conforme consolidado nos principais artigos de revisão.

Nesse contexto, as principais revisões da literatura permitem mapear a evolução das estruturas multiníveis. Destaca-se o estudo de Rodriguez *et al.* (2002), que sistematiza topologias clássicas como NPC, ponte completa e cascaded H-bridge, indicando que, à época da publicação, o desafio predominante consistia em elevar a qualidade da forma de onda e ampliar os níveis de tensão sem aumentar proporcionalmente os esforços elétricos nos dispositivos semicondutores. Embora essas estruturas já proporcionassem menor distorção harmônica e redução de dv/dt , o aumento do número de níveis implicava crescimento significativo na quantidade de dispositivos, na complexidade da modulação e na necessidade de balanceamento de capacitores ou fontes isoladas. Tal cenário evidenciava a necessidade de arquiteturas estruturalmente mais compactas e racionalizadas, capazes de preservar as vantagens da síntese multinível com menor complexidade.

Na sequência, Kouro *et al.* (2010) analisam a expansão das aplicações industriais de média e alta potência e identificam como principal obstáculo a dificuldade de escalar as topologias multiníveis sem aumento expressivo da complexidade estrutural e dos requisitos de controle. O estudo evidencia a modularização, especialmente com o inversor MMC, como alternativa para superar essas limitações, ao mesmo tempo em que ressalta a necessidade de algoritmos de controle mais avançados para manter o balanceamento de tensão e a estabilidade dinâmica em arranjos de maior porte.

Mantendo o foco na evolução estrutural, Gupta *et al.* (2014) direcionam a atenção às topologias destinadas à redução do número de dispositivos, destacando a importância de manter a qualidade da forma de onda e o número de níveis sintetizados. O artigo apresenta arranjos híbridos e assimétricos que utilizam fontes de diferentes magnitudes para ampliar a eficiência estrutural e reduzir o número de interruptores por nível. A revisão também enfatiza a relevância do aprimoramento das técnicas de modulação, do balanceamento automático de capacitores e

da integração com fontes renováveis.

Complementando esse panorama, em Babaei *et al.* (2016a) e (2016b) apresentam uma visão abrangente das contribuições da década, evidenciando a diversificação das topologias, o aumento da complexidade de controle e desafios como tempo morto, desbalanceamento de tensão, perdas de condução e comutação, além da necessidade de estratégias tolerantes a falhas. Entre as contribuições destacadas estão topologias híbridas, modularização aprimorada, métodos de SVM aplicados a multicélulas, técnicas de controle preditivo e abordagens voltadas à redução de correntes de fuga em sistemas fotovoltaicos.

Posteriormente, Shanono *et al.* (2018) apresenta um levantamento abrangente das topologias multiníveis consolidadas até então, com foco nas famílias tradicionalmente empregadas em aplicações de média e alta potência. O estudo descreve as estruturas NPC, FC e CHB, bem como variações derivadas da combinação de células e arranjos híbridos, analisando a formação dos níveis, requisitos de modulação e desafios associados ao balanceamento de tensão. Os autores enfatizam ainda aspectos de desempenho relacionados à qualidade da forma de onda, aos requisitos de filtragem e às estratégias de controle aplicáveis a cada família, consolidando um panorama das principais topologias disponíveis e de suas características estruturais e operacionais.

Em continuidade, Munawar *et al.* (2024) apresentam uma avaliação sistemática das inovações recentes, dando ênfase à modularidade, à eficiência e à redução de complexidade estrutural. O artigo revisa arquiteturas híbridas e assimétricas, discute o uso de dispositivos de banda larga e destaca a crescente importância de técnicas avançadas de controle para garantir operação estável e confiável em aplicações de média e alta potência.

Por fim, Subramanian *et al.* (2025) investigam o uso de técnicas inteligentes de controle em inversores multiníveis, com foco em abordagens baseadas em inteligência artificial, aprendizado de máquina e métodos híbridos. Segundo os autores, essas estratégias melhoram o rastreamento de referência, reduzem a distorção harmônica e aperfeiçoam o balanceamento, favorecendo a utilização de topologias estruturalmente mais enxutas ao mitigar limitações práticas, especialmente em aplicações fotovoltaicas, tração elétrica e microrredes.

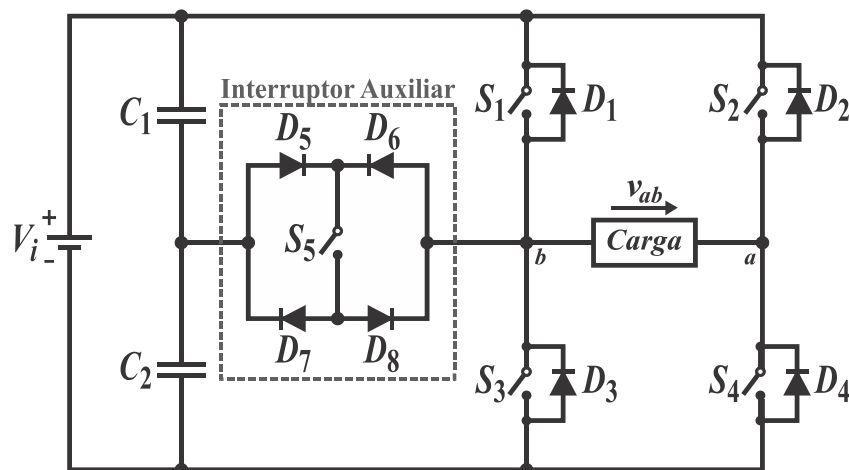
Em síntese, a revisão indica uma trajetória que parte das topologias clássicas e caminha para soluções mais modulares, eficientes e apoiadas em técnicas de controle avançadas, capazes de mitigar problemas de balanceamento, perdas e escalabilidade. Nesse percurso, ganha destaque o interesse por arquiteturas estruturalmente mais racionais, nas quais a reorganização dos dispositivos ou a redução da sua quantidade se tornam estratégias centrais. A seção 2.3.1 aprofunda essa vertente, revisando especificamente as topologias multiníveis com redução de

dispositivos e os principais avanços associados a essa linha de pesquisa.

2.3.1 Inversores Multiníveis com Redução de Dispositivos

A literatura registra diversas contribuições dedicadas ao desenvolvimento de topologias multiníveis com redução de dispositivos semicondutores. Nesse contexto, Ceglia *et al.* (2006) apresentam uma das primeiras alternativas estruturais com redução significativa de semicondutores, utilizando uma ponte H associada a um interruptor bidirecional auxiliar para sintetizar cinco níveis, como ilustrado na Figura 22. Além de simplificar o arranjo capacitivo e manter o equilíbrio natural das tensões, os autores demonstram que a topologia reduz em cerca de 40% o número de interruptores principais quando comparada às soluções de cinco níveis então disponíveis, sem aumento no número de diodos ou capacitores em relação à segunda melhor alternativa da literatura. O trabalho também destaca que a adoção de um modulador implementado em matriz de portas programáveis em campo (*field programmable gate array* – FPGA) contribui para diminuir a complexidade do circuito de disparo, reforçando a proposta de um conversor estruturalmente mais simples e de menor custo.

Figura 22 – Topologia do inversor de cinco níveis em ponte H associada a um interruptor bidirecional auxiliar.



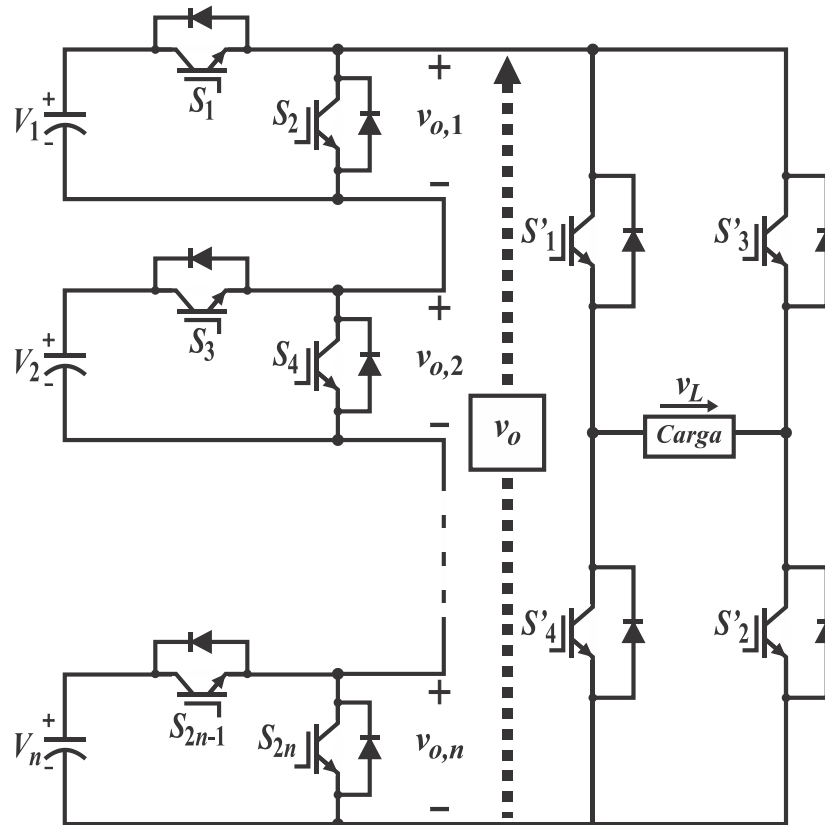
Fonte: adaptada de Ceglia *et al.* (2006).

Babaei (2008) propõe uma estrutura em cascata voltada à síntese de múltiplos níveis com menos interruptores em comparação às soluções ponte-H consolidadas. Os autores destacam que, à época, o aumento do número de níveis acarretava crescimento proporcional da complexidade de modulação e da contagem de dispositivos. A solução apresentada emprega fontes isoladas e organização estrutural otimizada, permitindo maior resolução de tensão com

menor volume, custo e perdas, além de apontar o potencial de abordagens assimétricas.

Nessa mesma linha, Babaei *et al.* (2009) propõem uma topologia multinível baseada na conexão em série de unidades elementares compostas por uma fonte CC isolada e dois interruptores, conforme ilustrado na Figura 23.

Figura 23 – Topologia multinível proposta baseada em unidades elementares com fonte CC isolada e dois interruptores, acrescida de estágio em ponte completa para inversão de polaridade.



Fonte: adaptada de Babaei *et al.* (2009).

Observa-se que cada unidade da topologia é capaz de inserir na saída o valor de sua fonte ou zero, permitindo que a associação em série produza níveis positivos discretos. Para viabilizar a síntese de tensão alternada, os autores acrescentam um estágio em ponte completa responsável pela inversão de polaridade do nível resultante. Dessa forma, os níveis positivos gerados pelas unidades em série são espelhados para o semiciclo negativo pela ponte completa. Como exemplo, a obtenção de cinco níveis requer duas unidades em série, resultando inicialmente nos valores 0 , $+V_{dc}$ e $+2V_{dc}$, os quais, após a inversão de polaridade promovida pela ponte completa, originam os níveis finais $-2V_{dc}$, $-V_{dc}$, 0 , $+V_{dc}$ e $+2V_{dc}$ na saída. Essa estrutura evidencia que a ampliação do número de níveis pode ser realizada por meio da adição modular de unidades idênticas, mantendo organização estrutural simples e reduzindo o número de interruptores por nível sintetizado.

Na continuidade dessa tendência, Ajami *et al.* (2014) propõem um inversor em cascata que reduz simultaneamente o número de interruptores e de fontes por nível sintetizado. O estudo observa que, embora a topologia CHB seja popular, a escalabilidade permanecia limitada pelo número crescente de dispositivos. A estrutura apresentada utiliza células otimizadas que ampliam níveis com menos componentes, com menor dissipação e arranjo físico mais simples.

No mesmo contexto de topologias voltadas à minimização do número de dispositivos semicondutores, Gautam *et al.* (2016) apresentam duas configurações de conversores multiníveis baseadas na chamada célula de comutação hexagonal (*hexagon switch cell* – HSC). Essas configurações são capazes de gerar 7, 9, 11 e até dezenas de níveis de tensão em arranjos simétricos e assimétricos, utilizando para isso apenas sete ou oito dispositivos de potência. As topologias propostas reduzem simultaneamente o número de IGBTs, diodos, fontes em corrente contínua e capacitores em comparação às estruturas clássicas, fornecendo ainda expressões generalizadas para a contagem de componentes em função do número de níveis. O estudo inclui comparação detalhada com trabalhos recentes, análise das perdas de condução e comutação e resultados experimentais, evidenciando que é possível obter maior número de níveis com hardware mais enxuto e menores tensões de bloqueio, mantendo qualidade de forma de onda compatível com aplicações em média tensão.

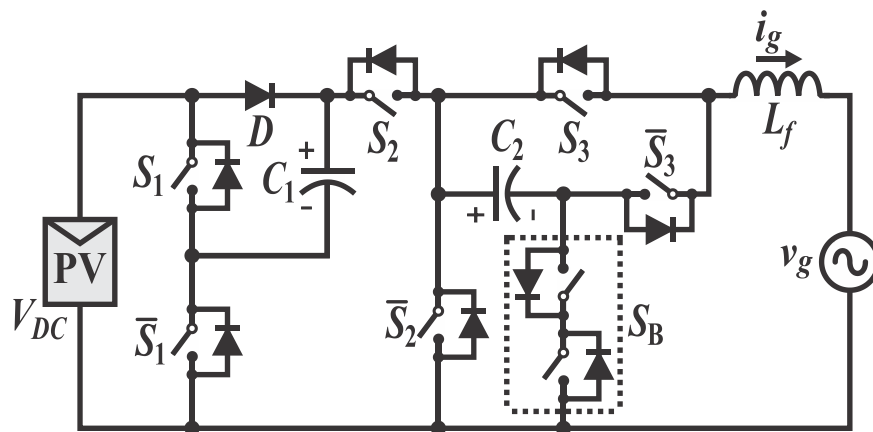
A revisão abrangente de Gupta *et al.* (2016) consolidam essa discussão ao revisar e classificar nove famílias de inversores multiníveis com contagem reduzida de dispositivos: o inversor multinível com elo CC em cascata baseado em meia-ponte, o inversor tipo T (*T-type*), o inversor multinível com fontes chaveadas em série/paralelo (*series/parallel switched sources* – SSPS), o inversor multinível com fontes chaveadas conectadas em série (*series-connected switched sources* – SCS), o inversor multinível com células bipolares chaveadas em cascata (*cascaded bipolar switched cells* – CBSC), a topologia de célula U encapsulada (*packed U-cell topology* – PUC), a topologia multinível modular (*modular multilevel* – MLM), a topologia de inversão de tensão (*reversing voltage topology* – RV) e o inversor multinível com geração de nível habilitada por dois interruptores (*two-switch enabled level generation* – 2SELG). A revisão parte do reconhecimento de que as topologias clássicas são penalizadas pelo elevado número de dispositivos, requisitos de balanceamento e maior complexidade de controle, e mostra que essas nove estruturas, simétricas ou assimétricas, buscam reduzir o hardware e, conseqüentemente, custo, volume e perdas, ao custo de desafios adicionais como maior dispersão nas tensões de bloqueio, necessidade de interruptores bidirecionais em alguns casos e redução da redundância de estados.

Contribuições posteriores ampliam o repertório de soluções compactas. Luong *et al.*

(2018) combinam o inversor *T-type* com uma rede *Z-source* (*Z-source network – ZSN*) para formar um inversor monofásico de cinco níveis (*single-phase five-level Z-source T-type inverter – SPZT²I*), sintetizando cinco níveis com menos estágios, capacidade *buck-boost* em um único conversor e redução da corrente de fuga. Em linha semelhante, Omer *et al.* (2020) revisam topologias recentes de contagem reduzida, destacando o equilíbrio necessário entre qualidade de onda, tensão de bloqueio e simplicidade estrutural nas arquiteturas compactas.

Nos anos seguintes, a redução de dispositivos permanece central. Kumari *et al.* (2021) introduzem uma topologia monofásica de cinco níveis, com oito interruptores e dois capacitores auxiliares, destinada a inversores fotovoltaicos conectados à rede e baseada em conexão de terra comum entre o polo negativo do barramento em corrente contínua e o neutro da rede, eliminando a corrente de fuga. A topologia proposta, ilustrada na Figura 24, emprega a técnica de capacitor flutuante com balanceamento automático das tensões.

Figura 24 – Inversor fotovoltaico monofásico de cinco níveis com terra comum e capacitor flutuante.



Fonte: adaptada de Kumari *et al.* (2021).

Esta configuração é capaz de gerar cinco níveis de tensão e possui capacidade intrínseca de elevação de tensão, o que elimina a necessidade de um estágio elevador dedicado e de elementos magnéticos de grande volume. O circuito limita o número máximo de dispositivos semicondutores em condução a três simultaneamente. O estudo apresentado inclui o projeto do circuito, a análise de perdas e a validação experimental através de um protótipo de laboratório, demonstrando um desempenho competitivo em termos de rendimento e contagem de componentes quando comparado a outras estruturas de inversores sem transformador.

Nesse cenário de esforços contínuos para racionalizar o uso de semicondutores e elementos passivos, Salem *et al.* (2021) consolidam uma visão comparativa que complementa as revisões anteriores ao introduzir os fatores nível de energia por componente (*component*

energy level – CEL), que relaciona a energia processada a cada elemento ativo ou passivo, e fator de energia de comutação (*switching energy factor* – SEF), que expressa a energia associada às comutações dos interruptores por ciclo. Esses indicadores reforçam a tendência observada na literatura de desenvolver arquiteturas mais enxutas e critérios de avaliação mais consistentes, criando a base para as contribuições voltadas explicitamente à redução do número de dispositivos.

Na mesma direção, Choudhary *et al.* (2024) apresentam uma revisão das topologias multiníveis com redução de interruptores organizando soluções simétricas, assimétricas, híbridas e baseadas em capacitor flutuante. O estudo compara estruturas quanto à contagem de dispositivos, estresse de tensão e requisitos de balanceamento, destacando que a redução estrutural frequentemente exige interruptores bidirecionais e estratégias de modulação adequadas. Embora não proponha nova topologia, consolida critérios de projeto e evidencia a tendência atual de arquiteturas mais compactas e racionalizadas.

Em conjunto, os trabalhos revisados mostram um avanço contínuo rumo a arquiteturas multiníveis mais enxutas, capazes de sintetizar mais níveis com menos dispositivos, menores perdas e controle simplificado. As soluções evoluem das primeiras propostas estruturais para arranjos assimétricos, híbridos, de células reduzidas ou baseados em capacitores flutuantes, enquanto estudos recentes reforçam que eficiência estrutural, otimização da contagem de semicondutores e modulação adequada constituem hoje os pilares centrais do desenvolvimento de inversores multiníveis modernos. Nesse cenário, um segundo eixo de evolução ganhou relevância: o emprego de acoplamento magnético para melhorar o compartilhamento de corrente, reduzir ondulação e ampliar a capacidade de potência sem aumento proporcional de semicondutores.

2.4 INVERSORES MULTINÍVEIS COM ACOPLAMENTO MAGNÉTICO

Os inversores convencionais, como as estruturas meia-ponte e ponte completa, apresentam limitações relacionadas ao estresse elétrico, à distribuição desigual das perdas e à elevada ondulação, especialmente em aplicações de baixa tensão e alta corrente, conforme discutido por Munawar *et al.* (2024). As topologias multiníveis mitigam parcialmente esses efeitos; entretanto, soluções clássicas ainda demandam elevada quantidade de semicondutores e circuitos de disparo complexos, como apontado por Omer *et al.* (2020).

Em aplicações de elevada corrente, o paralelismo de ramos constitui uma estratégia amplamente empregada para a divisão de corrente entre dispositivos semicondutores. Contudo,

assimetrias elétricas e temporais inevitáveis podem induzir correntes circulantes internas, exigindo mecanismos adicionais de equalização, sejam eles ativos ou passivos. Capella *et al.* (2015) demonstram que tais correntes podem atingir valores significativos mesmo em condições quase ideais, reforçando a necessidade de soluções estruturais capazes de promover o compartilhamento dinâmico de corrente.

Nesse contexto, os inversores entrelaçados com acoplamento magnético por autotransformadores surgem como uma alternativa estrutural para a equalização de correntes e a mitigação da ondulação. Nessa classe de soluções, o elemento magnético opera como um transformador não isolado, sem entreferro e com fluxo médio aproximadamente nulo no núcleo, não desempenhando função de armazenamento de energia, mas atuando como elemento estrutural de redistribuição de corrente entre ramos e de aumento da frequência efetiva observada pelo filtro. Quando projetado com relação de espiras unitária, esse acoplamento impõe, por construção, o compartilhamento automático de corrente entre os ramos, reduzindo a necessidade de estratégias adicionais de controle para balanceamento.

Resultados apresentados por Forest *et al.* (2009) reforçam a validade desse princípio ao demonstrarem que células acopladas magneticamente em inversores entrelaçados, por meio de transformadores intercelulares (*intercell transformers* – ICTs), operam igualmente sem entreferro e com fluxo médio praticamente nulo, permitindo a equalização de corrente entre ramos, a redução do *ripple* diferencial e a multiplicação da frequência aparente percebida pelo filtro, sem aumento da frequência real de comutação. Embora empreguem uma nomenclatura distinta, esses resultados evidenciam que o comportamento magnético associado a elementos do tipo transformador fortemente acoplados é particularmente adequado para arquiteturas entrelaçadas de alta corrente.

Trabalhos adicionais corroboram esses benefícios em diferentes contextos. Floricau *et al.* (2011) e Costa *et al.* (2021) reportam redução significativa de ondulação, melhor distribuição dos esforços elétricos e menor exigência de filtragem em estruturas baseadas em indutores acoplados, enquanto Li *et al.* (2012) mostram que o acoplamento magnético pode auxiliar na síntese de níveis adicionais sem acréscimo proporcional de dispositivos. Barbosa *et al.* (2024) reforçam ainda que o acoplamento forte amplia os estados efetivos de comutação e favorece a operação multinível.

Para a correta interpretação dessas abordagens, a distinção formal apresentada por Witulski (1995) é fundamental. Transformadores isolados ou autotransformadores operam sem entreferro, com fluxo médio praticamente nulo e sem armazenamento significativo de energia; indutores acoplados, por sua vez, possuem entreferro, indutância magnetizante significativa e

fluxo contínuo, desempenhando simultaneamente funções de acoplamento e armazenamento.

Essa distinção permite organizar a literatura em dois grupos principais:

1. Topologias baseadas em indutores acoplados, que exploram acoplamento parcial, magnetização e dispersão para reduzir *ripple*, compartilhar corrente e, em determinadas configurações, participar da síntese multinível.
2. Topologias baseadas em autotransformadores, típicas das famílias de conversores baseados na 3SSC e MSSC e das estruturas entrelaçadas com forte acoplamento magnético, nas quais o fluxo médio nulo e o acoplamento quase unitário impõem proporcionalidade de correntes e integram o elemento magnético à célula de comutação, participando diretamente da síntese multinível.

Os resultados reportados na literatura indicam benefícios recorrentes, como compartilhamento mais uniforme de corrente, redução da ondulação individual, aumento da frequência efetiva observada pelo filtro, menor dependência de múltiplas fontes ou capacitores flutuantes, redução do volume dos filtros e possibilidade de gerar níveis adicionais sem aumento proporcional do número de semicondutores. Essas vantagens manifestam-se tanto em estruturas com indutores acoplados quanto em arranjos baseados em autotransformadores, sendo a distinção fundamental determinada pela função física do elemento magnético: indutores acoplados armazenam energia, enquanto autotransformadores operam com fluxo médio praticamente nulo, atuando como elementos estruturais de equalização e síntese.

Essa fundamentação estabelece a base conceitual para as subseções seguintes, dedicadas aos inversores entrelaçados com indutores acoplados na Seção 2.2.1 e aos inversores entrelaçados com autotransformadores na Seção 2.2.2, cujos princípios operacionais e magnéticos são distintos e amplamente documentados na literatura técnica.

2.4.1 Inversores Entrelaçados com Indutores Acoplados

Os indutores acoplados constituem uma classe de elementos magnéticos caracterizada pela presença de entreferro, indutância magnetizante significativa e possibilidade de operação com fluxo contínuo. Essas propriedades são a base para funcionalidades de armazenamento de energia, compartilhamento de corrente, cancelamento de ondulação e síntese de níveis de tensão em topologias multiníveis, conforme amplamente documentado na literatura.

A formulação teórica utilizada em muitos trabalhos que os empregam segue a abordagem sistemática apresentada por Witulski (1995), que utiliza o tratamento matricial para derivar modelos de circuito equivalente, descrevendo tensões e correntes em termos de

indutâncias próprias, mútuas e magnetização. Esse modelo permite analisar modos comum e diferencial e fundamenta a interpretação do comportamento dinâmico dos indutores acoplados em diversas aplicações de conversores.

Com base nessa estrutura teórica, Zhu *et al.* (2011) desenvolvem um modelo matricial generalizado para indutores acoplados, decompondo correntes e tensões nos modos comum e diferencial, e demonstram que a redução de ondulação depende diretamente da relação entre indutâncias próprias e mútuas. O estudo evidencia, com validação experimental, que ajustes no acoplamento influenciam a partilha de corrente, a propagação de perturbações e a estabilidade dinâmica do conversor.

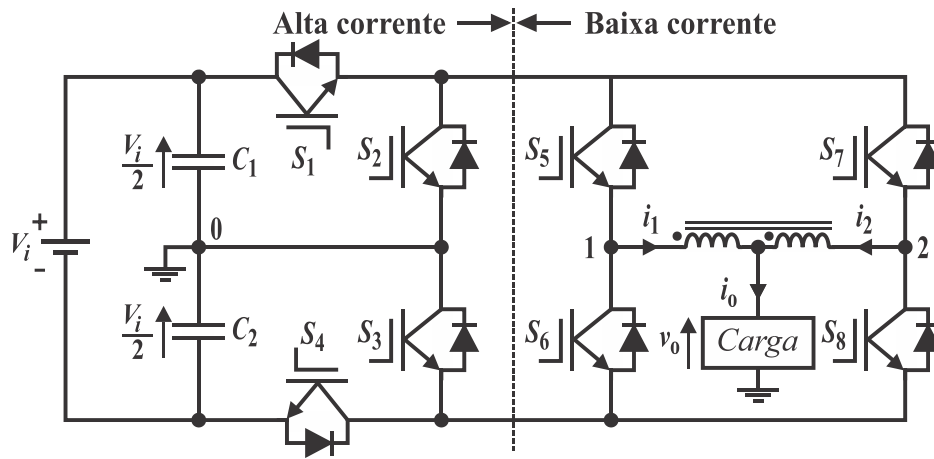
Forest *et al.* (2009) contribuem para essa compreensão ao analisar o efeito do acoplamento magnético na redução de ondulação em estruturas paralelas, mostrando que a interação entre modos comum e diferencial pode reduzir significativamente o ripple individual e modificar o caminho do fluxo magnético, influenciando diretamente o desempenho do indutor acoplado. Trabalhos anteriores, como Ueda *et al.* (1995) e (Braga *et al.*, 1997), já indicavam que o acoplamento auxilia na divisão de corrente em conversores paralelos, enquanto Ewanchuk *et al.* (2011) confirmam através de resultados que o uso do indutor acoplado, combinado à modulação adequada, permite controlar a corrente de modo comum e reduzir significativamente as ondulações das correntes dos enrolamentos, além de introduzir um efeito de auto-correção da tensão no ponto neutro, atenuando desbalanços entre os capacitores do barramento CC. Esses fundamentos sustentam o desenvolvimento de diversas topologias monofásicas multiníveis baseadas em indutores acoplados.

Em Floricau *et al.* (2011), apresentam-se um inversor monofásico multinível de cinco níveis denominado 5L-active-neutral-point-clamped com indutor acoplado (5L-ANPC-CI). A Figura 25 ilustra a estrutura, formada por uma célula bidirecional de três níveis controlada em baixa frequência, em cascata com duas células bidirecionais de dois níveis conectadas aos enrolamentos do indutor acoplado e acionadas em alta frequência. Esse arranjo em dois estágios de corrente permite que a célula de baixa frequência conduza a corrente total da carga, enquanto as células de alta frequência processam apenas metade dessa corrente em cada enrolamento, reduzindo a corrente comutada e favorecendo a distribuição mais equilibrada das perdas entre os dispositivos.

Neste inversor, a modulação do tipo POD assegura cinco níveis de tensão na saída e dobra a frequência aparente da forma de onda, o que contribui para reduzir o filtro de saída e a ondulação de corrente. Resultados de simulação e experimentais apresentados pelos autores confirmam a divisão equilibrada de corrente nos enrolamentos, a manutenção dos cinco níveis

de tensão em regime permanente e a adequação da topologia para aplicações de média e baixa potência em que se deseja aumentar a corrente de saída com baixo conteúdo harmônico.

Figura 25 – Topologia de inversor 5L-ANPC-CI.



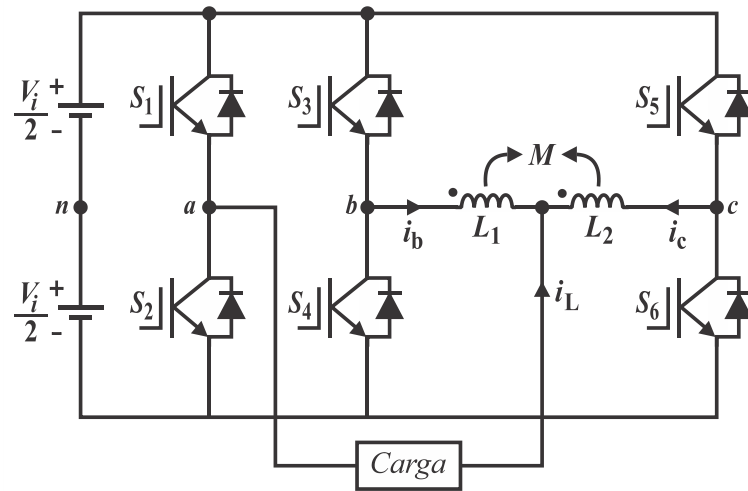
Fonte: Adaptado de Floricau *et al.* (2011).

Outra topologia relevante é apresentada por Li *et al.* (2012), que propõem um inversor monofásico de cinco níveis com indutores acoplados baseado em um módulo de três braços. A Figura 26 ilustra a estrutura, alimentada por uma única fonte CC, a qual dispensa a divisão do capacitor do barramento e, conseqüentemente, elimina os requisitos de balanceamento de tensão típicos das topologias com capacitores em série. Essa característica simplifica o controle e reduz a complexidade associada à supervisão das tensões internas.

Na configuração proposta, os indutores acoplados interligam os braços do inversor e atuam na combinação das tensões instantâneas geradas por cada ramo, viabilizando a síntese de cinco níveis na saída com seis interruptores submetidos ao mesmo esforço de tensão. O emprego de um único conjunto de indutores acoplados reduz a indutância total necessária quando comparado a topologias de cinco níveis baseadas em meia-ponte com indutores independentes ou parcialmente acoplados.

A estratégia de modulação adotada assegura ausência de componente contínua nas correntes dos indutores sob diferentes condições de carga, favorecendo a utilização eficiente do núcleo magnético e a redução do volume do elemento magnético. Os resultados analíticos, numéricos e experimentais apresentados pelos autores confirmam a correta formação dos cinco níveis de tensão, a complementaridade das correntes internas nos braços e a redução da ondulação na corrente de carga, evidenciando a viabilidade da topologia para aplicações monofásicas de baixa e média potência com exigência de elevada corrente.

Figura 26 – Topologia de inversor monofásico de cinco níveis com indutores acoplados baseado em um módulo de três braços.

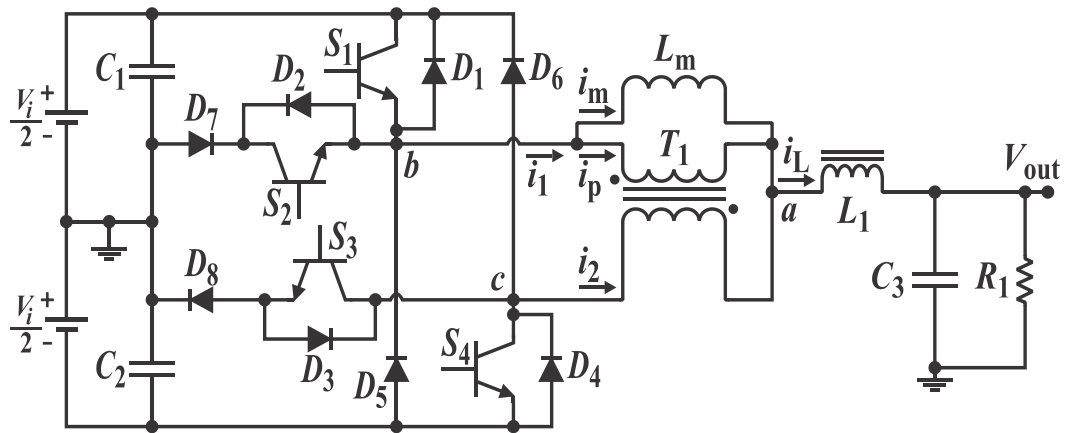


Fonte: Adaptado de Li *et al.* (2012).

No inversor monofásico de cinco níveis tipo π apresentado por Hu *et al.* (2016), a estrutura é composta por uma rede de interruptores de três terminais denominada 3TSN, associada a um indutor acoplado formado por dois enrolamentos inversamente acoplados, conforme ilustrado na Figura 27. A denominação tipo π decorre da disposição geométrica dos elementos, cuja configuração se assemelha ao caractere π . A 3TSN integra dois braços do inversor e o elemento magnético, estabelecendo uma interação estrutural entre os caminhos de corrente que viabiliza a síntese multinível. Diferentemente de estruturas baseadas exclusivamente em autotransformadores com fluxo médio nulo, o indutor acoplado empregado apresenta indutância magnetizante significativa e opera com componente contínua de fluxo, exigindo entreferro para evitar saturação, característica típica de elementos magnéticos com função de armazenamento de energia.

A interação entre a 3TSN e o indutor acoplado permite a geração de cinco níveis de tensão na saída, correspondentes a $+V_i/2$, $+V_i/4$, 0 , $-V_i/4$ e $-V_i/2$. A condução complementar das correntes nos enrolamentos promove a alternância dos caminhos internos de corrente e resulta no aumento da frequência efetiva associada à tensão aplicada ao indutor de saída, reduzindo a ondulação da corrente e, conseqüentemente, os requisitos de indutância do filtro. Os resultados analíticos, de simulação e experimentais apresentados pelos autores demonstram a correta formação dos níveis de tensão, a redistribuição dinâmica das correntes internas e a redução do conteúdo harmônico, evidenciando que a topologia apresenta desempenho adequado para aplicações monofásicas de baixa e média potência que demandam elevada densidade de potência e baixa distorção.

Figura 27 – Topologia de inversor monofásico de cinco níveis tipo π .



Fonte: Adaptado de Hu *et al.* (2016).

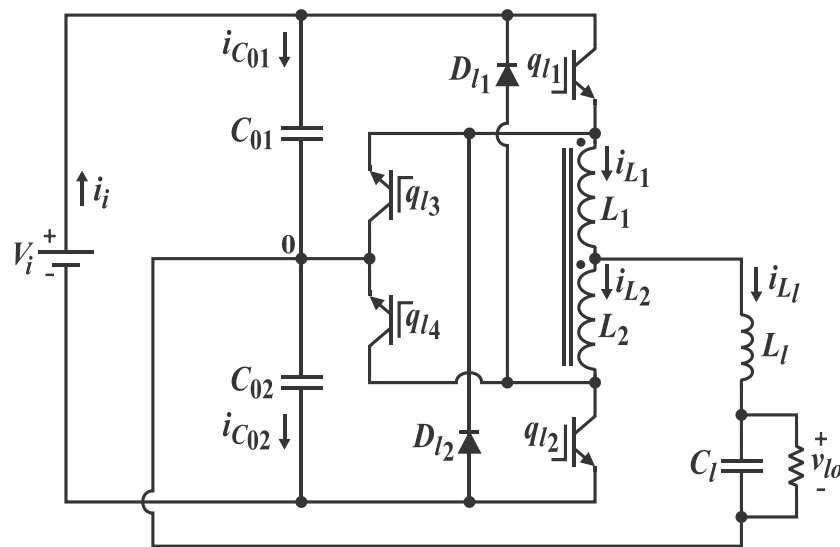
No inversor monofásico de cinco níveis proposto por Costa *et al.* (2021) utiliza-se quatro semicondutores de potência, dois diodos e um indutor acoplado para sintetizar cinco níveis de tensão com reduzida contagem de componentes. A topologia, ilustrada na Figura 28, emprega um indutor acoplado modelado com indutâncias de dispersão, magnetização e resistência de enrolamento, a partir do qual são definidas tensões de modo comum e diferencial e as correntes correspondentes. emprega um indutor acoplado, modelado com indutâncias de dispersão, magnetização e resistência ôhmica, a partir do qual são definidas tensões e correntes de modo comum e diferencial.

A estratégia de modulação desta topologia utiliza vetores espaciais, organizando os sete estados de comutação e distribuindo vetores redundantes para garantir o balanço volt-segundo no indutor acoplado, controlar a corrente de modo comum e manter o ponto médio do barramento CC equilibrado. Em comparação com o inversor NPC convencional, a solução introduzida produz cinco níveis com o mesmo número de interruptores, menor conteúdo harmônico e realiza o balanceamento natural das tensões do barramento sem circuitos auxiliares. Embora apresente menores perdas de condução frente a outras topologias de inversores monofásicos de cinco níveis com indutor acoplado, como FBCI em Salmon *et al.* (2009) e NPCCI em Acevedo-Bueno *et al.* (2017), os autores ressaltam que a desvantagem é o aumento das perdas de comutação, pois alguns dispositivos suportam a tensão total do barramento.

Outros trabalhos ampliam a compreensão das aplicações de indutores acoplados. Pajnić *et al.* (2018) apresentam uma abordagem relevante para conversores com acoplamento magnético ao demonstrar um indutor acoplado cujo coeficiente de acoplamento é ajustado por

meio de uma corrente de controle aplicada aos enrolamentos auxiliares, o que permite modificar a indutância equivalente, reduzir ondulação e mitigar oscilações parasitas em diferentes condições de operação.

Figura 28 – Topologia de inversor monofásico de cinco níveis com quatro semicondutores de potência.



Fonte: Adaptado de Costa et al. (2021).

Khan *et al.* (2020) apresentam uma abordagem relevante para conversores com acoplamento magnético ao propor um inversor *buck-boost* que usa indutores acoplados e modulação com defasagem de meio ciclo para dobrar a frequência efetiva e reduzir a ondulação. Quando os indutores acoplados são projetados para apresentar fuga suficiente, essa indutância assume o papel dos indutores de entrada, enquanto interruptores auxiliares isolam a parte inativa do circuito e evitam correntes circulantes, aumentando a eficiência. Já em Takongmo *et al.* (2022), os autores analisam um indutor acoplado com enrolamentos cruzados que mantém elevada indutância entre os ramos paralelos do inversor e reduz a indutância série para correntes equilibradas, favorecendo o compartilhamento natural de corrente em acionamentos de alta frequência. Ampliando o uso de indutores acoplados em estruturas com maior número de níveis, Alradhawi *et al.* (2025) propõem um inversor monofásico de dezessete níveis em que o indutor acoplado contribui para reduzir o estresse de corrente e tensão nos interruptores e para sintetizar os níveis intermediários de tensão na saída.

Em síntese, as topologias baseadas em indutores acoplados fornecem robustez para reduzir ondulação, dividir correntes naturalmente, aumentar a frequência efetiva da tensão aplicada ao filtro e viabilizar operação multinível com baixo número de dispositivos. A presença de entreferro, magnetização significativa e fluxo contínuo permite que esses elementos

moldem a dinâmica do conversor, participem diretamente da síntese multinível e viabilizem soluções compactas para aplicações de alta corrente e baixa distorção.

Dando continuidade à análise dos elementos magneticamente acoplados, a próxima seção aborda as estruturas baseadas em autotransformadores, cuja operação sem entreferro e com fluxo médio nulo estabelece um comportamento físico distinto, no qual o elemento magnético assume função estrutural na divisão de corrente e na formação dos níveis de tensão.

2.4.2 Inversores Entrelaçados com Autotransformador

Nos inversores entrelaçados baseados em autotransformadores, o elemento magnético atua estruturalmente na redistribuição de corrente entre os ramos e na síntese multinível, impondo compartilhamento natural de corrente quando utilizado com relação de espiras unitária.

Nesse contexto, Forest *et al.* (2009) demonstram que o emprego de ICTs em inversores entrelaçados apresenta vantagens claras em relação a soluções com indutores desacoplados. Ao operarem como elementos do tipo transformador, com núcleo sem entreferro e baixa indução média, os ICTs permitem uma utilização mais eficiente do material magnético, viabilizam o uso de materiais com alta indução de saturação e conduzem à redução significativa do volume e do peso dos componentes, mantendo elevado desempenho dinâmico sob degraus de carga.

Em um trabalho posterior, Forest *et al.* (2010) estendem esses princípios ao projeto de um conversor flyback multicelular isolado, evidenciando que os benefícios do acoplamento magnético fortemente acoplado não se restringem a estruturas não isoladas. Mesmo em aplicações que exigem isolamento galvânica, a operação com baixo fluxo CC no núcleo e forte acoplamento entre enrolamentos favorece o balanceamento natural das correntes entre as células e possibilita elevada densidade de potência com apenas um estágio magnético por célula.

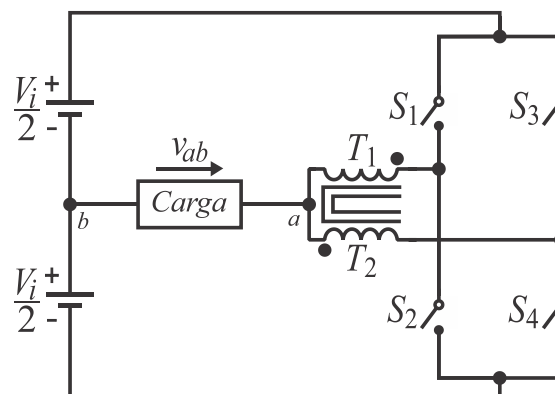
Diferentemente dos indutores acoplados, o autotransformador não cancela a ondulação total vista pela carga, pois não apresenta indutância magnetizante significativa associada ao armazenamento de energia, limitando-se à redução da ondulação individual nos ramos. Assim, a mitigação efetiva da ondulação na saída depende fundamentalmente da capacidade da topologia em sintetizar uma tensão com maior número de níveis, isto é, mais próxima da senoidal, o que reduz as exigências sobre o filtro de saída. Esse princípio fundamenta o emprego do autotransformador como elemento estrutural em topologias multiníveis, como aquelas derivadas da 3SSC e da MSSC, nas quais o acoplamento magnético atua de forma

complementar à modulação multinível.

Nesse contexto, a 3SSC foi proposta inicialmente por Torrico-Bascopé *et al.* (2000) no desenvolvimento de conversores CC-CC não isolados. A 3SSC é composta por dois ramos, cada um formado por um interruptor e um dispositivo de condução complementar, operando de forma intercalada e conectados a um autotransformador com relação de espiras unitária. Essa configuração impõe o compartilhamento automático de corrente entre os ramos, dispensando técnicas de controle complexas para balanceamento, além de proporcionar baixos esforços de corrente, melhor distribuição térmica e redução das exigências sobre os elementos de filtragem.

A partir desse conceito, diversas topologias de conversores CA-CC, CC-CC e CC-CA foram derivadas. O uso pioneiro da 3SSC em inversores aparece em Peraça *et al.* (2006), que aplicam essa célula a um inversor meia-ponte de três níveis, cuja topologia é ilustrada na Figura 29. Nessa estrutura, o autotransformador com tap central, operando sem isolamento galvânica, é responsável pela geração do nível intermediário de tensão, pela divisão natural da corrente entre os interruptores e pela duplicação da frequência efetiva observada pelo filtro, sem aumento da frequência real de comutação. Como resultado, os autores destacam a redução das perdas de condução, a diminuição da amplitude da tensão de saída em relação ao inversor meia-ponte clássico e a mitigação dos requisitos de filtragem, à custa da introdução do elemento magnético e do aumento do número de interruptores.

Figura 29 – Topologia do inversor meia-ponte de três níveis baseado na 3SSC.



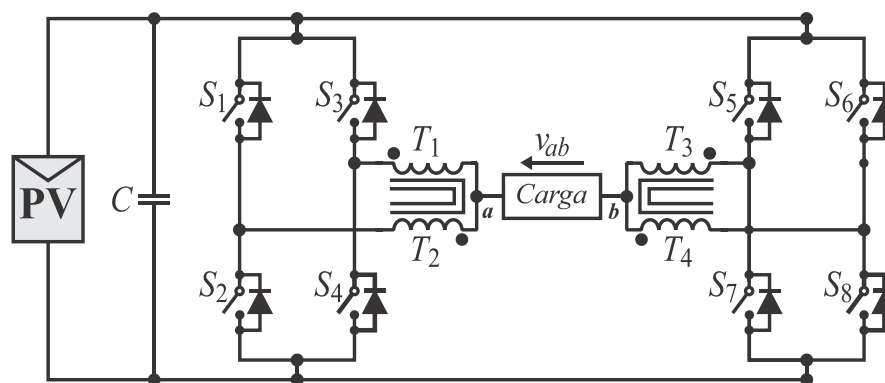
Fonte: Adaptado de Peraça *et al.* (2006).

Em Peraça *et al.* (2010), a aplicação da 3SSC foi estendida para inversores em ponte completa, resultando em uma topologia multinível monofásica capaz de sintetizar cinco níveis de tensão a partir da associação de duas 3SSC operando em alta frequência. Nessa configuração, cada meia-ponte baseada na 3SSC contribui com níveis intermediários de tensão, enquanto a estrutura em ponte completa permite a inversão de polaridade na saída, ampliando a capacidade

de síntese multinível sem a necessidade de fontes CC múltiplas ou capacitores flutuantes. O uso do autotransformador com relação de espiras unitária em cada célula preserva as propriedades de compartilhamento natural de corrente e de elevação da frequência efetiva observada pelo filtro, além de reduzir os esforços individuais sobre os semicondutores. Em função de seu papel como topologia de referência, essa estrutura é analisada de forma dedicada no Capítulo 3 desta tese.

Em continuidade a essa linha de desenvolvimento, Ferreira *et al.* (2021) apresentam a aplicação da topologia VSI 5L-D3SSC, baseada na associação de duas células de comutação de três estados, a um sistema fotovoltaico monofásico, conforme ilustrado na Figura 30. Nessa proposta, a estrutura em ponte completa permite a síntese de cinco níveis de tensão, possibilitando a operação tanto em modo isolado quanto em modo conectado à rede, com a eventual inclusão de uma etapa CC-CC dedicada ao rastreamento do ponto de máxima potência. Os resultados apresentados evidenciam o compartilhamento natural de corrente entre os interruptores, a redução dos esforços de corrente e a elevação da frequência efetiva observada pelo filtro de saída, resultando em menor exigência sobre os elementos passivos. Como limitações, os autores apontam a necessidade de um elemento magnético adicional, o número relativamente elevado de interruptores e a sensibilidade do desempenho à variação da tensão do barramento CC, especialmente quando a topologia opera sem uma etapa intermediária de condicionamento de potência.

Figura 30 – Estrutura do sistema fotovoltaico monofásico baseado na topologia VSI 5L-D3SSC.



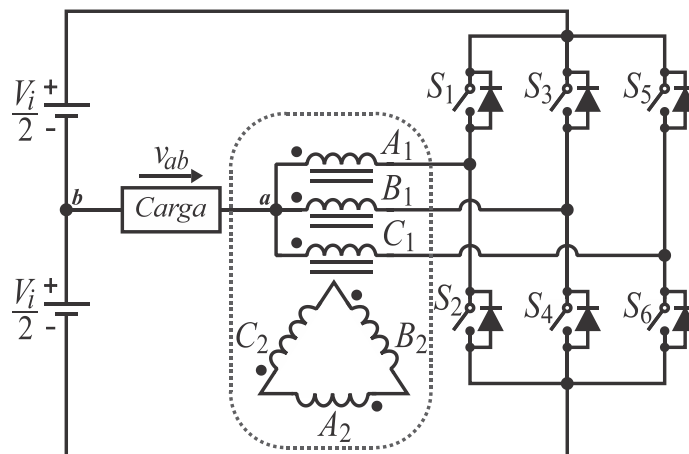
Fonte: Adaptado de Ferreira *et al.* (2021).

De forma semelhante, a 4SSC, apresentada por Peraça *et al.* (2005), pode ser compreendida como uma extensão conceitual direta da 3SSC, com o objetivo de ampliar o número de estados de comutação disponíveis e, conseqüentemente, o número de níveis sintetizados na tensão de saída. Essa célula emprega um elemento magnético operando em alta

frequência, usualmente um transformador trifásico com forte acoplamento, associado a múltiplos dispositivos de comutação. A configuração estrutural da 4SSC impõe, por construção, o compartilhamento de corrente entre os ramos da célula, reduzindo os esforços individuais nos semicondutores e promovendo uma distribuição mais homogênea das perdas de condução e comutação.

Posteriormente, em Peraça *et al.* (2007), a 4SSC foi aplicada na implementação de um inversor meia- ponte de quatro níveis, cuja topologia é ilustrada na Figura 31. Nessa proposta, os autores apresentam o conversor meia- ponte baseado na célula de comutação Y- Δ de quatro estados e demonstram que a tensão V_{ab} passa a assumir quatro níveis discretos, enquanto a frequência associada às componentes de ondulação relevantes ao filtro de saída torna-se aproximadamente três vezes a frequência de comutação. Como resultado, a amplitude de V_{ab} é reduzida para cerca de um terço daquela observada no inversor meia- ponte clássico, ao passo que a corrente de carga é compartilhada entre os interruptores em função do acoplamento magnético, reduzindo as perdas de condução e os esforços individuais nos semicondutores. Como contrapartida, os autores destacam o aumento da complexidade estrutural, associado à necessidade do elemento magnético e ao maior número de interruptores quando comparado à topologia meia- ponte convencional.

Figura 31 – Topologia do inversor meia- ponte de quatro níveis baseado na célula Y- Δ de quatro estados (4SSC).



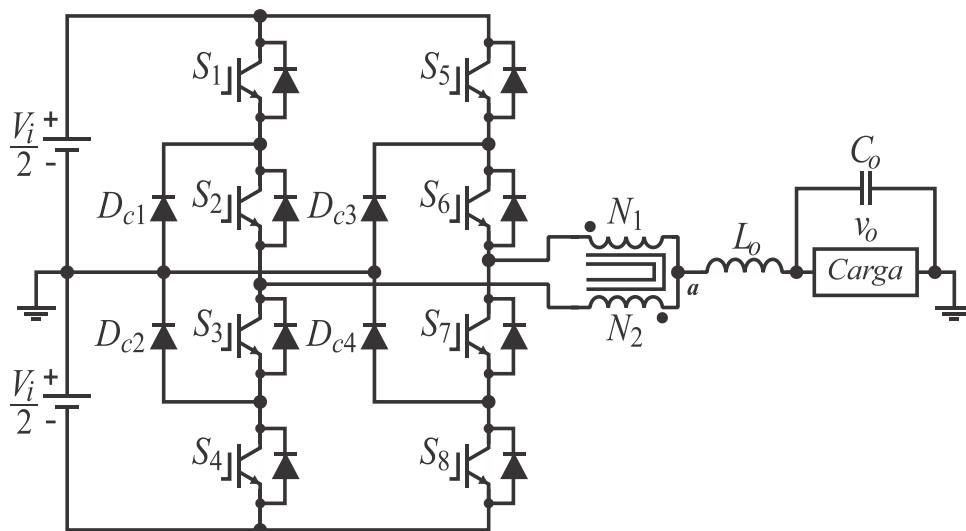
Fonte: Adaptado de Peraça *et al.* (2007).

Em Bascopé *et al.* (2011), a MSSC foi sistematizada como um arcabouço estrutural para ampliar a capacidade de corrente, o número de níveis da tensão de saída e a potência processada em inversores multiníveis. Os autores a organizam em diferentes famílias aplicáveis a inversores, incluindo ML-MSSC, NPC-MSSC, FC-MSSC e HB-MSSC, nas quais a

interligação das células pode ser realizada por meio de um autotransformador multifásico associado a um indutor em série ou, alternativamente, apenas por elementos magneticamente acoplados. Em ambas as abordagens, o acoplamento magnético impõe o compartilhamento estrutural de corrente entre os ramos, reduz os esforços individuais nos semicondutores e permite elevar o número de níveis sintetizados e a capacidade de potência com incremento moderado no número de dispositivos, ao custo de maior complexidade estrutural e do uso de elementos magnéticos adicionais.

Em Neto *et al.* (2012), é apresentada uma avaliação comparativa, em regime permanente, de três inversores NPC monofásicos, incluindo um inversor NPC de cinco níveis derivado da MSSC, no qual as células de comutação são interligadas por um autotransformador, caracterizando a topologia 5L-NPC-MSSC, ilustrada na Figura 32. Nesse estudo, os autores destacam que a alternativa com autotransformador apresenta desempenho competitivo em eficiência e densidade de potência e tende a reduzir as perdas de condução e as correntes eficazes nos semicondutores e nos elementos magnéticos, em comparação com a versão entrelaçada baseada em indutores não acoplados. Como contrapartida, permanece a necessidade do elemento magnético adicional e, na comparação experimental, as topologias sem autotransformador mostraram-se mais suscetíveis ao desbalanceamento de corrente devido a não idealidades e assimetrias práticas de implementação.

Figura 32 – Inversor NPC monofásico de cinco níveis baseado em MSSC com autotransformador.



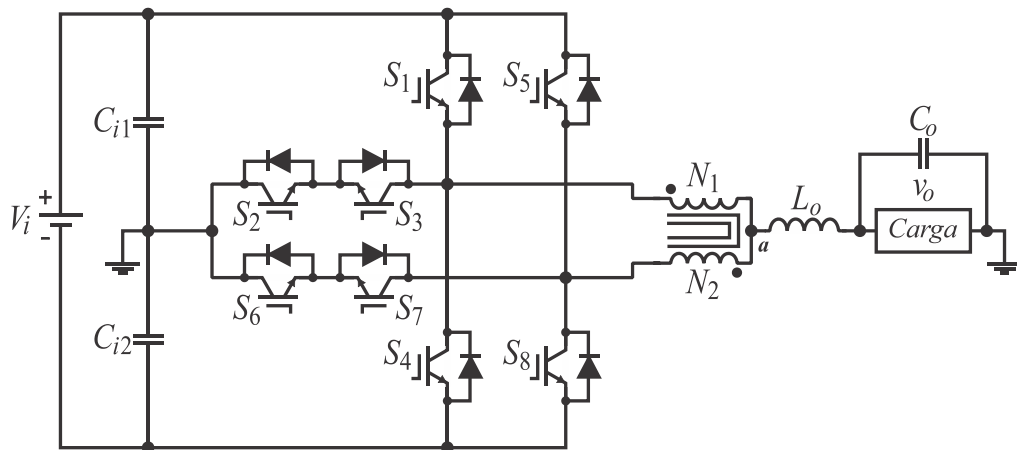
Fonte: Adaptado de Neto *et al.* (2012).

Em continuidade a essas investigações, Bascopé *et al.* (2014) analisam células de comutação multiestados e estruturas entrelaçadas sob a ótica do compartilhamento de corrente, considerando explicitamente os efeitos de assimetrias introduzidas pela modulação PWM,

como variações de razão cíclica e defasagens temporais entre ramos. Nesse contexto, os autores introduzem um circuito passivo de compartilhamento de corrente baseado em um indutor L_{sh} conectado entre os ramos, com a finalidade de assegurar tensão média nula sobre os elementos magnéticos e mitigar desbalanceamentos decorrentes dessas assimetrias. O estudo evidencia que, embora o autotransformador imponha naturalmente o compartilhamento estrutural de corrente em condições ideais, a adição do circuito passivo pode aumentar a robustez da operação frente a não idealidades práticas de modulação e implementação.

Uma extensão dessa linha de desenvolvimento é apresentada por Cacau *et al.* (2014), que propõem um inversor tipo T de cinco níveis baseado na MSSC, denominado 5L T-Type-MSSC, cuja topologia é ilustrada na Figura 33. Nessa estrutura, a célula multiestado é associada a um autotransformador com relação de espiras unitária, o qual integra funcionalmente o circuito de potência e participa diretamente da síntese multinível. Diferentemente de configurações em que o elemento magnético atua apenas como componente de filtragem ou equalização, nesse arranjo o autotransformador assume papel estrutural na formação dos níveis de tensão.

Figura 33 – Topologia do inversor tipo T de cinco níveis baseado na MSSC.



Fonte: Adaptado de Cacau *et al.* (2014).

A geração dos cinco níveis ocorre antes do filtro LC, o que desloca as componentes harmônicas associadas à comutação para frequências mais elevadas e reduz os requisitos de filtragem na saída. O acoplamento magnético imposto pelo autotransformador estabelece o compartilhamento estrutural de corrente entre os ramos da célula, resultando em menor corrente eficaz individual nos semicondutores e em distribuição térmica mais uniforme. Além disso, o aumento da frequência efetiva percebida pelo filtro contribui para a redução das dimensões dos componentes passivos, especialmente dos elementos magnéticos.

Em comparação com topologias derivadas da NPC-MSSC, o arranjo 5L T-Type-MSSC elimina diodos de grameamento e pode reduzir o número de dispositivos no caminho de condução em determinados intervalos de operação, favorecendo menor esforço de condução. Como aspecto de projeto, parte dos interruptores é submetida à tensão total do barramento CC, o que impõe critérios mais rigorosos na seleção dos dispositivos. Os resultados apresentados pelos autores confirmam a viabilidade da topologia e evidenciam desempenho compatível com aplicações monofásicas de baixa tensão que demandam síntese multinível com racionalização estrutural.

Por fim, um panorama consolidado das topologias baseadas na 3SSC e na MSSC é apresentado no levantamento de Tofoli *et al.* (2019). Nesse trabalho, os autores revisam conversores fundamentados nessas células e descrevem que elas empregam sinais de comando defasados de forma semelhante ao entrelaçamento, porém incorporam um autotransformador com relação de espiras unitária como elemento estrutural da célula. Além disso, quando adequadamente implementado, esse autotransformador promove o compartilhamento natural de corrente entre os ramos, eleva a frequência efetiva associada às ondulações vistas pelos elementos de filtragem e contribui para a redução dos esforços de corrente nos semicondutores. O artigo também evidencia que tais características diferenciam as células 3SSC e MSSC das estruturas entrelaçadas convencionais, nas quais o compartilhamento de corrente depende de indutores independentes ou acoplados e, em geral, de estratégias adicionais de controle. Com base nessa fundamentação, os autores sintetizam aplicações dessas células em conversores CC-CC, retificadores com correção do fator de potência e inversores.

A distinção entre indutores acoplados e autotransformadores reflete diferenças físicas e funcionais fundamentais, que impactam diretamente o compartilhamento de corrente, a síntese multinível e os requisitos de projeto dos elementos magnéticos nas topologias analisadas.

Diante desse panorama, torna-se conveniente deslocar a análise do nível topológico para o nível estrutural, examinando os blocos fundamentais que dão origem às arquiteturas discutidas nas seções anteriores. Nesse sentido, a decomposição dos conversores em células de comutação permite compreender de forma sistemática como o acoplamento magnético, o entrelaçamento dos estados de comutação e o compartilhamento de corrente são incorporados à estrutura dos conversores, tanto em topologias clássicas quanto naquelas baseadas em células multiestado. Essa abordagem fornece a base conceitual necessária para a análise dos inversores estudados neste trabalho.

2.5 CONCEPÇÃO DAS CÉLULAS DE COMUTAÇÃO

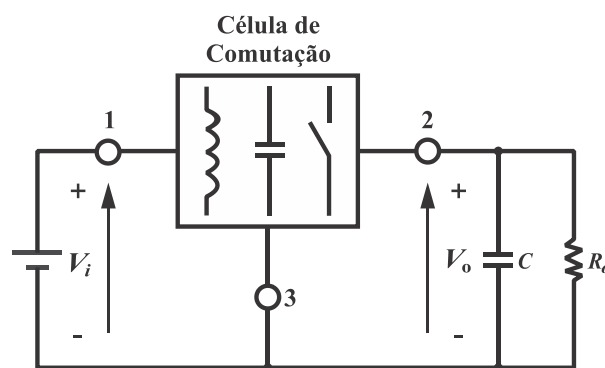
Para facilitar a compreensão sobre a estrutura fundamental dos conversores analisados nesta tese, apresenta-se a seguir uma análise qualitativa das principais células de comutação empregadas na literatura. Inicialmente, considera-se a célula de comutação de dois estados, cuja formulação básica foi proposta em Tymerski *et al.* (1988). Em seguida, analisa-se a 3SSC, introduzida por Torrico-Bascopé (2001), destacando-se sua operação intercalada e a capacidade de compartilhamento natural de corrente entre ramos. Por fim, descreve-se a 4SSC, proposta por Peraça (2008), e sua generalização para estruturas MSSC, que serve de base para topologias multiníveis progressivamente mais compactas e eficientes.

2.5.1 Célula de Comutação de Dois Estados

Os conversores CC-CC são circuitos eletrônicos que fornecem tensão ou corrente regulada de acordo com níveis desejados e executam essa tarefa por meio de elementos de comutação ativos e passivos, associados a capacitores e indutores operando em alta frequência, controlando a transferência de energia da entrada para a saída (Barbi *et al.*, 2000). Em Tymerski *et al.* (1988), define-se uma estrutura geral, apresentada na Figura 34, na qual um conversor pode ser representado em três partes principais, a saber:

1. fonte de tensão de entrada V_i ;
2. célula de comutação;
3. fonte de tensão de saída V_o , constituída pelo capacitor de filtro de saída em paralelo com a carga.

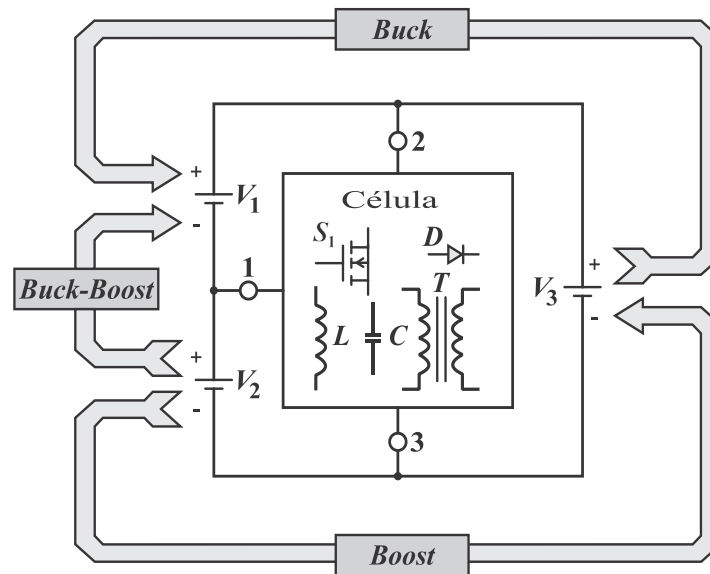
Figura 34 – Estrutura geral de um conversor CC-CC básico não isolado.



Fonte: adaptada de Tymerski *et al.* (1988).

A célula de comutação do conversor CC-CC apresenta três terminais, os quais podem ser conectados a três fontes de alimentação, conforme ilustrado na Figura 35.

Figura 35 – Critério para geração de conversores CC-CC não isolados.

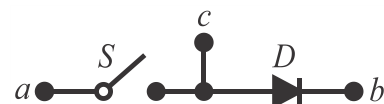


Fonte: adaptada de Tymerski *et al.* (1988).

Essa célula é utilizada para gerar as topologias básicas dos conversores CC-CC não isolados. As topologias são identificadas, pelas direções das setas que indicam os caminhos de transferência de potência entre as fontes. Assim, o conversor abaixador (*buck*) é caracterizado por V_3 representando a fonte de alimentação e V_1 representando a carga; o conversor elevador (*boost*) por V_2 representando a fonte de alimentação e V_3 representando a carga; e o conversor abaixador-elevador (*buck-boost*) por V_2 representando a fonte de tensão enquanto V_1 representa a carga.

Os conversores clássicos possuem uma estrutura de três terminais (*a-b-c*) em suas células de comutação, e também, dois interruptores, sendo um ativo e um passivo. Esses interruptores são baseados em operações complementares conectados a um ponto comum, sendo que, enquanto um interruptor conduz, o outro é bloqueado e vice-versa. Sendo assim, os conversores *buck*, *boost* e *buck-boost* podem ser definidos como uma célula de comutação de dois estados, como mostra a Figura 36.

Figura 36 – Célula de comutação de dois estados.

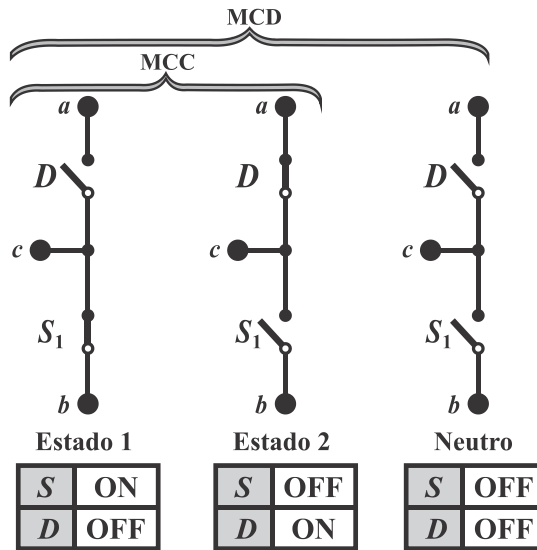


Fonte: adaptada de Tymerski *et al.* (1988).

O funcionamento dos conversores clássicos com a 2SSC, apresenta três combinações, sendo: no estado 1, o interruptor ativo é ligado e passivo permanece desligado; no estado 2, o

interruptor ativo é desligado e passivo permanece ligado; no Estado 3, os interruptores ativos permanecem ambos desligados, sendo um estado neutro. Dessa forma, esse arranjo é definido como sendo uma 2SSC, como mostra a Figura 37. Com o conversor funcionando nas duas primeiras etapas, ocorre o modo de condução contínua (MCC), sendo que ao funcionar com o terceiro estado ocorre o modo de condução descontínua (MCD).

Figura 37 – Estados e modos de operação da 2SSC.



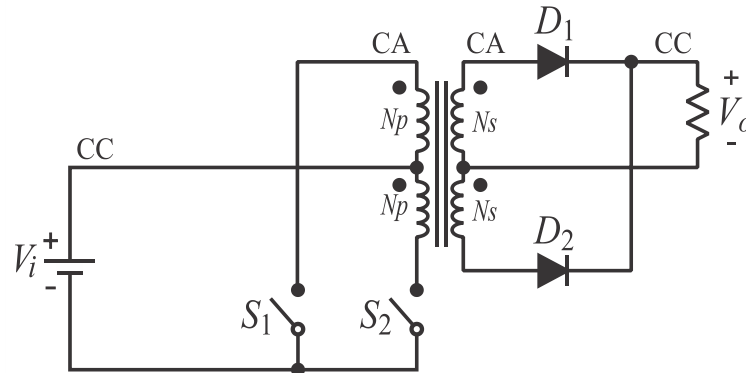
Fonte: adaptada de Tymerski *et al.* (1988).

Observa-se que a 2SSC estabelece a estrutura fundamental dos conversores CC–CC clássicos, definindo dois estados ativos responsáveis pela transferência de energia e um estado neutro associado à ausência de condução pelo interruptor principal. A alternância complementar entre os dispositivos determina o regime de condução e o comportamento dinâmico do conversor, constituindo a base estrutural a partir da qual células de comutação com maior número de estados são posteriormente desenvolvidas.

2.5.2 Célula de Comutação de Três Estados

A 3SSC é constituída a partir do circuito do conversor *push-pull* ou transformador CC paralelo, que é constituído por dois interruptores S_1 e S_2 no lado primário e dois diodos retificadores D_1 e D_2 no lado secundário, sendo isolados por um transformador com ponto médio (*tap* central), como mostrado na Figura 38. Assim, o circuito realiza uma conversão CC–CA–CC, ou seja, com entrada de tensão contínua, um estágio intermediário de tensão alternada e uma saída de tensão contínua (Torricco-Bascopé, 2001).

Figura 38 – Transformador CC paralelo.

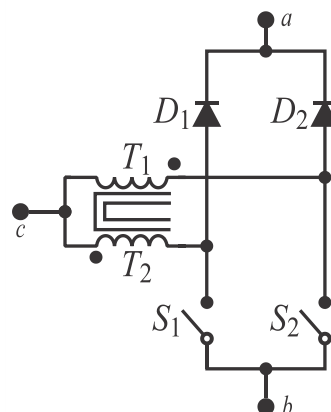


Fonte: adaptada de Torrico-Bascopé (2001).

Ao considerar o transformador com tap central como ideal, com relação de espiras unitária e elevado acoplamento magnético, seus enrolamentos podem ser representados exclusivamente pelas indutâncias de magnetização, caracterizando sua operação como um autotransformador não isolado, sem armazenamento significativo de energia magnética. Nessas condições, o elemento magnético atua na redistribuição instantânea de corrente entre os ramos da célula, impondo relações de corrente determinadas pela topologia e pelos estados de comutação.

Essa modelagem conduz diretamente à 3SSC, ilustrada na Figura 39 e definida pelos terminais a , b e c . Observa-se que a 3SSC é estruturalmente composta por duas 2SSCs, interligadas por meio do autotransformador com *tap* central, o qual estabelece o acoplamento magnético entre os ramos e amplia o conjunto de estados de comutação disponíveis para a síntese multinível.

Figura 39 – Topologia da 3SSC.

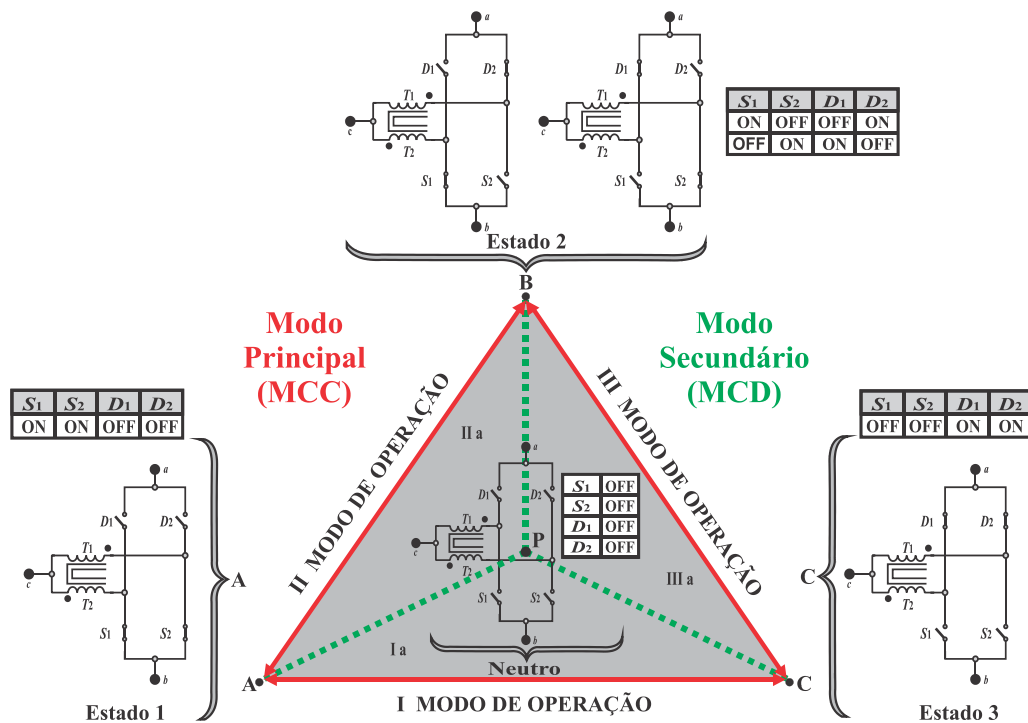


Fonte: adaptada de Torrico-Bascopé (2001).

Em Torrico-Bascopé (2001), apresenta-se o triângulo ABC como modelo funcional da

3SSC, sendo que nos vértices do triângulo estão os estados de comutação da célula (ESTADO 1, ESTADO 2 e ESTADO 3, respectivamente) e no ponto P central do triângulo existe o ESTADO NEUTRO, no qual não há transferência de potência, como mostra a Figura 40.

Figura 40 – Triângulo ABC com a representação esquemática do funcionamento da célula de três estados.



Fonte: adaptada de Torrico-Bascopé (2001).

A célula apresentada possui dois modos de operação, sendo: o primeiro, denominado modo principal de operação, que é caracterizado pela mudança direta entre os estados; o segundo, modo de operação secundário, é caracterizado pela mudança indireta entre um estado e outro, tendo este um estágio intermediário neutro. Quando se aplica a 3SSC ao conversor, o modo principal representa o MCC. Por outro lado, o modo secundário corresponde ao MCD.

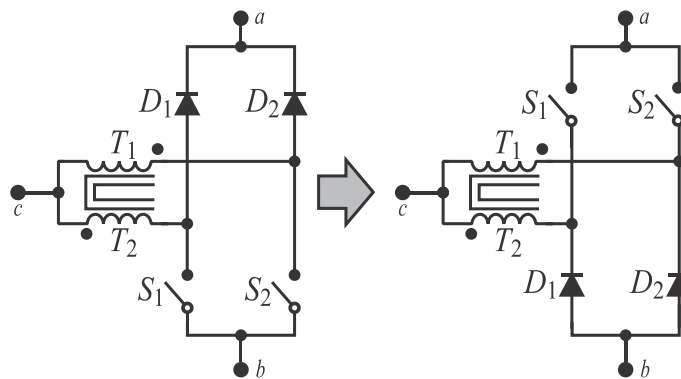
Em determinadas aplicações, torna-se necessário a inversão bilateral, isto é, a capacidade de conduzir corrente e sintetizar tensão em ambos os sentidos, conforme ilustrado na Figura 41. Essa modificação estrutural não altera o princípio fundamental de funcionamento da 3SSC, uma vez que os estados de comutação e o papel do autotransformador no compartilhamento de corrente permanecem inalterados.

A 3SSC admite cinco variações estruturais distintas, usualmente denominadas células A, B, C, D e E, que se diferenciam pela forma de conexão dos interruptores, dos diodos e do autotransformador. Essas variações resultam em comportamentos distintos quanto ao ganho estático, aos esforços de tensão e corrente nos semicondutores e às regiões de operação em

condução contínua ou descontínua. Entre essas configurações, os conversores derivados da célula B de três estados apresentam uma característica particularmente relevante: o ganho estático em MCC é idêntico ao dos conversores clássicos correspondentes, o que facilita a análise, o projeto e a comparação direta com topologias convencionais amplamente consolidadas na literatura.

Em função dessa propriedade, bem como de sua maior compatibilidade com estratégias de modulação e metodologias de projeto já estabelecidas, apenas conversores baseados na célula B da 3SSC são considerados e analisados ao longo deste trabalho.

Figura 41 – Inversão bilateral da célula de três estados.



Fonte: adaptada de Torrico-Bascopé (2001).

2.5.3 Célula de Comutação de Quatro Estados

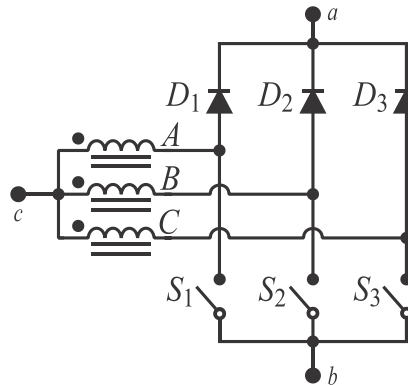
A 4SSC foi proposta por Peraça *et al.* (2005) com o objetivo de viabilizar soluções estruturais para a conexão de interruptores e/ou conversores em paralelo, permitindo a divisão de potência em aplicações de elevada corrente. Essa abordagem possibilita a utilização de dispositivos semicondutores disponíveis comercialmente em conversores de maior potência, adequando-os aos esforços de tensão e corrente requeridos, sem a necessidade de empregar dispositivos individualmente superdimensionados.

Como consequência direta dessa configuração, a 4SSC proporciona compartilhamento natural de corrente entre os ramos, favorecendo a redução das perdas de condução e a mitigação das ondulações associadas aos filtros. Em determinados arranjos, isso pode resultar na redução dos requisitos de filtragem e na melhoria da resposta dinâmica do conversor. Tais características decorrem tanto do aumento do número de estados de comutação disponíveis quanto da integração do elemento magnético como parte estrutural da célula.

Nesse contexto, a 4SSC é composta por três interruptores controlados, três diodos e um

transformador trifásico operando em alta frequência, conectado em configuração estrela (Y), conforme ilustrado na Figura 42.

Figura 42 – Topologia da 4SSC com transformador trifásico.



Fonte: adaptada de Peraça *et al.* (2005).

A 4SSC apresenta nove possibilidades de condução dos interruptores, como mostra a Figura 43, na qual são representados os estados e as três possibilidades do 2º e 3º estados, sendo denotadas como P1, P2 e P3. O funcionamento para cada estado pode ser descrito da seguinte forma:

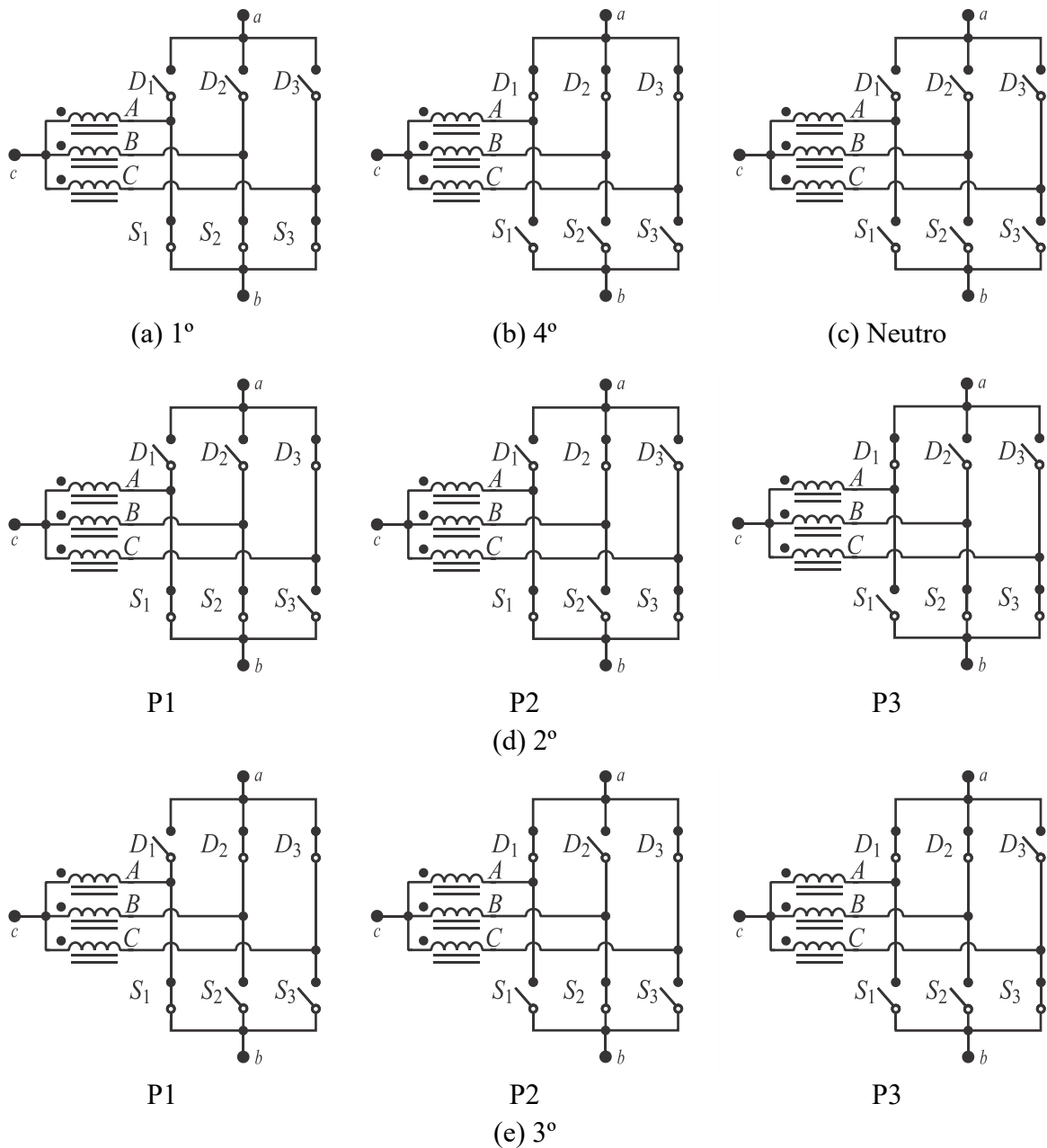
- 1º estado – os interruptores S_1 , S_2 e S_3 são ligados e os diodos D_1 , D_2 e D_3 estão bloqueados;
- 2º estado – dois interruptores são ligados e um diodo está diretamente polarizado, ocasionando em três possibilidades de interruptores e diodo conduzindo corrente, sendo: interruptores S_1 e S_2 e diodo D_3 ; interruptores S_1 e S_3 e diodo D_2 ; e interruptores S_2 e S_3 e diodo D_1 .
- 3º estado – um interruptor ligado e dois diodos diretamente polarizados, ocasionando em três possibilidades de interruptor e diodos conduzindo corrente: interruptor S_1 e diodos D_2 e D_3 ; interruptor S_2 e diodos D_1 e D_3 ; e interruptor S_3 e diodos D_1 e D_2 .
- 4º estado – os interruptores S_1 , S_2 e S_3 estão desligados e os diodos D_1 , D_2 e D_3 estão diretamente polarizados;
- Estado neutro – os interruptores e diodos estão abertos e não permitem a passagem de corrente.

Do ponto de vista do regime de condução, a 4SSC pode operar em MCC ou em MCD. Em MCC, a sequência de estados depende da razão cíclica D do sinal de comando:

- Para $D > 2/3$, a operação ocorre entre o 1º e o 2º estados;
- Para $1/3 < D < 2/3$, a operação ocorre entre o 2º e o 3º estados;

- Para $D < 1/3$, a operação ocorre entre o 3º e o 4º estados.

Figura 43 – Estados de operação da 4SSC.



Fonte: adaptada de Peraça *et al.* (2005).

Em MCD, além das combinações anteriores, ocorre também o estado neutro, uma vez que a corrente no elemento indutivo associado se anula durante parte do período de comutação.

A estratégia de acionamento dos interruptores controlados é baseada em modulação PWM. Os sinais de comando aplicados a S_1 , S_2 e S_3 são defasados entre si de 120 graus elétricos e apresentam igual duração média, assegurando simetria na divisão de corrente entre os ramos e equilíbrio magnético no transformador trifásico de alta frequência.

Assim como na 3SSC, a 4SSC pode ser configurada para operação bidirecional em

corrente, característica necessária em aplicações como inversores. Para isso, os diodos são substituídos por interruptores controlados adicionais, permitindo o controle ativo do fluxo de corrente em ambos os sentidos.

Conforme discutido por Peraça *et al.* (2005), conversores baseados na 4SSC apresentam as seguintes características gerais:

1. A frequência efetiva das componentes de ondulação nos elementos de filtro é três vezes superior à frequência de comutação individual dos interruptores, devido ao defasamento de 120 graus entre os ramos. Isso possibilita a redução dos valores dos elementos de filtragem, com conseqüente diminuição de peso e volume e melhoria da resposta dinâmica do conversor.
2. A corrente de carga é naturalmente dividida em três parcelas aproximadamente iguais, reduzindo o estresse térmico individual nos dispositivos semicondutores de potência e promovendo distribuição mais homogênea das perdas de condução.
3. Como contrapartida, há aumento no número total de dispositivos semicondutores de potência e a necessidade de um transformador trifásico de alta frequência, o que implica maior complexidade construtiva e impacto no custo e no volume magnético do sistema.

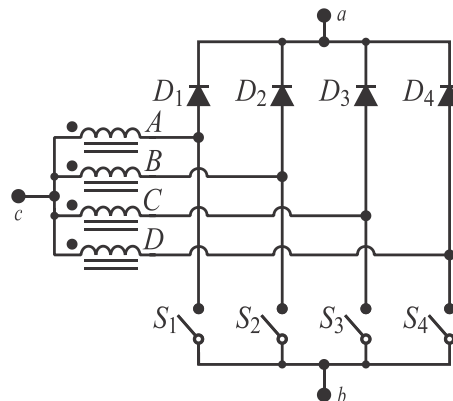
Essa combinação de compartilhamento intrínseco de corrente, elevação da frequência efetiva nos filtros e maior número de estados de comutação caracteriza a 4SSC como uma célula estruturalmente adequada para aplicações de elevada corrente e alta densidade de potência, especialmente quando se busca modularidade e escalabilidade por paralelismo de ramos.

2.5.4 Célula de Comutação de Múltiplos Estados

Ainda em Peraça *et al.* (2005), é apresentado que a célula de comutação pode ser expandida para uma MSSC por meio do aumento do número de fases da estrutura, realizado pela adição de novos braços e enrolamentos magneticamente acoplados. Nessa configuração, o número de estados sintetizados passa a ser definido pelo número de fases acrescido de uma unidade. Assim, uma estrutura com quatro fases resulta em uma célula de comutação de cinco estados (*five-state switching cell – 5SSC*), conforme ilustrado na Figura 44.

A estratégia de modulação empregada na MSSC também é baseada em técnicas PWM, nas quais os sinais de comando devem apresentar defasagem angular uniforme entre as fases. Para uma estrutura com n fases, a defasagem entre os sinais corresponde a $360^\circ/n$, garantindo a operação entrelaçada da célula e a correta síntese dos estados de comutação.

Figura 44 – Topologia da 5SSC.



Fonte: adaptada de Peraça *et al.* (2005).

2.6 CONSIDERAÇÕES PARCIAIS

A análise desenvolvida neste capítulo permite estabelecer que a evolução das topologias multiníveis está associada à necessidade de melhorar a qualidade espectral das formas de onda, reduzir esforços elétricos nos semicondutores e viabilizar aplicações de maior potência com dispositivos comercialmente disponíveis. As estruturas NPC, FC e CHB consolidaram os fundamentos da síntese multinível e permanecem como referência para o desenvolvimento de novas arquiteturas, embora apresentem crescimento significativo no número de dispositivos e maior complexidade estrutural à medida que o número de níveis é ampliado.

A comparação entre VSI e CSI evidencia que ambas as abordagens oferecem mecanismos distintos de processamento e compartilhamento de grandezas elétricas, com implicações diretas no dimensionamento dos semicondutores, nos elementos passivos e nas estratégias de modulação. As limitações observadas nessas famílias reforçam a relevância de investigações voltadas à reorganização estrutural das células de comutação, com foco na divisão de corrente, mitigação de ondulação e racionalização da contagem de componentes ativos.

A progressão das células de comutação da 2SSC às estruturas MSSC demonstra que o aumento do número de estados de comutação amplia as possibilidades de síntese multinível e favorece o compartilhamento estrutural de corrente entre ramos paralelos. Esse compartilhamento reduz a corrente eficaz individual nos dispositivos e desloca componentes harmônicas associadas à comutação para frequências mais elevadas, influenciando diretamente o projeto do filtro de saída e a distribuição térmica do conversor.

A incorporação de acoplamento magnético nas células de comutação, seja por meio de indutores acoplados ou de autotransformadores, mostra-se tecnicamente consistente como

mecanismo de redistribuição de corrente e reorganização dos estados de comutação. Nessas configurações, o elemento magnético deixa de exercer apenas função passiva de filtragem e passa a integrar a estrutura funcional da célula, com impacto na síntese de níveis e na frequência efetiva associada às componentes de ondulação.

Diante desse panorama, verifica-se que a abordagem baseada em células de comutação constitui uma linha de investigação estruturada e tecnicamente fundamentada dentro do universo das topologias multiníveis. Nesse contexto específico, a análise da topologia VSI 5L-D3SSC apresentada no capítulo seguinte insere-se como referência estrutural dentro dessa vertente, permitindo examinar de forma objetiva os efeitos do acoplamento magnético e da organização da 3SSC na síntese de níveis e na divisão de corrente.

3 INVERSOR VSI 5L-D3SSC

As topologias clássicas de inversores apresentam limitações quando submetidas a níveis mais elevados de tensão e corrente, sobretudo porque, em cada etapa de operação, a potência da carga é processada por um único dispositivo semicondutor de potência, concentrando esforços elétricos e térmicos em elementos específicos da estrutura.

Em Peraça *et al.* (2010), é proposta uma alternativa topológica com o objetivo de reduzir os níveis de corrente nos dispositivos semicondutores por meio da divisão da corrente principal entre estruturas operando em paralelo, utilizando modulação SPWM sem a necessidade de estratégias adicionais de balanceamento ativo. A proposta fundamenta-se na integração de duas 3SSC magneticamente acopladas, permitindo compartilhamento intrínseco de corrente entre os ramos.

A 3SSC foi originalmente proposta por Bascope *et al.* (2000) para aplicações em conversores CC-CC. Sua principal característica reside no emprego de autotransformador como elemento estrutural da célula, promovendo equalização de corrente e elevação da frequência efetiva associada às ondulações vistas pelos elementos de filtragem. Em aplicações típicas, cada 3SSC duplica a frequência efetiva de comutação, o que possibilita redução das dimensões dos componentes magnéticos e redistribuição dos esforços de corrente nos dispositivos semicondutores. Em função dessas propriedades, essa abordagem foi posteriormente investigada e adaptada a diferentes configurações e aplicações, conforme reportado em Balestero *et al.* (2005), Santelo *et al.* (2005), Câmara *et al.* (2010), Balestero *et al.* (2013), Pacheco *et al.* (2013), Barreto *et al.* (2014) e Gomes *et al.* (2019), entre outros.

Quando duas 3SSC magneticamente acopladas são aplicadas a um inversor VSI em ponte completa, em conjunto com modulação adequada, torna-se possível a síntese de tensão multinível na saída do conversor. Nessa configuração, cada meia-ponte baseada na 3SSC contribui para a formação dos níveis de tensão, enquanto a estrutura em ponte completa viabiliza a inversão de polaridade, resultando na obtenção de cinco níveis discretos. Adicionalmente, como cada 3SSC duplica a frequência efetiva de comutação, a tensão sintetizada passa a apresentar componentes harmônicas concentradas em torno de quatro vezes a frequência de comutação, aspecto relevante para o dimensionamento do filtro de saída.

Outra característica inerente às estruturas multiníveis consiste na aproximação da forma de onda sintetizada à senoidal, em comparação com inversores de dois níveis, reduzindo o conteúdo harmônico associado à tensão aplicada à carga. Essa propriedade decorre da presença de múltiplos níveis discretos, que diminuem a variação instantânea de tensão e,

consequentemente, a amplitude das componentes harmônicas de baixa ordem.

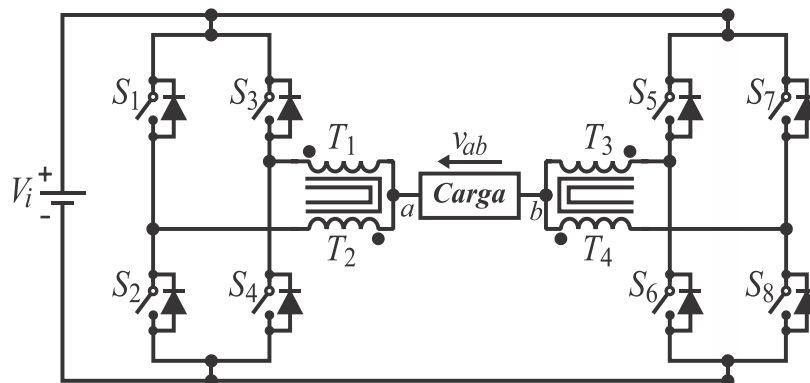
No contexto desta tese, essa topologia é denominada VSI 5L-D3SSC, com o objetivo de distingui-la claramente das configurações autorais desenvolvidas nos capítulos subsequentes. Ressalta-se que a modelagem, a abordagem analítica e o tratamento matemático empregados neste capítulo derivam diretamente do trabalho de Peraça *et al.* (2010), sendo aqui retomados com finalidade exclusivamente conceitual e metodológica. Assim, esta seção não possui caráter propositivo, mas estabelece os fundamentos estruturais, magnéticos e espectrais que motivaram as investigações desenvolvidas posteriormente.

A contribuição original desta tese não reside na proposição dessa topologia, mas na aplicação sistemática do princípio da dualidade tensão-corrente e na reorganização estrutural dos elementos constituintes, conduzindo ao desenvolvimento das topologias CSI 5L-3SSC e VSI 5L-3SSC. Essas novas configurações buscam racionalizar o número de dispositivos semicondutores de potência, simplificar a estrutura global do conversor e manter as propriedades desejáveis de síntese multinível e compartilhamento intrínseco de corrente, preservando coerência analítica com os fundamentos aqui apresentados.

Dessa forma, o presente capítulo estabelece a base conceitual e metodológica que sustenta as propostas subsequentes, funcionando como elo estruturante entre o estado da arte e as contribuições autorais desta pesquisa.

O inversor VSI 5L-D3SSC é ilustrado na Figura 45, evidenciando a estrutura composta por duas 3SSC magneticamente acopladas e organizadas em ponte completa.

Figura 45 – Inversor VSI 5L-D3SSC baseado na associação de duas 3SSC em configuração de ponte completa.



Fonte: adaptada de Peraça *et al.* (2010).

3.1 FUNCIONAMENTO DO INVERSOR VSI 5L-D3SSC

Com a utilização de uma modulação adequada para o inversor VSI 5L-D3SSC, apresentado na Figura 45, é proporcionado à sua saída cinco níveis de tensão em seus terminais a e b : $+V_i$, $+V_i/2$, 0 , $-V_i/2$ e $-V_i$. Como pode ser observado, os diodos da 3SSC tradicional são substituídos por interruptores bidirecionais em corrente, devido aos interruptores de um inversor VSI em ponte completa necessitarem conduzir a corrente em qualquer direção para a modulação PWM.

A 3SSC apresenta duas regiões básicas de operação. No caso desse inversor, no qual são empregadas duas células, essas regiões desdobram-se em quatro etapas de operação ao longo de um período fundamental. Em cada célula, os braços operam com defasagem de 180° entre si, enquanto a defasagem angular entre as duas células é estabelecida em 90° , com o objetivo de ampliar o número de níveis sintetizados e elevar a frequência efetiva observada na saída. Nessa configuração, os interruptores S_1 , S_3 , S_6 e S_8 operam com tempos de condução idênticos e defasados de 90° entre si, ao passo que os interruptores S_2 , S_4 , S_5 e S_7 são comandados de forma complementar.

3.1.1 Região de Operação A ($0 < D < 0,25$)

As etapas de operação para a região A são apresentadas na Tabela 1, em que zero (0) indica que o interruptor está bloqueado e um (1) indica que está em condução, a qual descreve os estados de comutação dos interruptores e as respectivas tensões de saída do inversor v_a , v_b e v_{ab} .

Tabela 1 – Estados de comutação dos interruptores para a região A ($0 < D < 0,25$).

Etapa	S_1	S_3	S_6	S_8	v_a	v_b	v_{ab}
1 ^a	1	0	0	0	$+V_i/2$	$+V_i$	$-V_i/2$
2 ^a	0	0	0	0	0	$+V_i$	$-V_i$
3 ^a	0	0	1	0	0	$+V_i/2$	$-V_i/2$
4 ^a	0	0	0	0	0	$+V_i$	$-V_i$
5 ^a	0	1	0	0	$+V_i/2$	$+V_i$	$-V_i/2$
6 ^a	0	0	0	0	0	$+V_i$	$-V_i$
7 ^a	0	0	0	1	0	$+V_i/2$	$-V_i/2$
8 ^a	0	0	0	0	0	$+V_i$	$-V_i$

Fonte: adaptada de Peraça *et al.* (2010).

Para determinar a tensão média na carga $V_{ab,avg}$ pode ser utilizado a integral de valor

médio, dada pela seguinte expressão (3.1).

$$V_{ab,avg} = \frac{1}{T} \left(\int_{t_i}^{t_f} v_{ab}(t) dt \right) \quad (3.1)$$

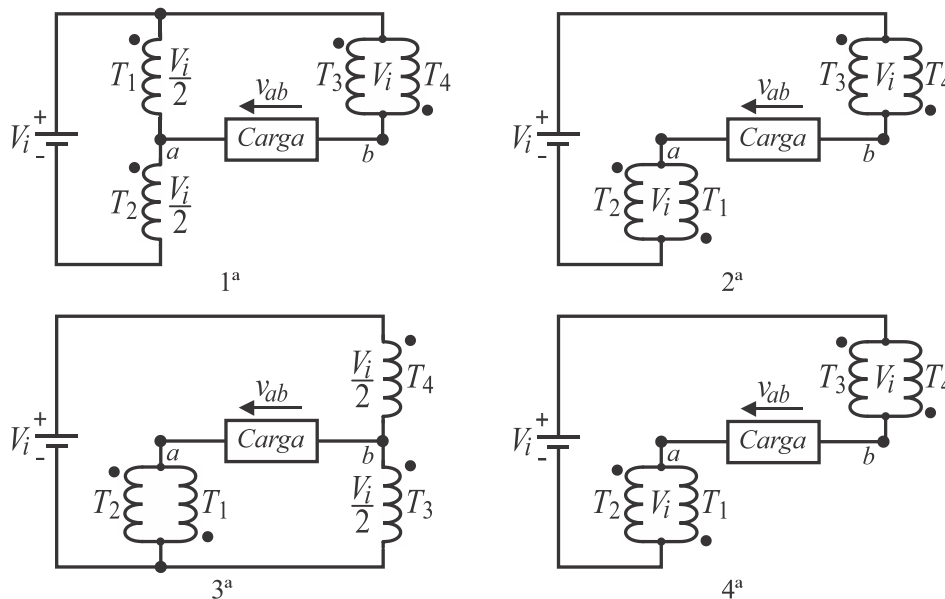
em que $v_{ab}(t)$ representa um sinal periódico de período T , definido no intervalo compreendido entre os instantes inicial t_i e final t_f .

Com base no circuito equivalente correspondente a essa etapa de operação, apresentado na Figura 46, e aplicando a definição de valor médio expressa em (3.1), é possível determinar a tensão média imposta à carga na região de operação A. Nessa condição, a topologia assume um estado de comutação bem definido, no qual a tensão aplicada aos terminais a – b permanece constante durante intervalos específicos do período de comutação, permitindo a avaliação direta de sua contribuição média, chegando-se a (3.2).

$$V_{ab,avg} = \frac{4}{T} \left(\int_{t_0}^{t_1} -\frac{V_i}{2} dt + \int_{t_0}^{t_1} -V_i dt \right) = V_i (2D - 1) \quad (3.2)$$

Além disso, em virtude da simetria temporal inerente ao padrão de comutação desse inversor, as etapas de operação se repetem ciclicamente ao longo do período de comutação. Dessa forma, a análise pode ser convenientemente restringida a apenas um quarto desse período, sem perda de generalidade, simplificando a dedução analítica e preservando a validade do resultado.

Figura 46 – Etapas de funcionamento do inversor VSI 5L-D3SSC para a região A.



Fonte: adaptada de Peraça *et al.* (2010).

3.1.2 Região de Operação B ($0,25 < D < 0,5$)

As etapas de operação correspondentes à região B de funcionamento do inversor, válida para razões cíclicas compreendidas entre 0,25 e 0,5, são apresentadas na Tabela 2.

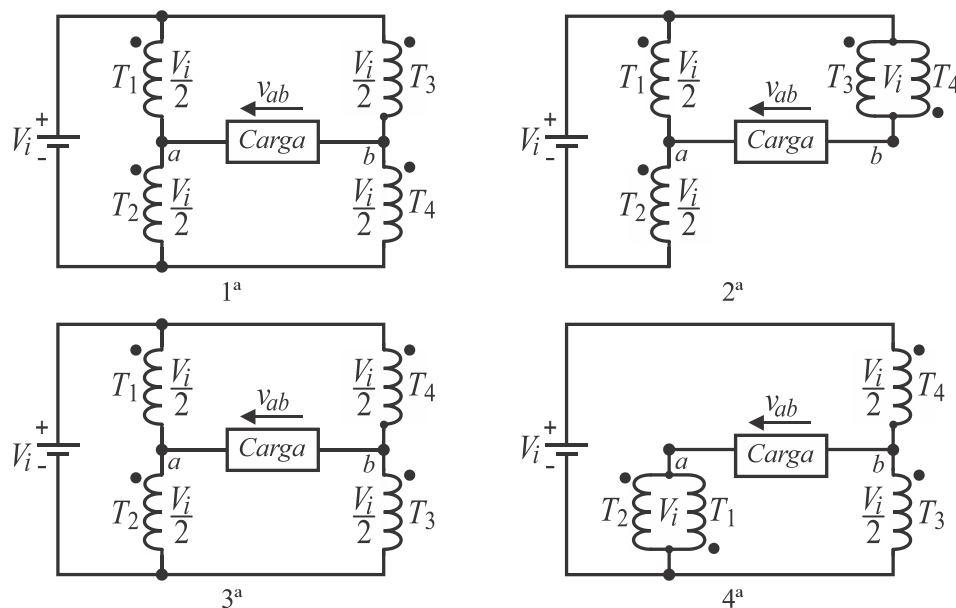
Tabela 2 – Estados de comutação dos interruptores para a região B ($0,25 < D < 0,5$).

Etapa	S_1	S_3	S_6	S_8	v_a	v_b	v_{ab}
1 ^a	1	0	0	1	$+V_i/2$	$+V_i/2$	0
2 ^a	1	0	0	0	$+V_i/2$	$+V_i$	$-V_i/2$
3 ^a	1	0	1	0	$+V_i/2$	$+V_i/2$	0
4 ^a	0	0	1	0	0	$+V_i/2$	$-V_i/2$
5 ^a	0	1	1	0	$+V_i/2$	$+V_i/2$	0
6 ^a	0	1	0	0	$+V_i/2$	$+V_i$	$-V_i/2$
7 ^a	0	1	0	1	$+V_i/2$	$+V_i/2$	0
8 ^a	0	0	0	1	0	$+V_i/2$	$-V_i/2$

Fonte: adaptada de Peraça *et al.* (2010).

A Figura 47 apresenta as quatro primeiras etapas de operação, suficientes para a compreensão do princípio geral de funcionamento da topologia. As etapas subsequentes não são detalhadas individualmente, pois seguem a mesma lógica operacional, diferindo apenas pela alternância dos interruptores em condução. Essa alternância preserva a dinâmica global do sistema e os mecanismos de transferência de energia ao longo de todo o ciclo de operação.

Figura 47 – Etapas de funcionamento do inversor VSI 5L-D3SSC para a região B.



Fonte: adaptada de Peraça *et al.* (2010).

Assim, por meio dos circuitos equivalentes e da expressão (3.1) pode ser determinada a tensão média imposta à carga para a região de operação B, considerando apenas um quarto do período de comutação, uma vez que as etapas se repetem, chegando-se a (3.3).

$$V_{ab,avg} = \frac{4}{T} \left(\int_{t_2}^{t_3} 0 dt + \int_{t_3}^{t_4} -\frac{V_i}{2} dt \right) = V_i (2D - 1) \quad (3.3)$$

3.1.3 Região de Operação C ($0,5 < D < 0,75$)

As etapas de operação correspondentes à região C, definida para razões cíclicas no intervalo $0,5 < D < 0,75$, estão apresentadas na Tabela 3. Nessa faixa de operação, o conversor sintetiza níveis intermediários de tensão por meio de combinações específicas dos interruptores S_1 , S_3 , S_6 e S_8 , resultando em diferentes valores instantâneos de v_a , v_b e, conseqüentemente, da tensão diferencial v_{ab} aplicada à carga.

A sequência completa é composta por oito etapas dentro de um período de comutação. As quatro primeiras etapas são ilustradas na Figura 48, enquanto as etapas subsequentes apresentam comportamento simétrico complementar, sendo omitidas por redundância estrutural. Observa-se que, ao longo da sequência, a tensão v_{ab} alterna entre os níveis $+V_i/2$ e 0, caracterizando a modulação típica dessa região de operação.

Tabela 3 – Estados de comutação dos interruptores para a região C ($0,5 < D < 0,75$).

Etapa	S_1	S_3	S_6	S_8	v_a	v_b	v_{ab}
1 ^a	1	1	0	1	$+V_i$	$+V_i/2$	$+V_i/2$
2 ^a	1	0	0	1	$+V_i/2$	$+V_i/2$	0
3 ^a	1	0	1	1	$+V_i/2$	0	$+V_i/2$
4 ^a	1	0	1	0	$+V_i/2$	$+V_i/2$	0
5 ^a	1	1	1	0	$+V_i$	$+V_i/2$	$+V_i/2$
6 ^a	0	1	1	0	$+V_i/2$	$+V_i/2$	0
7 ^a	0	1	1	1	$+V_i/2$	0	$+V_i/2$
8 ^a	0	1	0	1	$+V_i/2$	$+V_i/2$	0

Fonte: adaptada de Peraça *et al.* (2010).

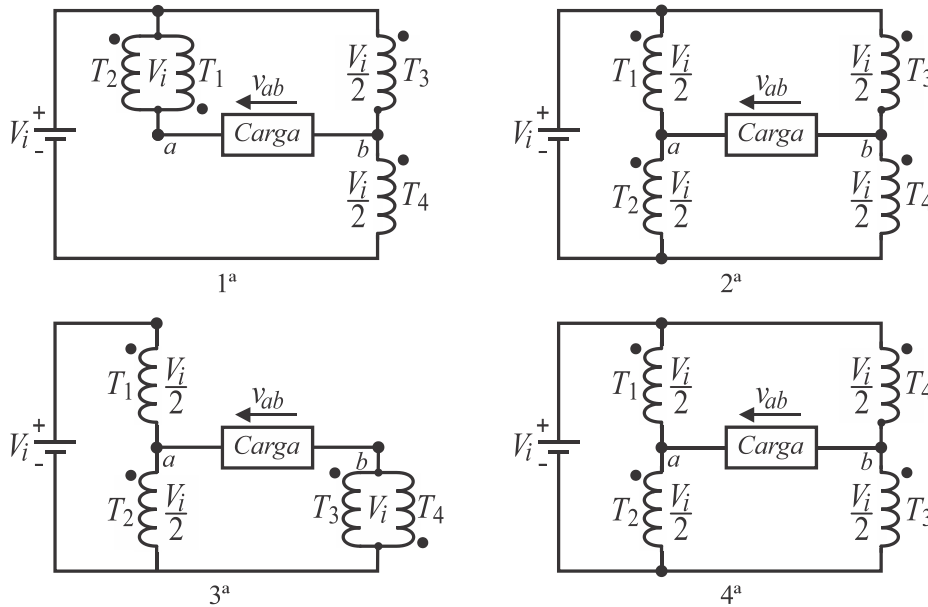
O circuito equivalente correspondente a essa condição de operação é apresentado na Figura 49. A partir desse modelo e da expressão geral da tensão média sobre a carga, dada em (3.1), determina-se a tensão média sintetizada na região C, resultando na expressão (3.4).

$$V_{ab,avg} = \frac{4}{T} \left(\int_{t_4}^{t_5} \frac{V_i}{2} dt + \int_{t_5}^{t_6} 0 dt \right) = V_i (2D - 1) \quad (3.4)$$

Essa expressão relaciona diretamente o valor médio de v_{ab} ao barramento V_i e à razão

cíclica D no intervalo considerado, caracterizando o ganho estático do conversor nessa faixa de operação.

Figura 48 – Etapas de funcionamento do inversor VSI 5L-D3SSC para a região C.



Fonte: adaptada de Peraça *et al.* (2010).

3.1.4 Região de Operação D ($0,75 < D < 1$)

As etapas de operação para a região D de funcionamento do conversor operando com razões cíclicas entre 0,75 e 1 é apresentada na Tabela 4.

Tabela 4 – Estados de comutação dos interruptores para a região D ($0,75 < D < 1$).

Etapa	S_1	S_3	S_6	S_8	v_a	v_b	v_{ab}
1ª	1	1	1	1	$+V_i$	0	$+V_i$
2ª	1	1	0	1	$+V_i$	$+V_i/2$	$+V_i/2$
3ª	1	1	1	1	$+V_i$	0	$+V_i$
4ª	1	0	1	1	$+V_i/2$	0	$+V_i/2$
5ª	1	1	1	1	$+V_i$	0	$+V_i$
6ª	1	1	1	0	$+V_i$	$+V_i/2$	$+V_i/2$
7ª	1	1	1	1	$+V_i$	0	$+V_i$
8ª	0	1	1	1	$+V_i/2$	0	$+V_i/2$

Fonte: adaptada de Peraça *et al.* (2010).

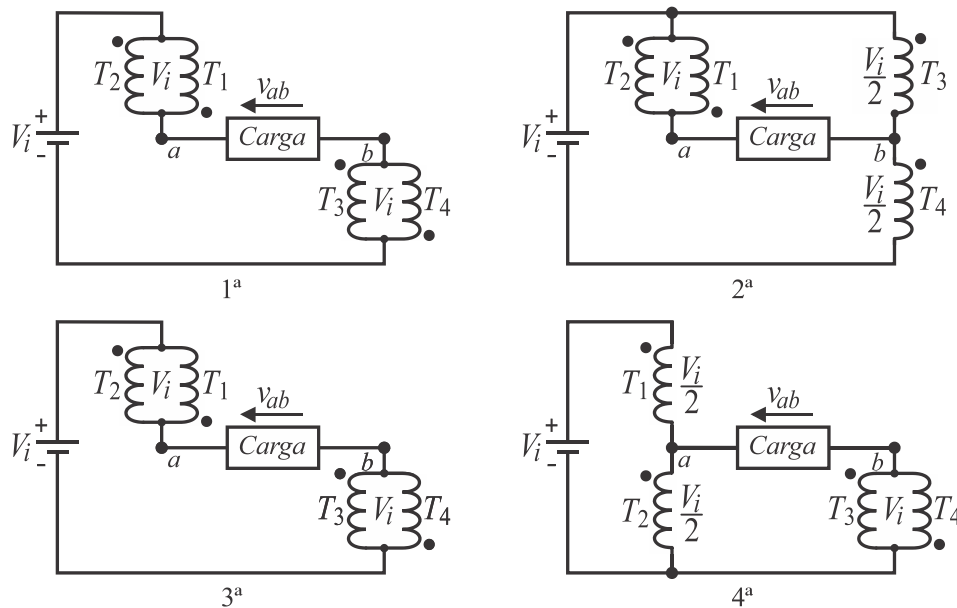
O circuito equivalente para esta etapa de operação apresentado na Figura 49 e a expressão (3.1) podem ser utilizados para determinar a tensão média imposta à carga para a

região de operação D, chegando-se à seguinte expressão:

$$V_{ab,avg} = \frac{4}{T} \left(\int_{t_6}^{t_7} V_i dt + \int_{t_7}^{t_8} \frac{V_i}{2} dt \right) = V_i (2D - 1) \quad (3.5)$$

As etapas de operação para as quatro primeiras etapas de funcionamento são representadas na Figura 49 e, assim como para as regiões anteriores, as outras etapas são ocultadas.

Figura 49 – Etapas de funcionamento do inversor VSI 5L-D3SSC para a região D.



Fonte: adaptada de Peraça *et al.* (2010).

Como pode ser observado pelas regiões de funcionamento do inversor, a cada região é apresentado dois níveis na tensão de saída. Entretanto, a tensão de saída para toda a faixa de operação do inversor pode sintetizar cinco níveis, como será visto adiante.

3.2 ESTRATÉGIA DE MODULAÇÃO DO INVERSOR VSI 5L-D3SSC

A modulação em inversores consiste no acionamento coordenado dos dispositivos semicondutores de potência com o objetivo de sintetizar, na saída, a forma de onda desejada, de acordo com as características estruturais da topologia empregada. Em inversores multiníveis, o procedimento torna-se mais elaborado quando comparado ao de dois níveis, em razão do maior número de estados de comutação disponíveis e da necessidade de coordenação entre múltiplos níveis de tensão, conforme discutido por (Yang *et al.*, 2014).

As principais estratégias de modulação aplicáveis a inversores multiníveis podem ser classificadas, de acordo com a frequência de comutação, em três categorias: modulação em alta

frequência, usualmente associada a técnicas PWM; modulação em frequência intermediária ou mista; e modulação em baixa frequência, também denominada modulação em frequência fundamental (Rodriguez *et al.*, 2009).

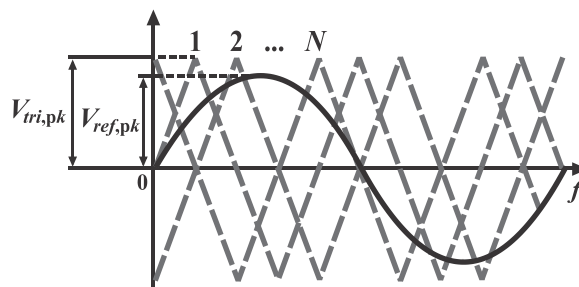
Entre as técnicas de alta frequência destacam-se a SVM e a PWM. No contexto das técnicas com múltiplas portadoras, distinguem-se duas abordagens principais: modulação por portadoras deslocadas em nível e modulação por portadoras deslocadas em fase.

A modulação por portadoras deslocadas em nível compreende as variantes clássicas modulação por largura de pulso por disposição em fase (*phase disposition pulse-width modulation* – PD-PWM), modulação por largura de pulso por disposição em oposição de fase (*phase opposition disposition pulse-width modulation* – POD-PWM) e modulação por largura de pulso por disposição alternada em oposição de fase (*alternate phase opposition disposition pulse-width modulation* – APOD-PWM), conforme apresentado por (Tolbert *et al.*, 2000). Nessas técnicas, as portadoras são distribuídas em diferentes faixas verticais de amplitude.

A modulação por portadoras deslocadas em fase é usualmente denominada modulação por largura de pulso com portadoras defasadas (*phase-shifted carrier pulse-width modulation* – PSC-PWM), conforme descrito por (Hart, 2010). Nessa abordagem, as portadoras apresentam mesma amplitude e mesma frequência, diferenciando-se exclusivamente pelo deslocamento angular entre elas.

Na aplicação dessa estratégia, a síntese da tensão alternada na saída do inversor é realizada pela comparação entre N portadoras triangulares $v_{tri,k}(t)$, com $k = 1, 2, \dots, N$, e o sinal de referência senoidal $v_{ref}(\omega t)$, cuja frequência define a frequência fundamental desejada, conforme ilustrado na Figura 50. Para um inversor com m níveis de tensão na saída, o número de portadoras é dado por $N = m - 1$.

Figura 50 – Estratégia geral de modulação PSC-PWM para inversor multinível.



Fonte: adaptada de Hart (2010).

Todas as portadoras $v_{tri,k}(t)$ apresentam a mesma frequência de comutação f_s e a mesma amplitude de pico $V_{tri,pk}$. O deslocamento angular entre portadoras adjacentes é uniforme.

O ângulo de defasagem entre portadoras é determinado por (3.6).

$$\phi = \frac{360^\circ}{N} \quad (3.6)$$

A expressão apresentada em (3.6) garante a distribuição uniforme das portadoras ao longo do período de comutação, contribuindo para a redistribuição espectral das componentes harmônicas associadas à comutação, conforme discutido por Rodriguez *et al.* (2009).

Para a caracterização da modulação definem-se o índice de modulação em amplitude M e o índice de modulação em frequência M_f , dados respectivamente por (3.7) e (3.8).

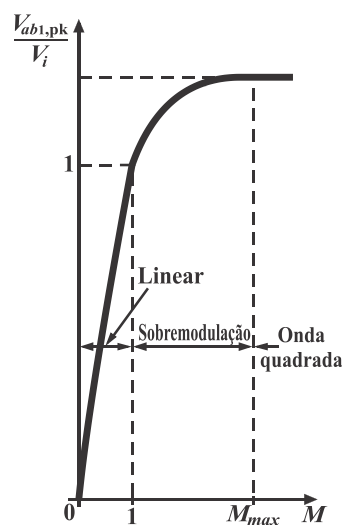
$$M = \frac{V_{ref, pk}}{V_{tri, pk}} \quad (3.7)$$

$$M_f = \frac{f_s}{f} \quad (3.8)$$

Em (3.7), $V_{ref, pk}$ representa o valor de pico da referência senoidal $v_{ref}(\omega t)$. O índice M_f estabelece a razão entre a frequência de comutação e a frequência fundamental.

A amplitude da componente fundamental da tensão de saída depende diretamente do índice de modulação. Para $M < 1$, o inversor opera na região linear, na qual a amplitude da componente fundamental é proporcional a esse índice. Para $M > 1$, estabelece-se a condição de sobremodulação, caracterizada pela perda de linearidade entre o índice de modulação e a amplitude da fundamental, conforme ilustrado na Figura 51.

Figura 51 – O valor de pico da componente fundamental da tensão de saída $V_{ab1, pk}$ em função de M , normalizada por V_i .



Fonte: adaptada de Mohan *et al.* (2003).

Na região linear de operação, a amplitude de pico da componente fundamental da tensão de saída é expressa por (3.9).

$$V_{ab1,\text{pk}} = MV_i \quad (3.9)$$

A expressão apresentada em (3.9) evidencia que, para VSI, o índice de modulação estabelece uma relação direta entre a amplitude da tensão fundamental sintetizada e a tensão do barramento CC V_i .

A Figura 51 apresenta três regiões distintas de operação: região linear, para $0 \leq M \leq 1$; região de sobremodulação, para $1 < M < M_{max}$; e região de onda quadrada, quando $M = M_{max}$. O parâmetro M_{max} representa o valor máximo admissível do índice de modulação antes que a forma de onda sintetizada se torne uma onda quadrada plena, dependendo da topologia do inversor e da definição adotada para o índice de modulação. Em uma ponte completa ideal, por exemplo, $M_{max} = 4/\pi$, conforme demonstrado por Mohan *et al.* (2003). Em topologias multiníveis, esse limite pode assumir valores distintos em função da estrutura e da técnica de modulação empregada.

Contudo, o significado físico do índice de modulação difere entre VSI e CSI. Nos inversores VSI, o índice M relaciona a amplitude da componente fundamental da tensão sintetizada na saída com a tensão do barramento CC, definindo, na região linear, o nível de tensão aplicado à carga. Em inversores CSI, o mesmo índice está associado à modulação da corrente de saída, vinculando a amplitude da componente fundamental da corrente sintetizada à corrente contínua fornecida pela fonte CC. Assim, embora a notação seja a mesma, a interpretação física e a influência sobre as grandezas de saída dependem da natureza do inversor.

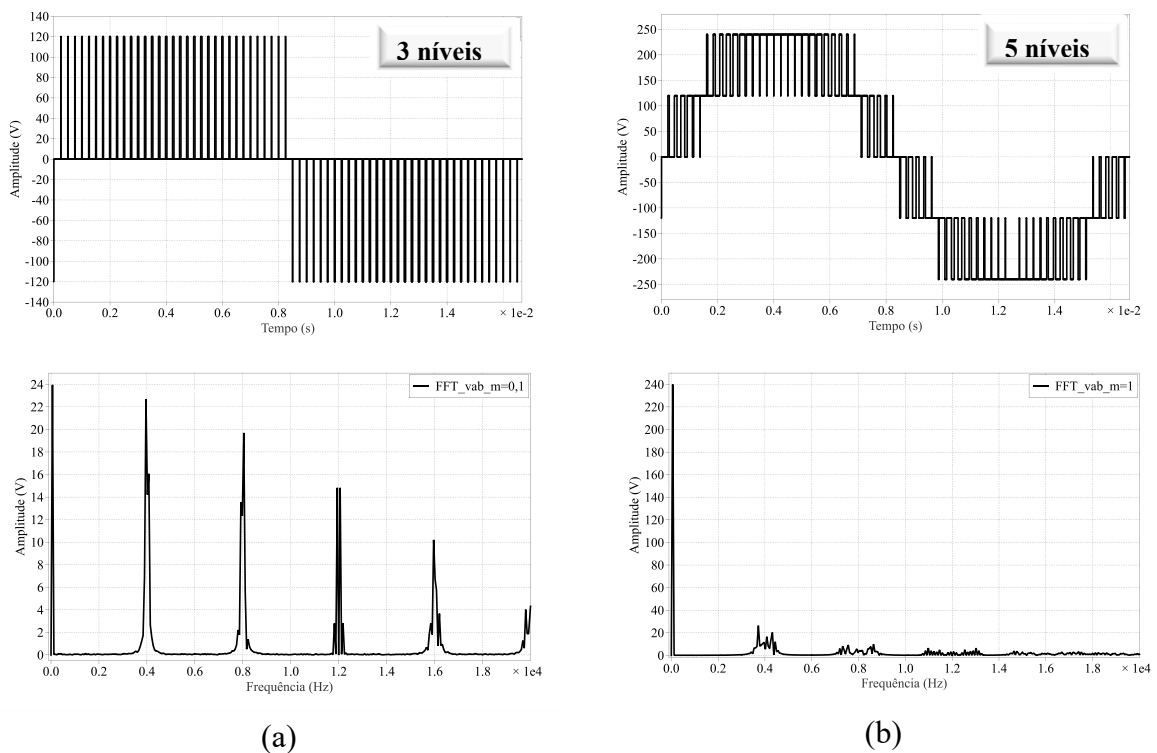
Particularizando para o inversor VSI 5L-D3SSC, tem-se $m = 5$, resultando em quatro portadoras triangulares $v_{tri,k}(t)$, com $k = 1, 2, 3, 4$, defasadas entre si de 90° , conforme obtido a partir de (3.6).

Para validar esses conceitos foi utilizado o circuito do inversor VSI 5L-D3SSC apresentado na Figura 45. A Figura 52 apresenta a tensão de saída v_{ab} e seus respectivos espectros harmônicos para (a) $M = 0,1$ e (b) $M = 1$. As formas de onda foram obtidas por simulação computacional em condições idealizadas, considerando $V_i = 240$ V, $f = 60$ Hz, $f_s = 1$ kHz e carga puramente resistiva $R_o = 2 \Omega$.

Observa-se, a partir da Figura 52, que a variação do índice de modulação no intervalo entre 0,1 e 1 resulta em aumento proporcional da amplitude da componente fundamental da tensão de saída e na ampliação do número de níveis efetivamente sintetizados ao longo do período fundamental. Para $M = 0,1$, a baixa amplitude da referência conduz a uma forma de onda predominantemente de três níveis, com valor de pico próximo a $V_i/2$, e a componente

fundamental apresenta pequena magnitude em comparação às componentes associadas à comutação, concentradas predominantemente nas vizinhanças da frequência efetiva de comutação $4f_s$, decorrente do emprego de quatro portadoras triangulares defasadas. Para $M=1$, os cinco níveis estruturais passam a ser plenamente explorados, elevando significativamente a componente fundamental e aumentando a razão entre esta e as harmônicas de alta frequência. Nessas condições de operação linear, a tensão fundamental de pico na saída do inversor pode ser expressa por (3.9).

Figura 52 – Formas de onda e espectros harmônicos resultantes da modulação PSC-PWM aplicada ao inversor VSI 5L-D3SSC com: (a) $M=0,1$; (b) $M=1$.



Fonte: próprio autor.

Assim, conhecendo-se o índice de modulação em amplitude e a grandeza de entrada correspondente, torna-se possível obter, na carga, uma tensão ou corrente de saída com forma de onda senoidal, desde que seja empregado um filtro adequado na saída do inversor.

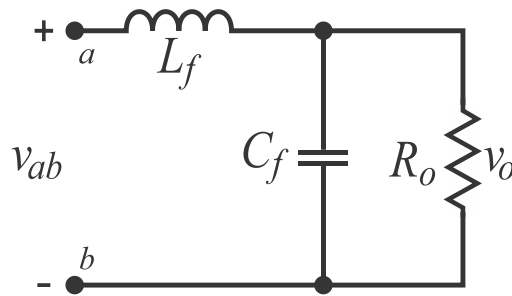
3.3 PROJETO DO FILTRO LC

O inversor sintetiza nos terminais da carga uma tensão alternada multinível contendo componentes harmônicas concentradas nas vizinhanças da frequência de comutação e de seus múltiplos. Para a obtenção de uma tensão aproximadamente senoidal com reduzido conteúdo harmônico, torna-se necessária a inserção de um estágio de filtragem na saída do conversor.

Considerando tratar-se de uma aplicação com saída em tensão, adota-se um filtro passa-baixas do tipo LC, constituído por um indutor em série L_f e um capacitor em derivação C_f .

O circuito do filtro empregado é apresentado na Figura 53. O procedimento de projeto baseia-se na análise da resposta em frequência da função de transferência entre a tensão sintetizada pelo inversor e a tensão aplicada à carga, conforme metodologia proposta por Martins *et al.* (2008).

Figura 53 – Filtro LC de saída empregado ao inversor VSI 5L-D3SSC.



Fonte: adaptada de Martins *et al.* (2008).

Para a modelagem, o circuito é analisado no domínio de Laplace, definindo-se a tensão de saída como $V_o(s)$. A relação entre a tensão de saída e a tensão aplicada pelo inversor é apresentada em (3.10).

$$V_o(s) = \frac{V_{ab}(s)(sR_oC_f + 1)}{s^2R_oL_fC_f + sL_f + R_o} \cdot \frac{R_o}{sR_oC_f + 1} = \frac{V_{ab}(s)}{s^2L_fC_f + s\frac{L_f}{R_o} + 1} \quad (3.10)$$

A expressão em (3.10) resulta da aplicação direta das impedâncias no domínio de Laplace ao circuito da Figura 53.

A razão entre as tensões de saída e entrada é dada em (3.11).

$$\frac{V_o(s)}{V_{ab}(s)} = \frac{1}{s^2L_fC_f + s\frac{L_f}{R_o} + 1} \quad (3.11)$$

A forma apresentada em (3.11) caracteriza um sistema de segunda ordem com ganho unitário em regime permanente, podendo ser reescrita na forma padrão de segunda ordem conforme (3.12).

$$\frac{V_o(s)}{V_{ab}(s)} = \frac{\omega_o^2}{s^2 + 2\zeta\omega_o s + \omega_o^2} \quad (3.12)$$

A comparação direta entre (3.11) e (3.12) permite identificar o fator de amortecimento e a frequência angular natural, que são definidos em (3.13) e (3.14), respectivamente.

$$\zeta = \frac{1}{2R_o} \sqrt{\frac{L_f}{C_f}} \quad (3.13)$$

$$\omega_o = \frac{1}{\sqrt{L_f C_f}} \quad (3.14)$$

O amortecimento é determinado pela relação entre a resistência equivalente da carga e os elementos reativos.

Embora a saída do inversor apresente uma impedância equivalente Z_o , o dimensionamento é conduzido assumindo uma resistência equivalente R_o . O valor de R_o pode ser definido conforme (3.15).

$$R_o = |Z_o| = \frac{V_{o1,rms}^2}{P_o} \cos \phi \quad (3.15)$$

Em (3.15), $V_{o1,rms}$ representa o valor eficaz da componente fundamental da tensão de saída, P_o é a potência nominal e ϕ é o ângulo do fator de potência.

Segundo Martins *et al.* (2008), o coeficiente de amortecimento ζ deve situar-se entre 0,707 e 1. Esse intervalo assegura resposta dinâmica adequada sem sobre-elevação excessiva.

A frequência de ressonância do filtro é definida a partir de (3.14) e pode ser expressa em função da frequência em hertz conforme (3.17).

$$L_f = \frac{1}{\omega_r^2 C_f} = \frac{1}{(2\pi f_r)^2 C_f} \quad (3.16)$$

A expressão em (3.17) permite determinar a indutância a partir da frequência de ressonância desejada.

Da manipulação da expressão (3.13), obtém-se a relação L_f e C_f apresentada em (3.17).

$$L_f = 4R_o^2 \zeta^2 C_f \quad (3.17)$$

Essa relação explicita a dependência da indutância com a resistência equivalente e o fator de amortecimento.

Substituindo (3.17) em (3.14), obtém-se a capacitância necessária conforme (3.18).

$$C_f = \frac{1}{4\pi\zeta f_r R_o} \quad (3.18)$$

Uma vez determinado o valor da capacitância de filtro, o correspondente valor da indutância pode ser obtido diretamente a partir de (3.17). Alternativamente, a indutância também pode ser expressa em função da capacitância por meio da manipulação da expressão (3.14), conforme (3.19).

$$L_f = \frac{1}{\omega_r^2 C_f} = \frac{1}{(2\pi f_r)^2 C_f} \quad (3.19)$$

3.4 RESULTADOS DE SIMULAÇÃO

Com o objetivo de ilustrar o princípio de operação do inversor VSI 5L-D3SSC e evidenciar os fundamentos estruturais que motivaram o desenvolvimento das topologias apresentadas nos capítulos subseqüentes, foram realizadas simulações computacionais em ambiente PLECS, adotando-se os parâmetros de projeto apresentados na Tabela 5. A análise possui caráter demonstrativo, concentrando-se na síntese multinível, na atuação da modulação PSC-PWM e no papel estrutural do autotransformador no compartilhamento de corrente.

Tabela 5 – Parâmetros de projeto para simulação do inversor VSI 5L-D3SSC.

Parâmetros	Símbolo	Valor
Tensão de entrada	V_i	240 V
Frequência de comutação	f_s	10 kHz
Frequência fundamental	f	60 Hz
Resistência de carga	R_o	22 Ω
Potência aparente de saída	S_o	1,1 kVA

A tensão eficaz desejada na carga é determinada conforme (3.20).

$$V_{o,rms} = \sqrt{S_o R_o} \quad (3.20)$$

Substituindo os valores numéricos, dados na Tabela 5, obtém-se tensão eficaz de saída igual a 155,56 V.

A corrente eficaz correspondente é obtida conforme (3.21).

$$I_{o,rms} = \frac{V_{o,rms}}{R_o} \quad (3.21)$$

Substituindo os valores, resulta em 7,07 A.

Considerando que a tensão aplicada à carga, após a filtragem, é aproximadamente senoidal e utilizando a relação entre a componente fundamental de pico e o índice de modulação apresentada em (3.9), o índice de modulação necessário é determinado conforme (3.22).

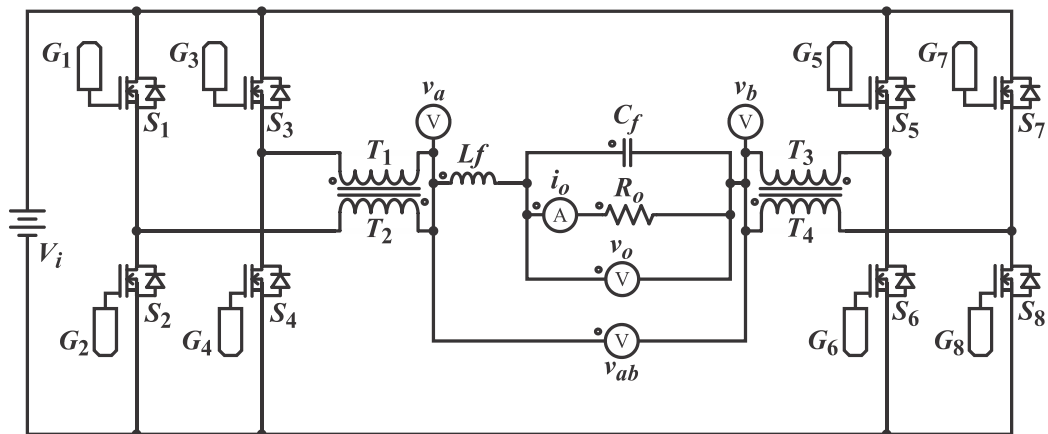
$$M = \frac{\sqrt{2}V_{o,rms}}{V_i} \quad (3.22)$$

Substituindo (3.20) e $V_i = 240$ V em (3.22), obtém-se o índice de modulação igual a 0,917.

O dimensionamento do filtro LC segue as relações apresentadas anteriormente. A capacitância é determinada conforme (3.18), resultando em $4,52 \mu\text{F}$. Já a indutância é obtida conforme (3.17), resultando em $5,60 \text{ mH}$.

A implementação do circuito no ambiente de simulação é apresentada na Figura 54.

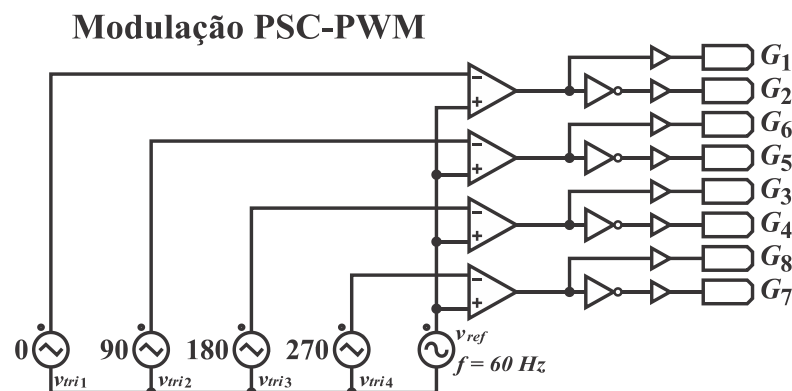
Figura 54 – Diagrama elétrico do VSI 5L-D3SSC implementado no ambiente de simulação.



A estrutura evidencia as duas células 3SSC, o autotransformador com seus enrolamentos acoplados magneticamente e o filtro LC conectado à carga resistiva. A disposição dos elementos permite observar claramente o caminho de síntese dos níveis intermediários e o mecanismo de compartilhamento de corrente entre os ramos.

A estrutura funcional da modulação empregada é apresentada na Figura 55.

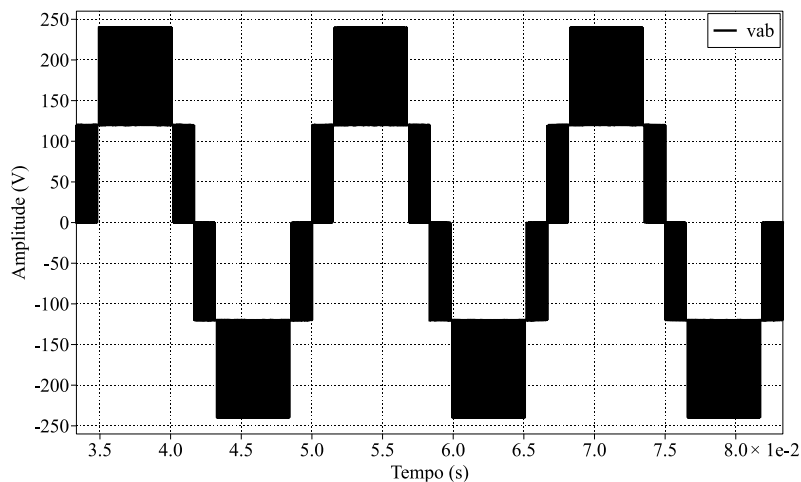
Figura 55 – Estrutura da modulação PSC-PWM aplicada ao inversor VSI 5L-D3SSC.



Observa-se a utilização de quatro portadoras triangulares defasadas de 90° , responsáveis pelo entrelaçamento das comutações. Esse entrelaçamento resulta na multiplicação da frequência efetiva da ondulação e no deslocamento das componentes harmônicas para faixas elevadas de frequência.

A tensão sintetizada pelo inversor v_{ab} é apresentada na Figura 56.

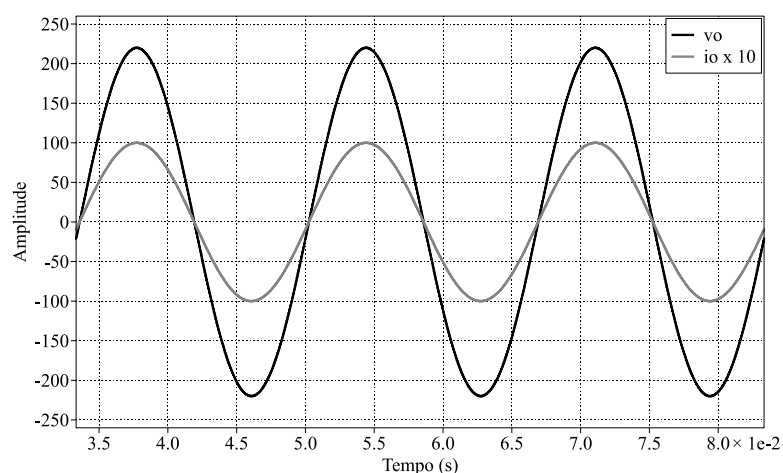
Figura 56 – Tensão sintetizada v_{ab} do inversor VSI 5L-D3SSC.



Verifica-se a correta geração dos cinco níveis discretos ao longo do período fundamental. Os níveis extremos são limitados pela tensão do barramento CC, enquanto os níveis intermediários decorrem da ação combinada das duas 3SSC e do acoplamento magnético do autotransformador. A forma de onda confirma a coerência entre o modelo teórico e o resultado numérico.

A tensão e a corrente na carga correspondentes são apresentadas na Figura 57.

Figura 57 – Tensão na carga v_o e corrente i_o do inversor VSI 5L-D3SSC.

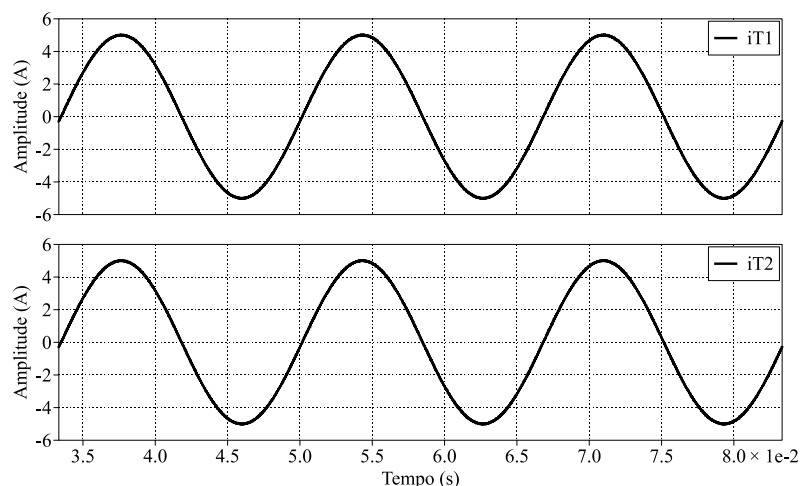


Observa-se que o filtro LC promove a atenuação das componentes de alta frequência presentes em v_{ab} , resultando na tensão v_o praticamente senoidal aplicada à carga. A corrente i_o , por sua vez, apresenta comportamento igualmente senoidal, coerente com a natureza puramente resistiva da carga. Os valores eficazes obtidos na simulação estão em concordância com os valores calculados em (3.20) e (3.21).

As correntes nos enrolamentos representativos do autotransformador são apresentadas

na Figura 58.

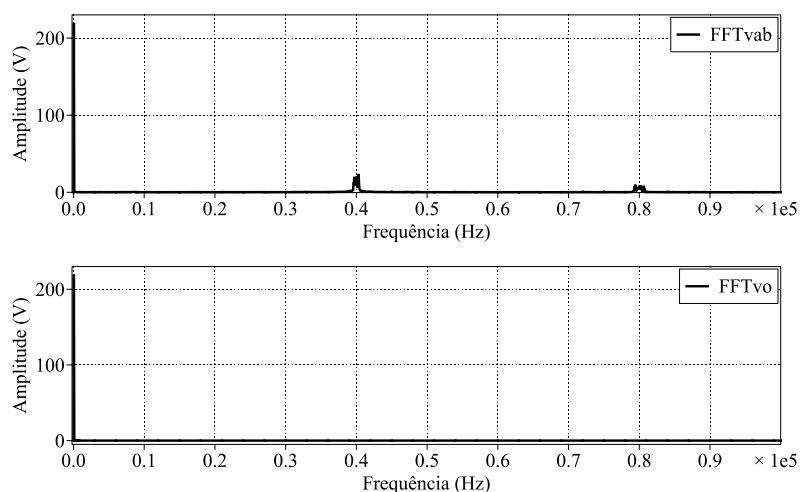
Figura 58 – Correntes nos enrolamentos representativos do autotransformador.



Observa-se compartilhamento equilibrado da corrente de carga entre os ramos da célula, com amplitudes praticamente idênticas e formas de onda simétricas.

A análise espectral das tensões sintetizada e filtrada é apresentada na Figura 59.

Figura 59 – Espectro harmônico da tensão v_{ab} e da tensão na carga v_o .



O espectro de v_{ab} apresenta a fundamental em f e agrupamentos dominantes em torno de $4f_s$ e seus múltiplos, pois cada 3SSC duplica a frequência efetiva de comutação, enquanto v_o preserva essencialmente a fundamental após a filtragem LC.

Os resultados apresentados demonstram a correta síntese multinível, o compartilhamento intrínseco de corrente proporcionado pelo autotransformador e a organização espectral promovida pela modulação PSC-PWM. A presente análise cumpre o papel de evidenciar os fundamentos estruturais e funcionais que serviram de base para a aplicação do

princípio da dualidade tensão-corrente, a partir do qual foram desenvolvidas as topologias CSI 5L-3SSC e, posteriormente, o VSI 5L-3SSC apresentados nesta tese.

3.5 CONSIDERAÇÕES PARCIAIS

A análise desenvolvida neste capítulo permitiu evidenciar o princípio de operação do inversor VSI 5L-D3SSC, destacando a síntese multinível obtida por meio da estrutura baseada em duas 3SSC magneticamente acopladas, a atuação da modulação PSC-PWM e o papel estrutural do autotransformador no compartilhamento de corrente entre os ramos. Os resultados de simulação confirmaram a geração consistente de cinco níveis na tensão v_{ab} , a organização espectral com concentração harmônica em torno de $4f_s$ e seus múltiplos, bem como a eficácia do filtro LC na obtenção de tensão e corrente aproximadamente senoidais na carga.

Observou-se ainda que o autotransformador não atua como elemento auxiliar isolado, mas como parte intrínseca das 3SSC, impondo o equilíbrio de corrente entre os enrolamentos e participando diretamente da síntese dos níveis de tensão. Essa característica evidencia a importância do acoplamento magnético como mecanismo estrutural de equalização e como elemento fundamental para o funcionamento da topologia.

Embora o inversor VSI 5L-D3SSC, originalmente proposto por Peraça *et al.* (2010), apresente desempenho coerente com os fundamentos teóricos revisitados, sua configuração envolve um número relativamente elevado de dispositivos semicondutores de potência e elementos estruturais. Nesse contexto, a presente análise cumpre papel estratégico ao estabelecer a base conceitual que motivou a busca por soluções estruturalmente mais compactas e com racionalização no emprego de dispositivos.

A partir da compreensão detalhada do funcionamento dessa topologia e da aplicação sistemática do princípio da dualidade tensão-corrente, foram concebidas novas configurações multiníveis com redução no número de dispositivos e maior compacidade estrutural, resultando nas topologias CSI 5L-3SSC e, posteriormente, VSI 5L-3SSC desenvolvidas nesta tese. Assim, este capítulo estabelece a ponte conceitual entre a topologia inspiradora e as propostas originais apresentadas nos capítulos seguintes, fornecendo o referencial técnico necessário à compreensão das contribuições desta pesquisa.

4 INVERSOR MONOFÁSICO CSI DE CINCO NÍVEIS BASEADO NA 3SSC

Este capítulo apresenta o inversor monofásico CSI de cinco níveis baseado na 3SSC, denominado CSI 5L-3SSC, abordando sua estrutura, o princípio de operação e a formalização da SVM aplicada à síntese multinível de corrente. São descritos os estados de comutação e as etapas de funcionamento, seguidos da determinação das principais grandezas elétricas associadas ao conversor.

4.1 ANÁLISE QUALITATIVA

A técnica de modulação adotada, os modos de operação e as etapas de funcionamento do inversor CSI 5L-3SSC são apresentados nesta seção, estabelecendo a base conceitual para a formulação analítica desenvolvida posteriormente.

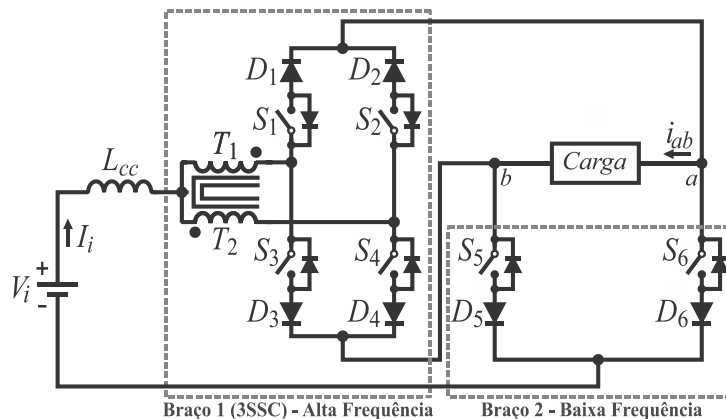
4.1.1 Descrição da Topologia

O inversor monofásico CSI de cinco níveis baseado na 3SSC é apresentado na Figura 60. A estrutura é composta por um indutor de entrada CC L_{cc} , responsável por impor a característica de fonte de corrente ao conversor, e por uma 3SSC formada por quatro interruptores de alta frequência S_1-S_4 associados a um autotransformador integrado, que assegura o compartilhamento de corrente adequado entre os ramos magneticamente acoplados, sem a necessidade de técnicas de controle especiais. A topologia é complementada por dois interruptores S_5 e S_6 , operando em baixa frequência, responsáveis pela reversão controlada do sentido da corrente a cada semiperíodo da fundamental. Em função do caráter fonte de corrente da estrutura, os interruptores S_1-S_6 são associados a diodos em série D_1-D_6 , garantindo trajetórias de condução compatíveis com a corrente imposta por L_{cc} e prevenindo estados de circulação de corrente não controlada.

A concepção estrutural teve como referência inicial o MCSI proposto por Vázquez *et al.* (2010), especialmente quanto ao emprego de dispositivos comutados em baixa frequência para a reversão do sentido da corrente de saída i_{ab} . A partir desse conceito, aplicou-se de forma sistemática o princípio da dualidade ao inversor VSI 5L-D3SSC, estabelecendo a correspondência entre os elementos associados à síntese de tensão e seus equivalentes voltados à síntese de corrente. Essa abordagem resultou em uma configuração compacta, na qual uma única 3SSC opera em alta frequência, enquanto dois interruptores em baixa frequência realizam

a reversão da corrente ao longo de cada semiperíodo, permitindo a obtenção de cinco níveis de corrente na saída.

Figura 60 – Topologia monofásica CSI de cinco níveis baseado na 3SSC.



Fonte: próprio autor.

Nesta topologia, a variável controlada é a corrente, enquanto a tensão nos terminais CA resulta da interação entre a corrente imposta e a impedância da carga. A eventual conexão de um capacitor na saída tem finalidade de filtragem da tensão. Assim, sua presença impõe restrições adicionais aos estados de comutação admissíveis, a fim de evitar curto-circuito do ramo capacitivo ou caminhos indevidos de circulação de corrente. A associação dos diodos D_1 – D_6 aos interruptores assegura o bloqueio dessas trajetórias indesejadas, garantindo que a corrente imposta seja direcionada de forma controlada à carga e preservando a coerência física do modelo de fonte de corrente adotado.

A estratégia de modulação empregada baseia-se em modulação SVM, permitindo a organização sistemática dos vetores de comutação e assegurando consistência entre a descrição qualitativa e a formulação analítica desenvolvida nas seções seguintes.

4.1.2 Etapas de Funcionamento

A partir da estrutura apresentada e das características de síntese multinível discutidas anteriormente, o funcionamento do inversor CSI 5L-3SSC é analisado por meio da sequência de estados de comutação ao longo de um período fundamental. Essa análise permite identificar as etapas de funcionamento associadas a cada semiciclo da tensão de saída, bem como o papel desempenhado pelos interruptores operando em alta e baixa frequência.

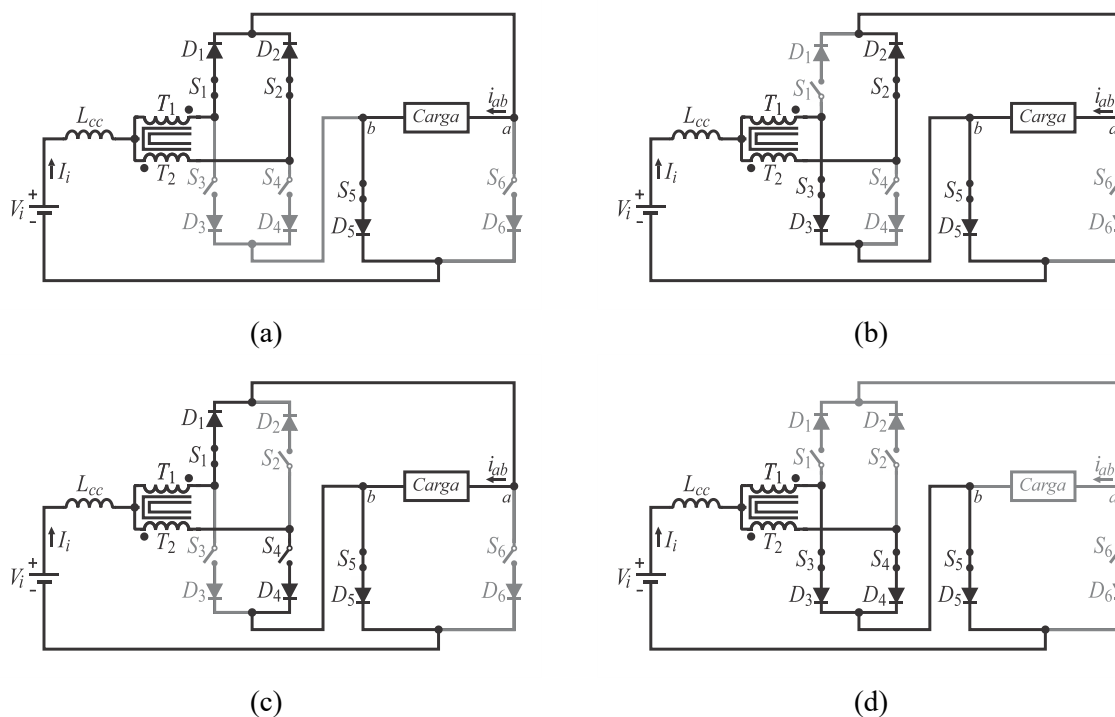
Para a análise do funcionamento do conversor ilustrado na Figura 60, adotam-se as seguintes premissas:

- os componentes, passivos e ativos, são considerados ideais;
- a frequência de comutação é fixa;
- a relação de transformação do autotransformador é unitária;
- a corrente magnetizante é desprezível em relação à corrente de carga;
- o conversor opera em regime permanente;
- os interruptores S_1 , S_2 e S_5 operam de forma complementar aos interruptores S_3 , S_4 e S_6 , respectivamente.

As etapas de funcionamento e as respectivas combinações de comutação dos interruptores conduzem à síntese de uma forma de onda de corrente com cinco níveis discretos na saída do conversor. Cada nível resulta de uma configuração específica dos interruptores da célula 3SSC associada à seleção da polaridade imposta pelo ramo de baixa frequência.

A Figura 61(a)–(d) apresenta as etapas correspondentes ao semiciclo positivo da tensão de saída, evidenciando as diferentes combinações dos interruptores de alta frequência responsáveis pela geração dos níveis intermediários e extremos da corrente. Nessas condições, a polaridade da tensão aplicada à carga permanece positiva, sendo determinada pelos interruptores de baixa frequência em condução.

Figura 61 – Etapas de operação para o semiciclo positivo do inversor CSI 5L-3SSC: (a) 1ª etapa, (b) 2ª etapa, (c) 3ª etapa e (d) 4ª etapa.

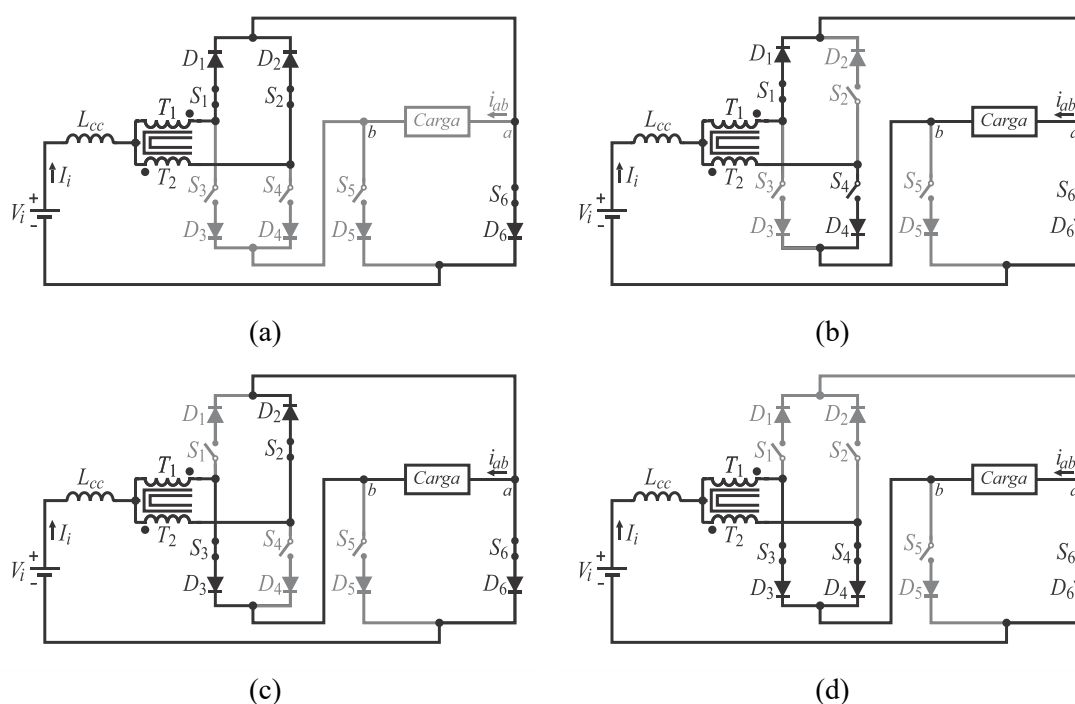


Fonte: próprio autor.

De forma análoga, a Figura 62(a)–(d) ilustra as etapas associadas ao semiciclo negativo.

Embora a estrutura interna da 3SSC mantenha o mesmo princípio de operação, ocorre a inversão da polaridade da tensão aplicada à carga, estabelecida exclusivamente pela comutação dos interruptores de baixa frequência. A sequência de estados da célula permanece estruturalmente equivalente àquela observada no semiciclo positivo, garantindo simetria operacional ao longo do período fundamental.

Figura 62 – Etapas de operação para o semiciclo negativo do inversor CSI 5L-3SSC: (a) 5ª etapa, (b) 6ª etapa, (c) 7ª etapa e (d) 8ª etapa.



Fonte: próprio autor.

Observa-se, portanto, que a 3SSC percorre seus três estados de comutação em ambos os semiciclos, sendo responsável pela síntese dos níveis discretos da corrente de saída. Já os interruptores que operam em baixa frequência atuam apenas na definição da polaridade instantânea da tensão aplicada à carga, não participando da geração dos níveis intermediários. Essa separação funcional entre a etapa de alta frequência e a etapa de baixa frequência constitui característica fundamental da topologia e permite a obtenção da forma de onda multinível com limitação do esforço elétrico aos dispositivos semicondutores de potência.

Considerando as premissas adotadas e a operação do inversor nos semiciclos positivo e negativo da tensão de saída, as etapas de funcionamento associadas à síntese multinível são identificadas a partir da sequência de estados de comutação assumidos pelos interruptores. A seguir, descrevem-se as etapas de funcionamento do inversor CSI 5L-3SSC, com base nos respectivos estados de comutação.

1ª Etapa – Na primeira etapa de operação, os interruptores S_1 , S_2 e S_5 encontram-se em condução, conforme ilustrado na Figura 61(a), estabelecendo o caminho de corrente associado ao semiciclo positivo. A corrente CC de entrada I_i , imposta pelo indutor L_{cc} , é conduzida pelos ramos superiores da 3SSC e aplicada aos terminais do lado CA por meio do interruptor S_5 .

Os diodos associados aos dispositivos semicondutores de potência definem as trajetórias admissíveis de condução. Nessa condição, os diodos D_1 , D_2 e D_5 encontram-se diretamente polarizados e conduzem em série com S_1 , S_2 e S_5 , enquanto D_3 , D_4 e D_6 permanecem reversamente polarizados. Essa configuração impede a formação de trajetórias que poderiam curto-circuitar um capacitor de filtro ou interromper o caminho contínuo da corrente imposta por L_{cc} , assegurando a manutenção da característica CSI.

A corrente instantânea de saída nesta etapa é definida conforme (4.1).

$$i_{ab} = +I_i \quad (4.1)$$

A corrente alternada entregue ao lado CA assume, durante esta etapa específica, valor instantâneo igual à corrente contínua imposta pelo indutor, respeitando o sentido positivo indicado para i_{ab} .

Considerando a relação de transformação unitária do autotransformador integrado e a simetria dos ramos magneticamente acoplados, as correntes conduzidas pelos interruptores de alta frequência são dadas por (4.2).

$$\begin{aligned} i_{S1} = i_{S2} &= \frac{I_i}{2} \\ i_{S3} = i_{S4} &= 0 \end{aligned} \quad (4.2)$$

Cada dispositivo semicondutor de potência operando em alta frequência conduz metade da corrente contínua de entrada, reduzindo os esforços individuais de corrente e evidenciando o compartilhamento equilibrado da corrente imposto pela 3SSC.

2ª Etapa – Na segunda etapa de operação, os interruptores S_2 , S_3 e S_5 encontram-se em condução, conforme ilustrado na Figura 61(b), estabelecendo o estado intermediário da 3SSC durante o semiciclo positivo. A corrente contínua de entrada I_i , imposta pelo indutor L_{cc} , é aplicada à célula e divide-se estruturalmente nos dois ramos magneticamente acoplados do autotransformador integrado, cuja relação de transformação unitária impõe igualdade de correntes nos enrolamentos.

Os diodos D_2 , D_3 e D_5 encontram-se diretamente polarizados e conduzem em série com os respectivos interruptores ativos, enquanto D_1 , D_4 e D_6 permanecem reversamente polarizados, bloqueando os ramos não selecionados. Essa configuração estabelece dois

caminhos estruturais simultâneos de corrente: um conduz metade da corrente ao lado CA por meio de S_5 , enquanto o outro define o caminho de retorno à fonte pelo ramo complementar da 3SSC, preservando a continuidade da corrente imposta por L_{cc} e impedindo a formação de trajetórias que poderiam curto-circuitar um capacitor de filtragem da tensão de saída.

A corrente instantânea de saída nesta etapa é definida conforme (4.3).

$$i_{ab} = +\frac{I_i}{2} \quad (4.3)$$

A corrente entregue ao lado CA assume o nível intermediário positivo da síntese multinível, enquanto a parcela complementar retorna à fonte através da estrutura magneticamente acoplada.

As correntes conduzidas pelos interruptores de alta frequência nesta etapa são dadas por (4.4).

$$\begin{aligned} i_{S2} = i_{S3} &= \frac{I_i}{2} \\ i_{S1} = i_{S4} &= 0 \end{aligned} \quad (4.4)$$

Cada dispositivo semiconductor de potência em condução suporta metade da corrente contínua de entrada, mantendo a redução dos esforços individuais característica da 3SSC.

O indutor de entrada permanece conduzindo a corrente total I_i , sendo a variação de energia armazenada determinada exclusivamente pela tensão instantânea aplicada aos seus terminais, conforme o estado de comutação.

3ª Etapa – Na terceira etapa de operação, os interruptores S_1 , S_4 e S_5 encontram-se em condução, conforme ilustrado na Figura 61(c), configurando um estado interno da 3SSC análogo ao da 2ª etapa sob o ponto de vista estrutural. Nessa condição, altera-se a combinação dos interruptores de alta frequência responsáveis pela síntese do nível de saída, mantendo-se a polaridade imposta pelo ramo de baixa frequência.

Os diodos D_1 , D_4 e D_5 encontram-se diretamente polarizados, conduzindo em série com os respectivos interruptores ativos, enquanto os demais permanecem reversamente polarizados. A configuração mantém dois caminhos simultâneos de corrente, com divisão estrutural imposta pelo autotransformador integrado.

A corrente instantânea de saída nesta etapa é definida conforme (4.5).

$$i_{ab} = +\frac{I_i}{2} \quad (4.5)$$

A corrente entregue ao lado CA mantém o nível intermediário positivo da síntese multinível, assim como observado na 2ª Etapa.

As correntes conduzidas pelos interruptores de alta frequência nesta etapa são dadas por (4.6).

$$\begin{aligned} i_{S1} = i_{S4} &= \frac{I_i}{2} \\ i_{S2} = i_{S3} &= 0 \end{aligned} \quad (4.6)$$

Cada dispositivo semiconductor de potência em condução suporta metade da corrente contínua de entrada, mantendo o compartilhamento da corrente característico da 3SSC também neste estado de comutação.

4ª Etapa – Na quarta etapa de operação, os interruptores S_3 , S_4 e S_5 encontram-se em condução, conforme ilustrado na Figura 61(d), configurando o estado no qual a corrente imposta por L_{cc} não circula pelo lado CA.

Os diodos D_3 , D_4 e D_5 encontram-se diretamente polarizados e conduzem em série com os respectivos interruptores ativos, enquanto os ramos associados a S_1 , S_2 e S_6 permanecem bloqueados. A corrente I_i é conduzida pelos ramos inferiores da 3SSC e retorna ao terminal negativo da fonte V_i , mantendo o circuito fechado entre a fonte e o indutor L_{cc} .

A corrente instantânea de saída nesta etapa é definida conforme (4.7).

$$i_{ab} = 0 \quad (4.7)$$

As correntes conduzidas pelos interruptores de alta frequência nesta etapa são dadas por (4.8).

$$\begin{aligned} i_{S3} = i_{S4} &= \frac{I_i}{2} \\ i_{S1} = i_{S2} &= 0 \end{aligned} \quad (4.8)$$

Cada dispositivo semiconductor de potência em condução suporta metade da corrente contínua de entrada, preservando a divisão estrutural imposta pelo autotransformador integrado também no estado de nível nulo.

5ª Etapa – Na quinta etapa de operação, os interruptores S_1 , S_2 e S_6 encontram-se em condução, conforme ilustrado na Figura 62(d), estabelecendo o estado de nível nulo no semiciclo negativo. Esta etapa é análoga à quarta etapa do semiciclo positivo.

A corrente instantânea de saída nesta etapa é definida conforme (4.9).

$$i_{ab} = 0 \quad (4.9)$$

As correntes conduzidas pelos interruptores de alta frequência são dadas por (4.10).

$$i_{S1} = i_{S2} = \frac{I_i}{2} \quad (4.10)$$

$$i_{S3} = i_{S4} = 0$$

6ª Etapa – Na sexta etapa, os interruptores S_1 , S_4 e S_6 encontram-se em condução, conforme ilustrado na Figura 62(b), estabelecendo o nível intermediário negativo da síntese multinível. Esta etapa é análoga à 3ª Etapa do semiciclo positivo.

A corrente instantânea de saída nesta etapa é definida conforme (4.11).

$$i_{ab} = -\frac{I_i}{2} \quad (4.11)$$

As correntes conduzidas pelos interruptores de alta frequência são dadas por (4.12).

$$\begin{aligned} i_{S1} = i_{S4} &= \frac{I_i}{2} \\ i_{S2} = i_{S3} &= 0 \end{aligned} \quad (4.12)$$

7ª Etapa – Na sétima etapa, os interruptores S_2 , S_3 e S_6 encontram-se em condução, conforme ilustrado na Figura 62(c), configurando o outro estado intermediário negativo. Esta etapa é estruturalmente análoga à segunda etapa do semiciclo positivo.

A corrente instantânea de saída nesta etapa é definida conforme (4.13).

$$i_{ab} = -\frac{I_i}{2} \quad (4.13)$$

As correntes conduzidas pelos interruptores de alta frequência são dadas por (4.14).

$$\begin{aligned} i_{S2} = i_{S3} &= \frac{I_i}{2} \\ i_{S1} = i_{S4} &= 0 \end{aligned} \quad (4.14)$$

8ª Etapa – Na oitava etapa de operação, os interruptores S_3 , S_4 e S_6 encontram-se em condução, conforme ilustrado na Figura 62(a), estabelecendo o estado correspondente ao nível máximo negativo da corrente de saída. Esta etapa é estruturalmente análoga à primeira etapa, diferindo apenas pela condução do interruptor de baixa frequência S_6 em substituição a S_5 .

A corrente instantânea de saída nesta etapa é definida conforme (4.15).

$$i_{ab} = -I_i \quad (4.15)$$

As correntes conduzidas pelos interruptores de alta frequência são dadas por (4.16).

$$\begin{aligned} i_{S3} = i_{S4} &= \frac{I_i}{2} \\ i_{S1} = i_{S2} &= 0 \end{aligned} \quad (4.16)$$

As etapas de funcionamento do inversor CSI 5L-3SSC, bem como os respectivos estados de comutação dos interruptores necessários à síntese da forma de onda de corrente de

cinco níveis na saída e seus vetores associados, são apresentadas na Tabela 6. Nessas combinações, os valores lógicos “0” e “1” indicam o bloqueio e a condução de um dado interruptor, respectivamente.

Observa-se que a 3SSC opera em seus três estados nos semiciclos positivo e negativo, enquanto os interruptores de baixa frequência S_5 e S_6 determinam a polaridade da corrente aplicada ao lado CA.

Tabela 6 – Etapas de operações e estados de comutação dos interruptores do inversor CSI 5L-3SSC e seus respectivos vetores.

Etapa	Alta Frequência				Baixa Frequência		Corrente de Saída i_{ab}	Vetor
	S_1	S_2	S_3	S_4	S_5	S_6		
1 ^a	1	1	0	0	1	0	$+I_i$	\vec{V}_0
2 ^a	0	1	1	0	1	0	$+I_i/2$	\vec{V}_1
3 ^a	1	0	0	1	1	0	$+I_i/2$	\vec{V}_2
4 ^a	0	0	1	1	1	0	0	\vec{V}_3
5 ^a	1	1	0	0	0	1	0	\vec{V}_4
6 ^a	1	0	0	1	0	1	$-I_i/2$	\vec{V}_5
7 ^a	0	1	1	0	0	1	$-I_i/2$	\vec{V}_6
8 ^a	0	0	1	1	0	1	$-I_i$	\vec{V}_7

A organização sistemática desses estados permite a definição dos vetores de corrente associados a cada etapa, os quais constituem a base para o desenvolvimento da estratégia SVM aplicada à estrutura CSI.

4.2 ESTRATÉGIA DE MODULAÇÃO SVM MONOFÁSICA

Conversores monofásicos multiníveis admitem diferentes estratégias de modulação, dentre as quais se destacam as técnicas baseadas em portadora e aquelas fundamentadas na SVM, conforme discutido em Calais *et al.* (2001). No presente trabalho, adota-se essa modulação em virtude de sua formulação vetorial unificada, maior flexibilidade na síntese da grandeza de saída e melhor aproveitamento do barramento CC.

A modulação SVM baseia-se na representação dos estados de comutação do conversor como vetores em um espaço vetorial de operação. A grandeza aplicada ao conversor é sintetizada por meio da combinação temporal ponderada desses vetores ao longo de cada período de comutação T_s , de modo que o valor médio reproduza a referência imposta pelo sistema de controle.

Na formulação clássica aplicada a inversores trifásicos, os vetores são representados no plano $\alpha\beta$ por meio da transformação de Clarke, conforme amplamente estabelecido na literatura especializada (Camargo *et al.*, 2002; Pinheiro *et al.*, 2005). Para conversores monofásicos, o espaço vetorial reduz-se a uma dimensão única associada aos níveis discretos da grandeza sintetizada. Apesar da redução dimensional, os princípios fundamentais da SVM permanecem inalterados, incluindo a definição de setores, a seleção dos vetores cujos estados produzem os níveis imediatamente inferior e superior à referência em cada setor e o cálculo dos tempos de aplicação.

Nesta seção, apresenta-se inicialmente a formulação generalizada da modulação SVM, seguida de sua aplicação a um inversor monofásico convencional em ponte completa. Por fim, a metodologia é estendida à topologia multinível VSI 5L-3SSC, destacando-se as particularidades estruturais associadas ao conjunto de vetores disponíveis e à síntese da tensão de saída em cinco níveis.

4.2.1 Modulação SVM Generalizada

A modulação SVM constitui uma técnica unificada aplicável a VSI ou CSI, abrangendo estruturas trifásicas, monofásicas e multiníveis. Seu princípio fundamental baseia-se na representação dos estados admissíveis de comutação como vetores em um espaço vetorial de operação, em que cada vetor corresponde a uma configuração física específica dos dispositivos semicondutores de potência. O conjunto desses vetores define a região linear de controle, dentro da qual a grandeza aplicada ao conversor é sintetizada de modo que seu valor médio reproduza a referência por meio da combinação temporal ponderada dos vetores disponíveis, durante cada período de comutação T_s , equivalente à referência imposta pelo sistema de controle.

A região linear caracteriza-se pela proporcionalidade entre a magnitude da referência e a magnitude da grandeza sintetizada, sendo limitada pelos vetores extremos admissíveis da topologia. Fora dessa região, a técnica requer saturação da referência ou estratégias específicas de sobremodulação, de modo a preservar as restrições estruturais do conversor.

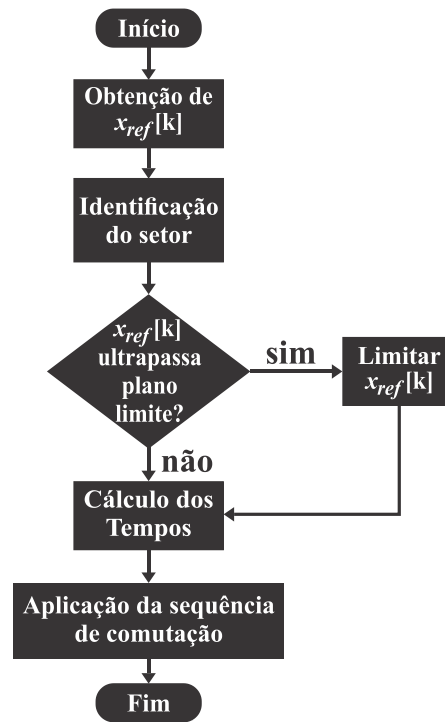
De forma geral, a implementação da SVM envolve as seguintes etapas, conforme sistematizado em Camargo *et al.* (2002) e Pinheiro *et al.* (2005):

- a) determinação do conjunto de vetores de comutação admissíveis;
- b) definição das fronteiras que delimitam os setores de operação;
- c) identificação dos limites da região linear;
- d) cálculo dos tempos de aplicação de cada vetor durante o período de comutação T_s ; e

e) definição da sequência de comutação, a qual pode ser simétrica ou assimétrica, dependendo dos critérios de otimização adotados.

A organização dessas etapas pode ser visualizada de forma integrada por meio do fluxograma apresentado na Figura 63.

Figura 63 – Fluxograma da implementação da técnica de modulação SVM.



Fonte: próprio autor.

Na formulação original da modulação SVM para conversores trifásicos, as grandezas de fase são projetadas no plano $\alpha\beta$ por meio da transformação de Clarke, sendo o vetor de referência real definido por (4.17).

$$x_{ref,real} = x\alpha + jx\beta \quad (4.17)$$

Em (4.17), $\vec{x}_{ref,real}$ representa o vetor de referência física no plano $\alpha\beta$. A notação x é empregada de forma genérica para representar a grandeza sintetizada pelo conversor, podendo corresponder à tensão ou corrente, conforme a natureza da topologia analisada.

Para simplificação da formulação vetorial e coerência com as análises subsequentes, adota-se a forma normalizada do vetor de referência em relação à grandeza do barramento CC associada ao conversor, conforme definido em (4.18).

$$\vec{x}_{ref} = \frac{\vec{x}_{ref,real}}{X_{cc}} \quad (4.18)$$

Em (4.18), X_{cc} representa a grandeza do barramento CC correspondente à topologia

considerada. A partir dessa normalização, \vec{x}_{ref} passa a representar uma grandeza adimensional.

O princípio de síntese vetorial estabelece que, ao longo de um período de comutação T_s , o vetor médio aplicado deve reproduzir a referência desejada, sendo essa condição expressa em (4.19).

$$\vec{x}_{ref} T_s = \vec{V}_1 T_1 + \vec{V}_2 T_2 + \dots + \vec{V}_n T_n \quad (4.19)$$

Em \vec{V}_n representam os vetores de comutação normalizados e T_n seus respectivos tempos de aplicação, os quais devem satisfazer a restrição temporal apresentada em (4.20).

$$T_s = T_1 + T_2 + \dots + T_n \quad (4.20)$$

As expressões (4.19) e (4.20) asseguram que a média temporal dos vetores aplicados durante T_s reproduza a referência imposta pelo sistema de controle dentro da região linear de operação.

Quando aplicada a conversores monofásicos, a formulação vetorial reduz-se de um plano bidimensional $\alpha\beta$ para um espaço unidimensional associado aos níveis discretos da grandeza sintetizada. Nesse caso, o vetor de referência normalizado possui apenas uma componente real α , sendo representado conforme (4.21).

$$\vec{x}_{ref} = x\alpha \quad (4.21)$$

No contexto monofásico, a notação vetorial pode ser suprimida, passando-se a utilizar diretamente a forma escalar da referência normalizada. Considerando uma referência senoidal, sua componente instantânea normalizada é definida por (4.22).

$$x_{ref}(\omega t) = M \text{sen}(\omega t) \quad (4.22)$$

Em (4.22), M representa o índice de modulação, sendo x_{ref} uma grandeza adimensional limitada ao intervalo $-1 \leq x_{ref} \leq 1$. A grandeza física correspondente é obtida multiplicando-se a referência normalizada pela grandeza do barramento CC associada à topologia considerada.

Assim, embora na formulação trifásica o vetor de referência descreva uma trajetória no plano $\alpha\beta$, no caso monofásico a referência percorre apenas um eixo unidimensional, preservando integralmente o princípio da síntese por média ponderada dos vetores cujos estados produzem os níveis imediatamente inferior e superior à referência em cada setor, estabelecido em (4.19) e (4.20), o qual fundamenta a aplicação da SVM às topologias analisadas nas seções subsequentes.

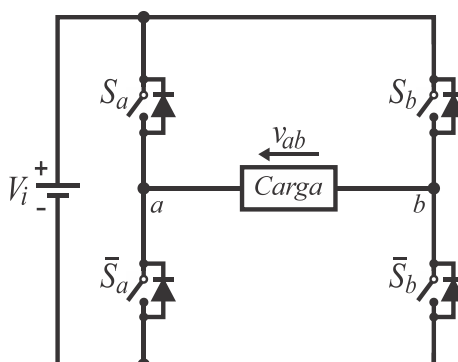
Adota-se, a partir deste ponto, a notação $x_{ref}(\omega t)$ como representação genérica da referência normalizada. Nas subseções seguintes, essa grandeza será particularizada conforme a natureza do conversor analisado.

4.2.2 Modulação SVM para Inversor Monofásico Convencional

Com o objetivo de ilustrar a aplicação prática da formulação generalizada apresentada na subseção anterior, considera-se inicialmente o inversor monofásico VSI em ponte completa convencional. Essa análise tem caráter exemplificativo e demonstra que a modulação SVM pode ser aplicada inclusive a topologias não multiníveis, servindo como base conceitual.

A topologia considerada é apresentada na Figura 25. Assume-se a operação complementar dos interruptores em cada braço, garantindo que apenas um dispositivo conduza por vez e evitando curto-circuito no barramento CC.

Figura 64 – Topologia monofásica VSI em ponte completa convencional.



Fonte: próprio autor.

Neste caso, a grandeza sintetizada corresponde à tensão de saída. Particulariza-se, portanto, a notação genérica $x_{ref}(\omega t)$ para $v_{ref}(\omega t)$, sendo a normalização realizada em relação à tensão do barramento CC V_i . Assim, essa tensão de referência é uma grandeza adimensional limitada ao intervalo $-1 \leq v_{ref}(\omega t) \leq 1$.

Os estados admissíveis de comutação produzem três níveis discretos de tensão na saída, $+V_i$, 0 e $-V_i$. Conforme a Tabela 7, cada vetor \vec{V}_0 , \vec{V}_1 , \vec{V}_2 e \vec{V}_3 corresponde a um estado específico de comutação dos dispositivos semicondutores de potência. Esses estados impõem níveis discretos de tensão na saída. Observa-se que:

- \vec{V}_0 está associado ao nível $v_{ab} = +V_i$;
- \vec{V}_1 e \vec{V}_2 está associado ao nível $v_{ab} = 0$; e
- \vec{V}_3 está associado ao nível $v_{ab} = -V_i$.

Dessa forma, diferentes vetores podem produzir o mesmo nível de tensão, caracterizando estados redundantes.

Tabela 7 – Estados de comutação, níveis de tensão de saída e distribuição dos vetores.

Etapa	S_a	S_b	Tensão de Saída v_{ab}	Vetor
1 ^a	1	0	$+V_i$	\vec{V}_0
2 ^a	0	0	0	\vec{V}_1
3 ^a	1	1	0	\vec{V}_2
4 ^a	0	1	$-V_i$	\vec{V}_3

A relação entre os estados lógicos S_a e S_b e a tensão sintetizada é dada por (4.23).

$$v_{ab} = [S_a - S_b] \cdot V_i \quad (4.23)$$

A modulação SVM organiza a operação em setores definidos pelos intervalos da referência normalizada v_{ref} . Em cada setor, a síntese do valor médio é realizada pela combinação temporal de vetores cujos estados produzem os níveis imediatamente inferior e superior à referência naquele intervalo.

Considerando o setor I, definido pelo intervalo $0 \leq v_{ref}(\omega t) \leq 1$, a síntese utiliza:

- como nível inferior, o valor $v_{ab} = 0$, produzido pelos vetores \vec{V}_1 e \vec{V}_2 ;
- como nível superior, o valor $v_{ab} = +V_i$, produzido pelo vetor \vec{V}_0 .

A condição de equivalência de valor médio no período T_s é expressa em (4.24).

$$v_{ref} = \frac{1}{T_s} \int_0^{T_s} v_{ab}(t) dt \quad (4.24)$$

Admitindo-se operação no setor I, a síntese pode ser descrita conforme (4.25), considerando a aplicação de vetores cujos estados produzem os níveis 0 e $+V_i$.

$$v_{ref} = \frac{1}{T_s} \left(\int_0^{t_1} 0 \cdot dt + \int_{t_1}^{t_2} (+V_i) \cdot dt + \int_{t_2}^{T_s} 0 \cdot dt \right) \quad (4.25)$$

Definem-se as variações temporais conforme (4.26).

$$\begin{cases} \Delta t_0 = t_1 \\ \Delta t_1 = t_2 - t_1 \\ \Delta t_2 = T_s - t_2 \end{cases} \quad (4.26)$$

Como os intervalos associados ao nível inferior não contribuem para o valor médio, a expressão (4.25) pode ser reescrita conforme (4.27).

$$v_{ref} = \frac{1}{T_s} V_i \cdot \Delta t_2 \quad (4.27)$$

Isolando-se Δt_2 em (4.27), obtém-se (4.28).

$$\Delta t_2 = v_{ref} T_s (\mathbf{V}_i)^{-1} \quad (4.28)$$

Os intervalos associados ao nível inferior são obtidos por complementaridade temporal, conforme (4.29).

$$\Delta t_0 + \Delta t_1 = T_s - \Delta t_2 \quad (4.29)$$

A distribuição desses intervalos ao longo de T_s define a sequência de comutação. Dentre as possíveis distribuições, denomina-se sequência simétrica aquela em que os intervalos associados ao nível inferior são igualmente distribuídos no início e no final do período, assegurando simetria de condução entre os interruptores.

Para essa sequência, definem-se os tempos equivalentes T_a e T_b , que são associados, respectivamente, ao vetor cujo estado produz o nível superior do setor e ao conjunto de vetores cujos estados produzem o nível inferior do setor.

As relações temporais são dadas em (4.30) e (4.31).

$$\Delta t_2 = T_a \quad (4.30)$$

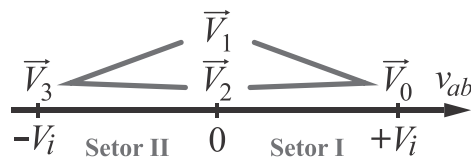
$$\Delta t_0 + \Delta t_1 = T_b \quad (4.31)$$

Assim, o tempo total de condução no setor I ao longo de um período completo é dado por (4.32).

$$T_a + T_b = T_s \quad (4.32)$$

A região de controle associada aos setores I e II é apresentada na Figura 65.

Figura 65 – Região de controle da modulação SVM para o inversor monofásico convencional.



Fonte: próprio autor.

As marcações indicadas pelas setas na cor cinza evidenciam que, em cada setor de operação, as comutações ocorrem entre três vetores cujos estados produzem os níveis imediatamente inferior e superior à referência naquele intervalo. Essa transição ordenada entre os estados de comutação assegura a correta síntese dos níveis de tensão ao longo do período de comutação, preservando a simetria da forma de onda resultante. A sequência simétrica correspondente aos setores I e II é apresentada na Tabela 8.

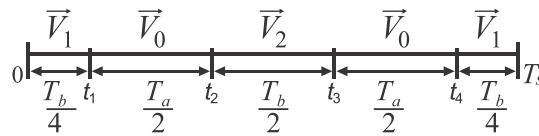
A distribuição temporal dos intervalos T_a e T_b no setor I ao longo do período de

comutação T_s é ilustrada na Figura 66, em que T_a representa a variação de tempo de condução para o vetor \vec{V}_0 e T_b representa as variações de tempo de condução dos vetores \vec{V}_1 e \vec{V}_2 .

Tabela 8 – Sequência simétrica de comutação.

Setor	Sequência simétrica
I	$\vec{V}_1 \rightarrow \vec{V}_0 \rightarrow \vec{V}_2 \rightarrow \vec{V}_0 \rightarrow \vec{V}_1$
II	$\vec{V}_1 \rightarrow \vec{V}_3 \rightarrow \vec{V}_2 \rightarrow \vec{V}_3 \rightarrow \vec{V}_1$

Figura 66 – Distribuição dos vetores e intervalos temporais no setor I para sequência simétrica ao longo de T_s .



4.2.3 Modulação para o Inversor CSI 5L-3SSC

Aplicando a formulação geral da modulação SVM ao inversor CSI 5L-3SSC, a grandeza sintetizada é a corrente de saída. Assim, particulariza-se a referência como $i_{ref}(\omega t)$, normalizada em relação à corrente do barramento CC I_i .

Os vetores de estado do conversor correspondem às oito combinações de condução apresentadas na Tabela 6, cada uma associada a um nível discreto de corrente na saída. Para o inversor CSI 5L-3SSC, esses estados resultam em cinco níveis distintos, de modo que múltiplas combinações de condução podem produzir o mesmo nível de corrente, caracterizando estados redundantes.

A divisão do espaço unidimensional da corrente é realizada conforme o número de níveis disponíveis. Para um inversor monofásico com m níveis, o número de setores n_s é dado por (4.33).

$$n_s = m - 1 \quad (4.33)$$

No caso do inversor CSI 5L-3SSC, para cinco níveis, obtêm-se quatro setores de operação. Em cada setor, a síntese do valor médio da corrente é realizada pela combinação temporal de vetores cujos estados produzem os níveis imediatamente inferior e superior à referência naquele intervalo. A determinação dos tempos de permanência é realizada diretamente em função de $i_{ref}(\omega t)$, conforme a estrutura já estabelecida anteriormente.

O índice de modulação é obtido pela expressão (4.34).

$$M = \frac{I_{ref, pk}}{I_i} \quad (4.34)$$

Para inversores monofásicos multiníveis, o índice de modulação mínimo M_{min} necessário para utilização completa dos níveis é dado pela expressão (4.35) (Leon *et al.*, 2007), sendo esse valor associado à condição em que a referência normalizada atravessa todos os limiares de transição entre níveis adjacentes.

$$M_{min} = \frac{m-3}{n_s} \quad (4.35)$$

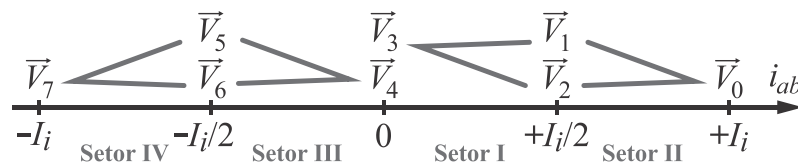
Para $m = 5$, obtém-se $M_{min} = 0,5$. Assim, para $M \geq M_{min}$, assumindo referência senoidal centrada e simétrica, a referência $i_{ref}(\omega t)$ percorre todos os setores definidos no espaço unidimensional da corrente, possibilitando a utilização completa dos cinco níveis disponíveis. Para $M < M_{min}$, a amplitude normalizada da referência torna-se insuficiente para atravessar todos os setores definidos pela técnica de modulação, restringindo a síntese aos níveis correspondentes aos intervalos efetivamente percorridos pela referência.

4.2.4 Análise das Regiões Vetoriais de Estado

Como o inversor CSI 5L-3SSC sintetiza cinco níveis discretos de corrente na saída, sua região de controle é dividida em quatro setores, conforme ilustrado na Figura 67. Esse diagrama apresenta os setores da região de controle, os vetores de comutação associados e os limiares de transição entre níveis definidos no espaço unidimensional da corrente de saída i_{ab} .

As setas em cinza indicam as transições entre os vetores de estado dentro de cada setor. Adota-se a sequência de comutação simétrica, na qual os vetores são aplicados de forma espelhada ao longo do período de comutação T_s .

Figura 67 – Setores da região de controle para a corrente de saída i_{ab} do inversor monofásico CSI 5L-3SSC.



Fonte: próprio autor.

A análise do funcionamento do conversor sob a estratégia de modulação SVM é desenvolvida separadamente para cada um dos quatro setores, definidos em função da corrente de referência normalizada $i_{ref}(\omega t)$:

- Setor I: $0 \leq i_{ref}(\omega t) \leq 0,5$;
- Setor II: $0,5 < i_{ref}(\omega t) \leq 1$;
- Setor III: $-0,5 \leq i_{ref}(\omega t) < 0$;
- Setor IV: $-1 \leq i_{ref}(\omega t) < -0,5$.

Em todas as análises subsequentes considera-se o conversor operando em regime de condução contínua, com dispositivos semicondutores idealizados e corrente de barramento CC I_i assumida constante ao longo do período de comutação.

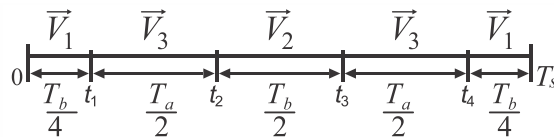
4.2.4.1 Setor I ($0 \leq i_{ref}(\omega t) \leq 0,5$)

No Setor I, a corrente de saída é sintetizada por meio da alternância em alta frequência entre vetores cujos estados produzem os níveis imediatamente inferior e superior à referência naquele intervalo, conforme organização vetorial apresentada na Figura 67 e distribuição temporal ilustrada na Figura 68. De acordo com a Tabela 6, os níveis discretos envolvidos na síntese são $i_{ab} = 0$ e $i_{ab} = +I_i/2$. Assim, a corrente de referência normalizada $i_{ref}(\omega t)$ desloca-se entre esses dois níveis discretos no intervalo $0 \leq i_{ref}(\omega t) \leq 0,5$.

Durante o período de comutação T_s , define-se T_a como o tempo total associado ao nível inferior do setor e T_b como o tempo total associado ao nível superior. A estratégia simétrica adotada distribui esses tempos de forma centralizada em T_s , assegurando uma sequência espelhada em relação ao ponto médio do período.

A Figura 68 ilustra a distribuição temporal da sequência simétrica no Setor I, na qual se observam as durações e transições de cada vetor de comutação.

Figura 68 – Tempo de duração da distribuição simétrica dos vetores para o Setor I.



Fonte: próprio autor.

Dessa forma, a sequência de comutação no Setor I é descrita pelo ciclo simétrico correspondente aos vetores associados aos níveis 0 e $+I_i/2$. A aplicação espelhada desses vetores ao longo de T_s assegura a simetria temporal da modulação.

O período de comutação pode ser escrito como a soma dos tempos de permanência associados aos vetores, conforme expresso em (4.36).

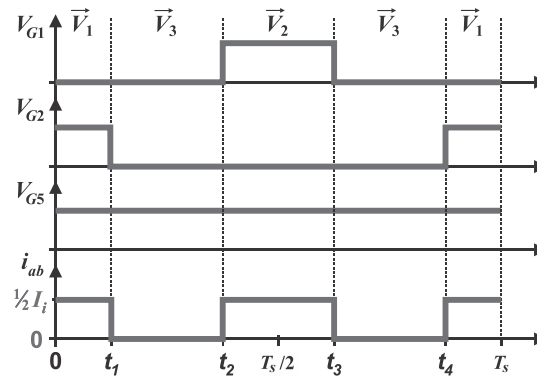
$$T_s = \frac{T_b}{4} + \frac{T_a}{2} + \frac{T_b}{2} + \frac{T_a}{2} + \frac{T_b}{4} \quad (4.36)$$

Essa decomposição conduz diretamente à relação simplificada apresentada em (4.37).

$$T_s = T_a + T_b \quad (4.37)$$

As formas de onda correspondentes às tensões de acionamento dos interruptores V_{G1} , V_{G2} e V_{G5} , bem como a forma de onda da corrente i_{ab} no Setor I ao longo de um período de comutação T_s , são apresentadas na Figura 69.

Figura 69 – Principais formas de onda para o setor I.



Fonte: próprio autor.

A corrente de referência normalizada é definida como o valor médio da corrente aplicada ao longo do período de comutação. Essa definição é expressa em (4.38).

$$i_{ref}(\omega t) = \frac{1}{T_s} \int_0^{T_s} \frac{i_{ab}(t)}{I_i} \cdot dt \quad (4.38)$$

Considerando a distribuição temporal dos vetores no Setor I, a integral em (4.38) pode ser decomposta nos cinco intervalos definidos pelos instantes $t_1 \dots t_4$, resultando em (4.39).

$$i_{ref}(\omega t) = \frac{1}{T_s} \left[\int_0^{t_1} \frac{1}{2} \cdot dt + \int_{t_1}^{t_2} 0 \cdot dt + \int_{t_2}^{t_3} \frac{1}{2} \cdot dt + \int_{t_3}^{t_4} 0 \cdot dt + \int_{t_4}^{T_s} \frac{1}{2} \cdot dt \right] \quad (4.39)$$

A substituição das durações temporais correspondentes a cada intervalo conduz à forma simplificada apresentada em (4.40).

$$i_{ref}(\omega t) = \frac{1}{T_s} \left[\frac{1}{2} \frac{T_b}{4} + 0 \frac{T_a}{2} + \frac{1}{2} \frac{T_b}{2} + 0 \frac{T_a}{2} + \frac{1}{2} \frac{T_b}{4} \right] \quad (4.40)$$

A simplificação algébrica de (4.40) resulta em (4.41).

$$i_{ref}(\omega t) = \frac{T_b}{2T_s} \quad (4.41)$$

Isolando T_b em (4.41), em conjunto com a relação (4.37), conduz às expressões dos tempos de permanência, apresentadas em (4.42) e (4.43).

$$T_a = T_s \left[1 - 2i_{ref}(\omega t) \right] \quad (4.42)$$

$$T_b = 2T_s i_{ref}(\omega t) \quad (4.43)$$

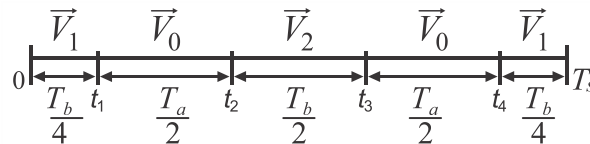
Observa-se que o aumento de $i_{ref}(\omega t)$ implica a ampliação do tempo associado ao nível superior do setor e a redução do tempo correspondente ao nível inferior, mantendo-se a condição $T_s = T_a + T_b$ e assegurando a coerência da síntese temporal da corrente.

4.2.4.2 Setor II ($0,5 < i_{ref}(\omega t) \leq 1$)

No Setor II, a corrente de referência normalizada $i_{ref}(\omega t)$ desloca-se entre os níveis discretos $i_{ab} = +I_i/2$ e $i_{ab} = +I_i$. A síntese da corrente média é realizada por meio da alternância temporal entre vetores cujos estados produzem esses dois níveis naquele intervalo.

A sequência de comutação permanece simétrica ao longo do período T_s , conforme ilustrado na Figura 70.

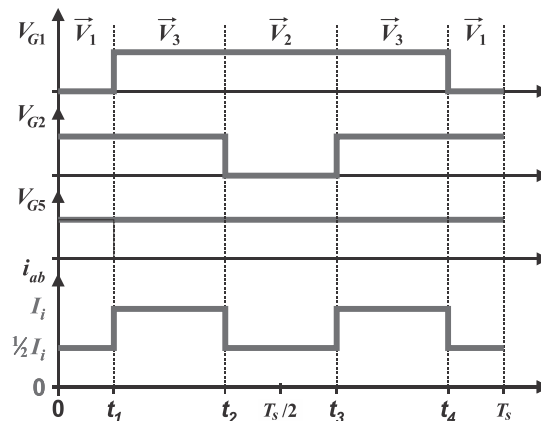
Figura 70 – Tempo de duração da distribuição simétrica dos vetores para o Setor II.



Fonte: próprio autor.

As principais formas de onda associadas ao Setor II são apresentadas na Figura 71.

Figura 71 – Principais formas de onda para o setor II.



Fonte: próprio autor.

Aplicando-se a definição de valor médio da corrente normalizada ao longo de T_s e considerando os níveis discretos do setor, obtêm-se diretamente os tempos de permanência associados aos vetores, dados por (4.44) e (4.45).

$$T_a = T_s [2i_{ref}(\omega t) - 1] \quad (4.44)$$

$$T_b = 2T_s [1 - i_{ref}(\omega t)] \quad (4.45)$$

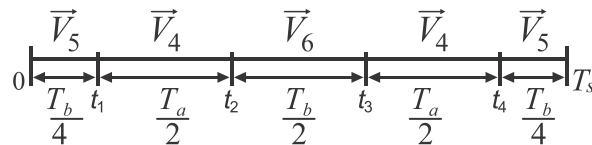
Observa-se que o aumento de $i_{ref}(\omega t)$ implica ampliação do tempo associado ao nível máximo de corrente e redução do tempo correspondente ao nível intermediário, preservando-se a coerência da síntese temporal da corrente no setor.

4.2.4.3 Setor III ($-0,5 \leq i_{ref}(\omega t) < 0$)

No Setor III, a corrente de referência normalizada $i_{ref}(\omega t)$ desloca-se entre os níveis discretos $i_{ab} = -I_i/2$ e $i_{ab} = 0$. A síntese da corrente média é realizada por meio da alternância temporal entre vetores cujos estados produzem esses dois níveis naquele intervalo.

A sequência de comutação permanece simétrica ao longo do período T_s , conforme ilustrado na Figura 72.

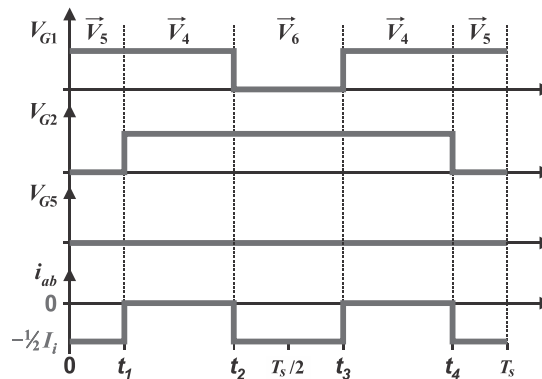
Figura 72 – Tempo de duração da distribuição simétrica dos vetores para o Setor III.



Fonte: próprio autor.

As principais formas de onda associadas ao Setor III são apresentadas na Figura 73.

Figura 73 – Principais formas de onda para o setor III.



Fonte: próprio autor.

Aplicando-se a definição de valor médio da corrente normalizada ao longo de T_s e considerando os níveis discretos do setor, obtêm-se diretamente os tempos de permanência associados aos vetores, dados por (4.46) e (4.47).

$$T_a = T_s [1 + 2i_{ref}(\omega t)] \quad (4.46)$$

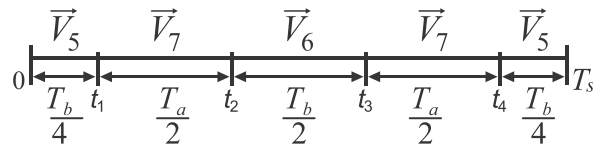
$$T_b = -2T_s i_{ref}(\omega t) \quad (4.47)$$

4.2.4.4 Setor IV ($-1 \leq i_{ref}(\omega t) < -0,5$)

No Setor IV, a corrente de referência normalizada $i_{ref}(\omega t)$ desloca-se entre os níveis discretos $i_{ab} = -I_i/2$ e $i_{ab} = -I_i$. A síntese da corrente média é realizada por meio da alternância temporal entre vetores cujos estados produzem esses dois níveis naquele intervalo.

A sequência de comutação permanece simétrica ao longo do período T_s , conforme ilustrado na Figura 74.

Figura 74 – Tempo de duração da distribuição simétrica dos vetores para o Setor IV.



Fonte: próprio autor.

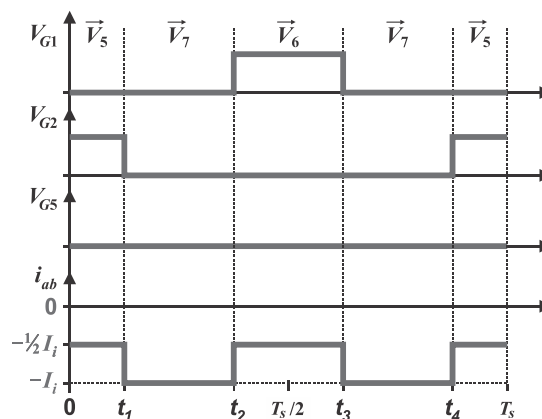
Aplicando-se a definição de valor médio da corrente normalizada ao longo de T_s e considerando os níveis discretos do setor, obtêm-se diretamente os tempos de permanência associados aos vetores, dados por (4.48) e (4.49).

$$T_a = -T_s [1 + 2i_{ref}(\omega t)] \quad (4.48)$$

$$T_b = 2T_s [1 + i_{ref}(\omega t)] \quad (4.49)$$

As principais formas de onda associadas ao Setor IV são apresentadas na Figura 75.

Figura 75 – Principais formas de onda para o setor IV.



Fonte: próprio autor.

4.3 MODELAGEM ANALÍTICA DO INVERSOR CSI 5L-3SSC

A presente seção consolida a modelagem analítica do inversor CSI 5L-3SSC, reunindo de forma sistemática as relações matemáticas que descrevem o comportamento do conversor na região linear de modulação. São estabelecidas as hipóteses fundamentais, a conservação de potência e as relações entre grandezas do barramento CC e a componente fundamental da saída.

Nesta topologia, a grandeza diretamente modulada é a corrente, de modo que o barramento CC impõe a variável primária do sistema, enquanto a tensão de saída resulta da síntese multinível realizada pela modulação SVM.

Na ausência de filtro de saída, as formas de onda nos terminais da carga são pulsadas e compostas por níveis discretos com comutação em alta frequência. Assim, as grandezas instantâneas reais de saída são representadas por $v_o(t)$ e $i_o(t)$. Entretanto, para estabelecer relações analíticas na região linear de modulação, a modelagem é conduzida sobre as componentes fundamentais dessas formas de onda, denotadas por $v_{o1}(t)$ e $i_{o1}(t)$, correspondentes à primeira harmônica obtida por decomposição de Fourier.

Sob a hipótese de operação ideal, desprezam-se perdas de condução e de comutação nos dispositivos semicondutores de potência, bem como perdas magnéticas no autotransformador integrado à 3SSC. Nessas condições, a potência média fornecida pela fonte CC é integralmente transferida à carga.

A conservação de potência média é expressa por (4.50).

$$P_i = V_i \cdot I_i = P_o \quad (4.50)$$

Nessa relação, V_i e I_i correspondem à tensão e à corrente do barramento CC, enquanto P_o representa a potência média entregue à carga, definida como o valor médio da potência instantânea dada por $v_o(t) \cdot i_o(t)$. Essa igualdade constitui o ponto de partida para a dedução das relações entre as grandezas do barramento e a componente fundamental da saída.

Admitindo-se uma carga resistiva, a potência média na saída é definida como o valor médio da potência instantânea ao longo de um período fundamental, sendo dada por (4.51).

$$P_o = \frac{1}{T} \int_0^T p_o(t) dt \quad (4.51)$$

Considerando apenas as componentes fundamentais da tensão e da corrente, a potência média ativa na saída pode ser expressa por (4.52).

$$P_o = V_{o1,rms} I_{o1,rms} \cos(\varphi) \quad (4.52)$$

A equação (4.52) relaciona os valores eficazes das componentes fundamentais da tensão

e da corrente de saída, sendo válida quando a contribuição de potência ativa associada aos harmônicos é desprezível ou secundária frente à fundamental. Para o caso particular de carga puramente resistiva, em que $\varphi = 0$, a expressão reduz-se a (4.53).

$$P_o = V_{o1,rms} I_{o1,rms} \quad (4.53)$$

4.3.1 Relação entre Grandezas CC e CA

Como em CSI a variável modulada é a corrente, o índice de modulação M atua diretamente sobre a amplitude da corrente fundamental sintetizada na saída. A relação entre a corrente de pico da fundamental e a corrente do barramento CC é dada por (4.54).

$$I_{o1,pk} = M \cdot I_i \quad (4.54)$$

A equação (4.54) evidencia que o barramento CC define o valor máximo de corrente disponível, sendo o índice de modulação responsável por determinar a fração aplicada à componente fundamental da saída.

Considerando que (4.54) é senoidal, a relação entre seus valores de pico e eficaz é apresentada em (4.55).

$$I_{o1,RMS} = \frac{I_{o1,pk}}{\sqrt{2}} \quad (4.55)$$

Substituindo-se (4.55) em (4.52) e utilizando a igualdade de potência dada em (4.50), obtém-se a relação apresentada em (4.56).

$$V_i I_i = V_{o1,rms} \frac{M \cdot I_i}{\sqrt{2}} \quad (4.56)$$

Cancelando-se I_i em ambos os membros da igualdade e isolando $V_{o1,rms}$, chega-se à expressão (4.57).

$$V_{o1,rms} = \frac{\sqrt{2}}{M} V_i \quad (4.57)$$

A equação (4.57) demonstra que, no inversor CSI 5L-3SSC, a tensão eficaz da componente fundamental é inversamente proporcional ao índice de modulação, característica típica de CSI sob conservação de potência.

Sabendo que a tensão fundamental $v_{o1}(t)$ é senoidal, a relação entre seus valores eficaz e de pico é dada por (4.58).

$$V_{o1,pk} = \sqrt{2} V_{o1,rms} \quad (4.58)$$

Substituindo-se (4.57) em (4.58), obtém-se a expressão final para a tensão de pico da

componente fundamental da saída, apresentada em (4.59).

$$V_{o1,pk} = \frac{2}{M} V_i \quad (4.59)$$

A equação (4.59) evidencia o comportamento elevador de tensão do conversor na região linear de modulação, uma vez que, para $M \leq 1$, a relação de tensão entre a saída e o barramento CC pode assumir valores superiores à unidade.

Com base nas expressões anteriores, define-se as relações de tensão entre a saída do inversor e o barramento CC em (4.60).

$$G_v(M) = \frac{V_{o1,pk}}{V_i} = \frac{2}{M} \quad (4.60)$$

A equação (4.60) indica que o ganho de tensão cresce à medida que o índice de modulação diminui.

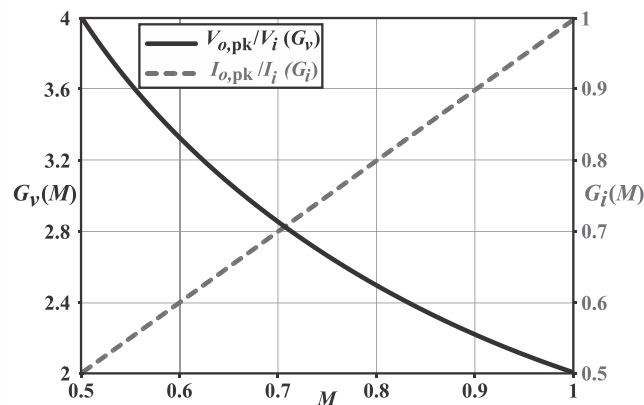
De forma análoga, substituindo-se (4.57) e (4.55) em (4.52) e utilizando a igualdade de potência expressa em (4.50), obtém-se a relação entre a corrente de pico de saída do inversor e a corrente do barramento CC em (4.61).

$$G_i(M) = \frac{I_{o1,pk}}{I_i} = M \quad (4.61)$$

A expressão (4.61) confirma que a relação de corrente é diretamente proporcional ao índice de modulação, refletindo a natureza da variável controlada nesta topologia.

A Figura 76 ilustra o comportamento inversamente proporcional entre as relações $G_v(M)$ e $G_i(M)$, evidenciando a coerência energética da topologia sob a hipótese de operação ideal e análise baseada na componente fundamental.

Figura 76 – Relações entre as grandezas fundamentais de saída e o barramento CC em função de M no inversor CSI 5L-3SSC.



Fonte: próprio autor.

4.3.2 Valor Eficaz da Corrente de Saída i_{ab}

Para o cálculo do valor eficaz da corrente de saída i_{ab} , considera-se a operação do inversor CSI 5L-3SSC sob a SVM, conforme estabelecido na seção 4.2. A análise é desenvolvida a partir do modelo de média no período de comutação T_s , assumindo que a frequência de comutação é significativamente superior à frequência fundamental. Nessa condição, as componentes de alta frequência associadas às comutações são desprezadas, e a corrente de saída i_{ab} pode ser representada por seu valor médio sintetizada em cada período T_s .

Conforme definido na expressão (4.22), a corrente de referência normalizada é expressa por (4.62).

$$i_{ref}(\omega t) = M \text{sen}(\omega t) \quad (4.62)$$

A expressão estabelece a variação angular da referência em função do índice de modulação M e do ângulo elétrico ω .

O setor de operação é determinado pelo valor instantâneo de i_{ref} . No primeiro quadrante da forma de onda, o ângulo de transição θ_s entre os Setores I e II ocorre quando i_{ref} atinge o valor normalizado 0,5, conforme estabelecido em (4.63).

$$M \text{sen}(\theta_s) = 0,5 \quad (4.63)$$

Isolando o ângulo de transição, obtém-se a relação apresentada em (4.64).

$$\theta_s = \text{sen}^{-1}\left(\frac{1}{2M}\right) \quad (4.64)$$

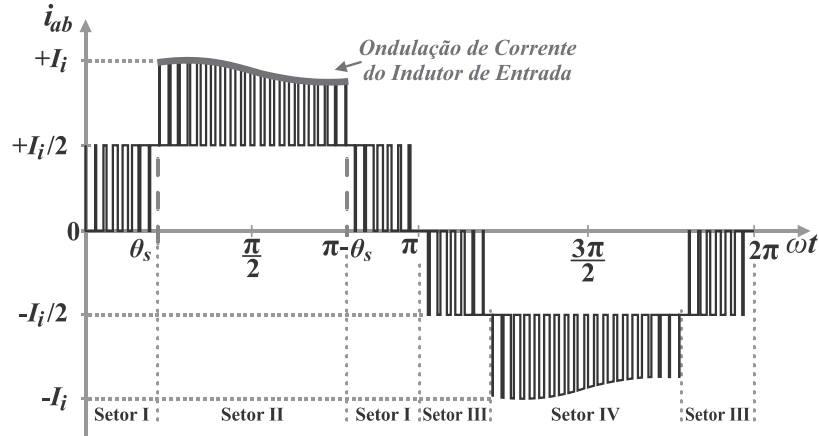
A condição impõe $1/(2M) \leq 1$, resultando em $M \geq 0,5$, limite que coincide com o índice de modulação mínimo necessário para a síntese dos cinco níveis de tensão pelo inversor. Esse limite define a fronteira inferior da região de operação em que a modulação SVM consegue reproduzir a estrutura multinível desejada, garantindo a correta combinação dos estados de comutação responsáveis pela geração dos níveis discretos de tensão na saída.

A Figura 77 ilustra a forma de onda da corrente instantânea de saída i_{ab} , bem como o ângulo θ_s , que define a transição entre os setores no primeiro quadrante do período fundamental. Esse ângulo estabelece o ponto em que ocorre a mudança da sequência de vetores aplicada pela modulação, delimitando os intervalos de operação associados a cada setor.

A ondulação observada na corrente de saída decorre da dinâmica do indutor de entrada e das comutações em alta frequência dos dispositivos semicondutores de potência, produzindo pequenas variações em torno dos níveis discretos assumidos pela corrente. Para o desenvolvimento da modelagem analítica, essa ondulação é desconsiderada, adotando-se a

aproximação por níveis ideais constantes ao longo de cada intervalo de comutação, o que permite simplificar o tratamento matemático sem comprometer a representação do comportamento médio da corrente.

Figura 77 – Forma de onda da corrente i_{ab} e ângulo θ_s que define a transição entre os setores.



Fonte: próprio autor.

Durante o intervalo angular $0 \leq \omega t \leq \pi/2$, o valor eficaz da corrente de saída pode ser determinado a partir da integração do quadrado da corrente sintetizada. Em virtude da simetria de quarto de onda da forma de onda, a análise pode ser restrita ao primeiro quadrante, conforme definido em (4.65).

$$I_{ab,rms} = \sqrt{\frac{2}{\pi} \int_0^{\pi/2} i_{ab}^2(\omega t) d\omega t} \quad (4.65)$$

A expressão em (4.65) corresponde à definição do valor médio quadrático da corrente ao longo do primeiro quadrante. Como a corrente sintetizada assume diferentes combinações de níveis discretos em cada setor, a forma em (4.65) pode ser decomposta em contribuições setoriais, conforme apresentado em (4.66).

$$I_{ab,rms} = \sqrt{\frac{2}{\pi} \left[\int_0^{\theta_s} \left(I_{ab,rms}^{SI}(\omega t) \right)^2 d\omega t + \int_{\theta_s}^{\pi/2} \left(I_{ab,rms}^{SII}(\omega t) \right)^2 d\omega t \right]} \quad (4.66)$$

A expressão em (4.66) integra separadamente os quadrados dos valores eficazes por período de comutação associados a cada setor, ponderados pelos respectivos intervalos angulares.

No Setor I, a corrente de saída assume os níveis discretos 0 e $+I_i/2$, conforme a sequência simétrica ilustrada na Figura 69. O valor eficaz por período de comutação é obtido pela integração do quadrado da corrente ao longo de $T_s/2$, conforme definido em (4.67).

$$I_{ab,rms}^{St_1} = \sqrt{\frac{1}{T_s/2} \left[\int_0^{t_1} \left(\frac{I_i}{2}\right)^2 dt + \int_{t_1}^{t_2} 0^2 dt + \int_{t_2}^{T_s/2} \left(\frac{I_i}{2}\right)^2 dt \right]} \quad (4.67)$$

Substituindo-se as durações temporais associadas aos tempos de permanência do Setor I, isto é, utilizando-se T_b correspondente ao nível $+I_i/2$, obtém-se a forma simplificada apresentada em (4.68).

$$I_{ab,rms}^{St_1} = \sqrt{\frac{2}{T_s} \left[\left(\frac{I_i}{2}\right)^2 \frac{T_b}{4} + 0^2 \frac{T_a}{2} + \left(\frac{I_i}{2}\right)^2 \frac{T_b}{4} \right]} = \frac{I_i}{2} \sqrt{\frac{T_b}{T_s}} \quad (4.68)$$

Substituindo-se a expressão de T_b deduzida em (4.43) para o Setor I em função de i_{ref} , obtém-se a forma equivalente apresentada em (4.69).

$$I_{ab,rms}^{St_1} = I_i \sqrt{\frac{i_{ref}(\omega t)}{2}} \quad (4.69)$$

No Setor II, a corrente de saída i_{ab} assume os níveis discretos $+I_i/2$ e $+I_i$ conforme a sequência simétrica ilustrada na Figura 71. O valor eficaz por período de comutação é obtido pela integração do quadrado da corrente ao longo de $T_s/2$, conforme expresso em (4.70).

$$I_{ab,rms}^{St_{II}} = \sqrt{\frac{1}{T_s/2} \left[\int_0^{t_1} \left(\frac{I_i}{2}\right)^2 dt + \int_{t_1}^{t_2} (I_i)^2 dt + \int_{t_2}^{T_s/2} \left(\frac{I_i}{2}\right)^2 dt \right]} \quad (4.70)$$

Substituindo-se as durações temporais associadas aos tempos de permanência do Setor II, isto é, utilizando-se T_a e T_b , obtém-se a expressão apresentada em (4.71).

$$I_{ab,rms}^{St_{II}} = \sqrt{\frac{2}{T_s} \left[\left(\frac{I_i}{2}\right)^2 \frac{T_b}{4} + (I_i)^2 \frac{T_a}{2} + \left(\frac{I_i}{2}\right)^2 \frac{T_b}{4} \right]} = I_i \sqrt{\frac{3i_{ref}(\omega t) - 1}{2}} \quad (4.71)$$

Substituindo-se as expressões (4.44) e (4.45) em (4.71), obtém-se (4.72).

$$I_{ab,rms}^{St_{II}} = I_i \sqrt{\frac{3i_{ref}(\omega t) - 1}{2}} \quad (4.72)$$

Substituindo (4.69) e (4.72) em (4.66), obtém-se (4.73).

$$I_{ab,rms} = \sqrt{\frac{I_i^2}{\pi} \left[\int_0^{\theta_s} (i_{ref}(\omega t)) d\omega t + \int_{\theta_s}^{\pi/2} (3i_{ref}(\omega t) - 1) d\omega t \right]} \quad (4.73)$$

Substituindo (4.62) em (4.73), obtém-se a expressão (4.74).

$$I_{ab,rms} = \sqrt{\frac{I_i^2}{2} \left[\int_0^{\theta_s} M \sen(\omega t) d\omega t + \int_{\theta_s}^{\pi/2} [3M \sen(\omega t) - 1] d\omega t \right]} \quad (4.74)$$

Resolvendo as integrais em (4.74), chega-se a (4.75).

$$I_{ab,rms} = I_i \sqrt{\frac{1}{\pi} \left(2M \cos(\theta_s) + M - \frac{\pi}{2} + \theta_s \right)} \quad (4.75)$$

Finalmente, substituindo (4.64) em (4.75) e realizando simplificações, obtém-se o valor eficaz da corrente de saída i_{ab} em função do índice de modulação M .

$$I_{ab,rms} = I_i \sqrt{\frac{1}{\pi} \left[M - \frac{\pi}{2} + \text{sen}^{-1} \left(\frac{1}{2M} \right) + \sqrt{4M^2 - 1} \right]} \quad (4.76)$$

4.3.3 Taxa de Distorção Harmônica da Corrente i_{ab}

A avaliação da qualidade da corrente i_{ab} sintetizada pelo inversor CSI 5L-3SSC constitui uma etapa fundamental da análise quantitativa, sendo a THD um dos principais indicadores empregados para esse fim. Esse parâmetro quantifica a contribuição das componentes harmônicas em relação à componente fundamental de saída e é amplamente adotado em normas técnicas para caracterização do desempenho de conversores de potência.

Ressalta-se que a THD calculada nesta seção refere-se à corrente multinível sintetizada diretamente do inversor, antes de qualquer estágio de filtragem. Portanto, os valores obtidos representam o limite teórico intrínseco à estratégia de modulação adotada. Desta forma, a $THD_{i_{ab}}$ é expressa em função do valor eficaz total da corrente e do valor eficaz de sua componente fundamental, conforme definido por (4.77).

$$THD_{i_{ab}} = \sqrt{\left[\left(\frac{I_{ab,rms}}{I_{o1,rms}} \right)^2 - 1 \right]} \times 100\% \quad (4.77)$$

Na presente análise, o valor eficaz da componente fundamental $I_{o1,rms}$ é obtido substituindo (4.54) em (4.55), dado em (4.78).

$$I_{o1,rms} = \frac{M I_i}{\sqrt{2}} \quad (4.78)$$

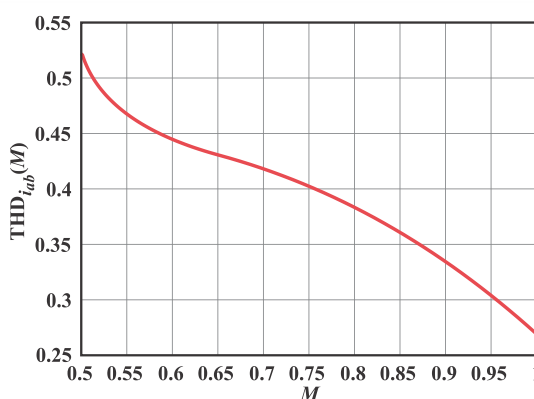
Portanto, substituindo (4.76) e (4.78) em (4.77), obtém-se o THD da corrente de saída i_{ab} em função do índice de modulação M , dado em (4.79).

$$THD_{i_{ab}} = \sqrt{\frac{2}{M^2} \left[\frac{1}{\pi} \text{sen}^{-1} \left(\frac{1}{2M} \right) - \frac{M^2}{2} + \frac{M}{\pi} + \frac{1}{\pi} \sqrt{4M^2 - 1} - \frac{1}{2} \right]} \quad (4.79)$$

A Figura 78 apresenta a forma de onda da taxa de distorção harmônica da corrente de saída i_{ab} em função do índice de modulação M . Observa-se que a variação desse índice influencia diretamente o conteúdo harmônico da corrente, refletindo o comportamento do processo de síntese das formas de onda pelo inversor ao longo da faixa de modulação analisada.

As expressões (4.76) e (4.79) fornecem, respectivamente, o valor eficaz de i_{ab} e a THD_{iab} na faixa linear $M \geq 0,5$, ambas diretamente em função de M . Dessa forma, a distorção harmônica da corrente sintetizada pode ser avaliada de modo analítico, sendo que a Figura 78 sintetiza a variação de THD_{iab} ao longo da região linear de modulação.

Figura 78 – Forma de onda da THD da corrente de saída i_{ab} em função do índice de modulação M .



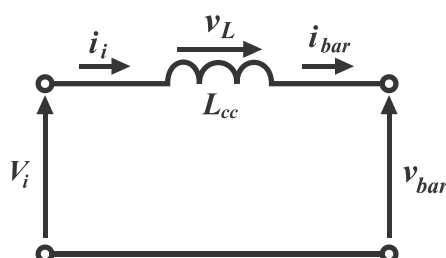
Fonte: próprio autor.

4.3.4 Dimensionamento do Indutor do Barramento CC

A modelagem e o procedimento de dimensionamento adotados baseiam-se na abordagem clássica de modelagem média de conversores apresentada por Mohan *et al.* (2003). Aplicando o princípio da dualidade tensão-corrente entre VSI e CSI, as expressões são adaptadas às grandezas características do inversor CSI 5L-3SSC, mantendo-se a estrutura metodológica empregada anteriormente.

Em um CSI, o barramento CC é implementado por um indutor em série com a fonte de alimentação contínua. A Figura 79 apresenta o modelo equivalente adotado para o elo CC, no qual v_{bar} é a tensão filtrada pelo indutor.

Figura 79 – Modelo do barramento CC de um inversor CSI.

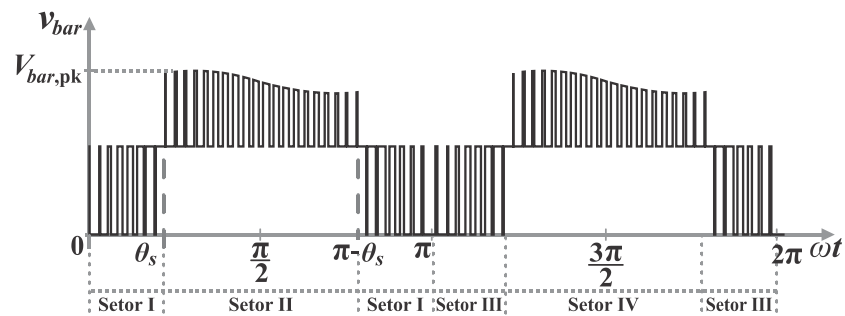


Fonte: próprio autor.

Nos inversores VSI, cuja entrada é alimentada por uma fonte de tensão contínua e cujo

elo CC é predominantemente capacitivo, a corrente do barramento CC apresenta uma forma de senoide retificada comutada, refletindo a pulsação de potência característica de sistemas monofásicos. Já nos inversores CSI, o indutor do barramento armazena e libera energia periodicamente, refletindo a pulsação de potência característica de sistemas monofásicos. A tensão v_{bar} apresenta componente dominante em frequência igual ao dobro da frequência fundamental de saída, conforme ilustrado na Figura 80.

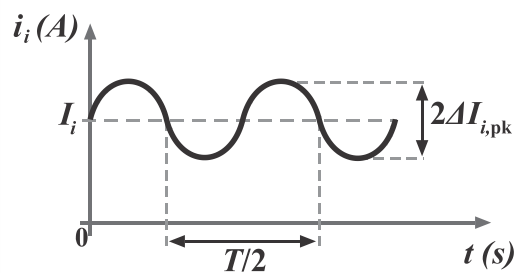
Figura 80 – Tensão do barramento CC do inversor CSI 5L-3SSC.



Fonte: próprio autor.

A corrente no barramento CC pode ser descrita por uma componente média aproximadamente constante, sobre a qual se superpõe uma ondulação periódica associada à pulsação de potência do sistema monofásico, conforme ilustrado na Figura 81.

Figura 81 – Corrente no barramento CC do inversor CSI 5L-3SSC.



Fonte: próprio autor.

A dinâmica elétrica do indutor do barramento é descrita pela relação apresentada em (4.80). Essa equação estabelece o vínculo fundamental entre a tensão aplicada ao indutor e a variação temporal da corrente do elo CC.

$$v_L(t) = L_{cc} \frac{di_i(t)}{dt} \quad (4.80)$$

A tensão no indutor pode ser obtida a partir do modelo da Figura 79, conforme (4.81).

$$v_L(t) = V_i - v_{bar}(t) \quad (4.81)$$

Essa relação mostra que a diferença entre a tensão da fonte e a tensão no terminal do conversor governa a dinâmica da corrente.

A potência instantânea no barramento CC é definida em (4.82).

$$p_{bar}(t) = v_{bar}(t)i_i(t) \quad (4.82)$$

Sob hipótese ideal, essa potência coincide com a potência instantânea transferida ao lado CA.

Considerando a aproximação das grandezas de saída por suas componentes fundamentais, conforme (4.83) e (4.84).

$$v_{o1}(t) = V_{o1,pk} \text{sen}(\omega t) \quad (4.83)$$

$$i_{o1}(t) = I_{o1,pk} \text{sen}(\omega t - \varphi) \quad (4.84)$$

Essa aproximação é válida para cargas lineares ou para sistemas com filtragem suficiente, desde que se considerem as componentes fundamentais vistas pelo conversor.

A potência instantânea na saída é definida conforme (4.85).

$$p_o(t) = v_o(t)i_o(t) \quad (4.85)$$

Substituindo-se as grandezas exatas por suas componentes fundamentais, obtém-se a forma aproximada da potência instantânea, dada em (4.86).

$$p_o(t) \approx v_{o1}(t)i_{o1}(t) \quad (4.86)$$

A decomposição trigonométrica de (4.85) conduz à expressão apresentada em (4.87).

$$p_o(t) = \frac{V_{o1,pk}I_{o1,pk}}{2} \cos \varphi - \frac{V_{o1,pk}I_{o1,pk}}{2} \cos(2\omega t - \varphi) \quad (4.87)$$

Essa expressão evidencia que, sob a aproximação pelas componentes fundamentais, a potência instantânea apresenta uma componente média e um termo oscilatório associado à segunda harmônica da frequência fundamental, isto é, em 2ω .

As componentes média e oscilatória são definidas em (4.88) e (4.89).

$$P_o = \frac{V_{o1,pk}I_{o1,pk}}{2} \cos \varphi \quad (4.88)$$

$$P_{2\omega} = \frac{V_{o1,pk}I_{o1,pk}}{2} \quad (4.89)$$

Em (4.88) P_o representa a potência média ativa e em (4.89) $P_{2\omega}$ corresponde à amplitude da componente oscilatória da potência instantânea.

Observa-se que a amplitude da componente oscilatória em 2ω independe do ângulo de defasagem φ , enquanto a potência média ativa depende diretamente do termo $\cos(\varphi)$.

A energia armazenada no indutor é definida em (4.90).

$$E_L(t) = \frac{1}{2} L_{cc} i_i^2(t) \quad (4.90)$$

Combinando (4.82), (4.85) e (4.90), obtém-se a equação do elo CC em (4.91).

$$V_i i_i(t) - p_o(t) = \frac{d}{dt} \left(\frac{1}{2} L_{cc} i_i^2(t) \right) \quad (4.91)$$

Essa expressão mostra que a diferença entre potência fornecida e potência exigida é absorvida como variação de energia no indutor.

A corrente do barramento pode ser decomposta conforme (4.92).

$$i_i(t) = I_i + \tilde{i}_i(t) \quad (4.92)$$

Essa decomposição permite separar a componente média da corrente do barramento da componente alternada imposta pela parcela oscilatória da potência instantânea em 2ω , conforme discutido anteriormente.

Admitindo uma ondulação pequena, a linearização de (4.91) conduz à forma apresentada em (4.93).

$$V_i \tilde{i}_i(t) - \tilde{p}_o(t) = L_{cc} I_i \frac{d\tilde{i}_i(t)}{dt} \quad (4.93)$$

A componente pulsante de potência é escrita conforme (4.94).

$$\tilde{p}_o(t) = -P_{2\omega} \cos(2\omega t - \varphi) \quad (4.94)$$

Assumindo regime permanente, a solução para a ondulação de corrente pode ser escrita conforme (4.95).

$$\tilde{i}_i(t) = \Delta I_{i,\max} \cos(2\omega t - \varphi + \alpha) \quad (4.95)$$

Substituindo (4.94) e (4.95) em (4.93) e comparando amplitudes, obtém-se a relação geral em (1.90).

$$\Delta I_{i,\max} = \frac{P_{2\omega}}{\sqrt{V_i^2 + (2\omega L_{cc} I_i)^2}} \quad (4.96)$$

Essa expressão é válida para qualquer tipo de carga linear ou carga com filtro, desde que $P_{2\omega}$ seja calculada a partir das grandezas fundamentais vistas pelo conversor.

Isolando L_{cc} em (4.96), obtém-se a forma geral de dimensionamento apresentada em (4.97).

$$L_{cc} = \frac{1}{2\omega I_i} \sqrt{\left(\frac{P_{2\omega}}{\Delta I_{i,\max}} \right)^2 - V_i^2} \quad (4.97)$$

Definindo a ondulação relativa conforme (4.98).

$$\Delta I_{i,\max} = r_L I_i \quad (4.98)$$

O parâmetro r_L é adimensional e define a ondulação relativa da corrente do barramento CC, devendo ser especificado em valor percentual ou decimal.

Substituindo (4.98) em (4.97), obtém-se a forma final universal em (1.93).

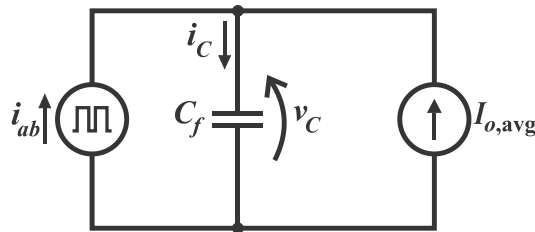
$$L_{cc} = \frac{1}{2\omega I_i} \sqrt{\left(\frac{P_{2\omega}}{r_L I_i}\right)^2 - V_i^2} \quad (4.99)$$

Essa expressão permanece válida para qualquer carga com filtro, desde que $P_{2\omega}$ e I_i sejam obtidos a partir das grandezas fundamentais equivalentes vistas pelo conversor.

4.3.5 Dimensionamento do Capacitor de Filtro de Saída

Para o dimensionamento do capacitor de filtro C_f , adota-se a metodologia clássica de balanço de carga aplicada a conversores monofásicos, conforme apresentada por Erickson *et al.* (2007). A análise é conduzida a partir do circuito equivalente mostrado na Figura 82, no qual a corrente sintetizada pelo inversor antes do filtro é representada por i_{ab} , a corrente na carga por i_o e a corrente no capacitor por i_C .

Figura 82 – Circuito equivalente para análise do filtro capacitivo de saída.



Fonte: próprio autor.

No período de comutação considerado, a corrente i_{ab} pode ser aproximada por uma forma retangular de dois níveis em alta frequência. Durante o intervalo de comutação T_C a corrente de saída i_o pode ser aproximada por seu valor médio local $I_{o,\text{avg}}$, que corresponde ao valor quase instantâneo da componente fundamental.

Essa aproximação é válida porque a frequência de comutação é significativamente superior à frequência fundamental, de modo que a dinâmica da carga não se altera significativamente dentro de um único período de comutação.

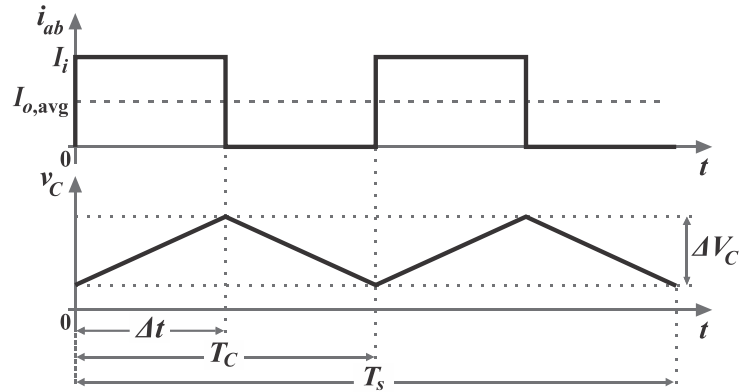
A relação constitutiva do capacitor no intervalo linear de variação de tensão é expressa em (4.100).

$$i_c = C \cdot \frac{\Delta v_C}{\Delta t} \quad (4.100)$$

Essa expressão estabelece que a corrente no capacitor é proporcional à taxa de variação da tensão no intervalo considerado.

A representação temporal correspondente é ilustrada na Figura 83.

Figura 83 – Representação temporal da tensão no capacitor de filtro C_f e corrente de saída.



Fonte: próprio autor.

O balanço instantâneo de correntes no nó do capacitor é expresso por (4.101).

$$i_c = i_{ab} - i_o \quad (4.101)$$

A corrente i_c representa a parcela absorvida pelo capacitor quando i_{ab} excede i_o e devolvida ao circuito no caso oposto.

Considerando a aproximação de média no período T_C , a corrente na carga pode ser expressa conforme (4.102).

$$i_o = \frac{\Delta t}{T_C} \cdot I_i \quad (4.102)$$

Nessa formulação, $\Delta t/T_C$ representa a fração adimensional do período de comutação durante a qual a corrente aplicada ao nó assume o valor I_i .

A substituição de (4.102) em (4.101) conduz à expressão (4.103).

$$i_c = I_i \cdot \left(1 - \frac{\Delta t}{T_C}\right) \quad (4.103)$$

Essa forma evidencia que a corrente efetiva no capacitor é determinada pela diferença entre a corrente fornecida pelo barramento e a corrente média exigida pela carga no intervalo analisado.

Igualando-se as expressões (4.103) e (4.100), resulta a relação apresentada em (4.104).

$$I_i \left(1 - \frac{\Delta t}{T_C}\right) = C_f \frac{\Delta v_C}{\Delta t} \quad (4.104)$$

A equação (4.104) formaliza o balanço de carga no capacitor ao longo do intervalo Δt , relacionando a corrente média fornecida pelo barramento à variação da tensão no capacitor.

Isolando-se Δv_C em (4.104), chega-se à expressão apresentada em (4.105).

$$\Delta v_C = \frac{I_i}{C_f} \left(1 - \frac{\Delta t}{T_C}\right) \left(\frac{\Delta t}{T_C}\right) T_C \quad (4.105)$$

Essa expressão mostra que a ondulação de tensão depende do produto entre a fração de condução e sua complementar, atingindo valor nulo nos extremos e máximo em valor intermediário.

A relação entre o período T_C e a frequência efetiva de excitação do capacitor é apresentada em (4.106).

$$T_C = \frac{1}{f_C}, \quad f_C = 2f_s \quad (4.106)$$

A frequência f_C corresponde à frequência dominante da excitação de alta frequência aplicada ao capacitor C_f . Como a corrente i_{ab} apresenta duas excitações equivalentes dentro de cada período de comutação T_s , conforme ilustrado na Figura 83.

Define-se a ondulação de tensão normalizada conforme (4.107).

$$\Delta \bar{v}_C = \frac{2f_s C_f \Delta v_C}{I_i} \quad (4.107)$$

Essa grandeza adimensional permite expressar o comportamento da ondulação independentemente dos valores absolutos de corrente e capacitância.

Com a substituição de (4.105) e (4.106) em (4.107), obtém-se (4.108).

$$\Delta \bar{v}_C = \left(1 - \frac{\Delta t}{T_C}\right) \left(\frac{\Delta t}{T_C}\right) \quad (4.108)$$

Essa forma evidencia que a ondulação normalizada depende exclusivamente da fração temporal $\Delta t/T_C$.

A condição de máximo de (4.108) é apresentada em (4.109).

$$\left(\frac{\Delta t}{T_C}\right)_{\max} = 0,5, \quad \Delta \bar{v}_C = 0,25 \quad (4.109)$$

Esse resultado decorre da maximização do produto de uma variável e seu complementar e define o pior caso para dimensionamento conservativo.

A substituição de (4.109) em (4.107) conduz ao valor máximo da ondulação de tensão

em (4.110).

$$\Delta V_{C,\max} = \frac{I_i}{8f_s C_f} \quad (4.110)$$

Essa expressão estabelece o limite superior da ondulação de tensão para o capacitor de filtro sob as hipóteses adotadas.

O isolamento de C_f em (4.110) fornece a expressão final de dimensionamento apresentada em (4.111).

$$C = \frac{I_i}{8f_s \Delta V_{C,\max}} \quad (4.111)$$

Definindo a ondulação relativa conforme (4.112).

$$\Delta V_{C,\max} = r_C V_{o1,\text{pk}} \quad (4.112)$$

O parâmetro r_C é adimensional e define a ondulação relativa da tensão no capacitor de filtro C_f , devendo ser especificado em valor percentual ou decimal.

Substituindo (4.112) em (4.111), obtém-se a forma final universal em (4.113).

$$C = \frac{I_i}{8f_s r_C V_{o1,\text{pk}}} \quad (4.113)$$

As expressões deduzidas nesta seção definem o critério de dimensionamento do capacitor de filtro. Com os elementos do elo CC devidamente estabelecidos, passa-se à aplicação do procedimento de projeto para o inversor CSI 5L-3SSC e à sua validação por simulação.

4.4 PROJETO E VALIDAÇÃO POR SIMULAÇÃO DO CSI 5L-3SSC

Esta seção aplica as expressões analíticas desenvolvidas ao longo do capítulo a um conjunto representativo de condições de operação, com o objetivo de verificar numericamente o comportamento do inversor sob as premissas estabelecidas para a topologia fonte de corrente.

São definidos os parâmetros elétricos e operacionais adotados nas simulações, incluindo frequência de comutação, frequência fundamental, corrente eficaz de saída e níveis de potência. Os valores selecionados são coerentes com aqueles empregados nos capítulos subsequentes dedicados ao VSI 5L-3SSC, assegurando uniformidade nas condições de análise ao longo da tese.

A análise contempla duas condições de carga: puramente resistiva e resistiva associada a filtro capacitivo C_f . Essa escolha permite avaliar o comportamento das grandezas sintetizadas

e a influência do elemento filtrante sobre a ondulação associada às componentes de comutação.

4.4.1 Especificações de Projeto para Simulação

Os parâmetros adotados para o projeto e simulação do CSI 5L-3SSC são apresentados na Tabela 5. Os valores selecionados correspondem a condições nominais de operação compatíveis com a modelagem desenvolvida e coerentes com os capítulos subsequentes dedicados ao VSI 5L-3SSC, assegurando uniformidade nas condições de análises.

Tabela 9 – Parâmetros de projeto para simulação do inversor CSI 5L-3SSC.

Parâmetro	Símbolo	Valor
Tensão de entrada	V_i	80 V
Frequência de comutação	f_s	10 kHz
Frequência fundamental de saída	f	60 Hz
Potência aparente de saída	S_o	1,1 kVA
Resistência de carga	R_o	22 Ω
Ondulação de corrente no barramento CC	r_L	20%
Ondulação na tensão do capacitor de filtro C_f	r_C	5%

Fonte: próprio autor.

A frequência fundamental de saída é fixada em 60 Hz, enquanto a frequência de comutação é definida em 10 kHz. A potência aparente nominal e a resistência de carga são mantidas idênticas às adotadas na análise do VSI, permitindo avaliar o desempenho do conversor sob mesmas condições elétricas de saída.

Para a carga puramente resistiva, a potência ativa coincide com a potência aparente. Ainda assim, os resultados são expressos em termos de potência aparente S_o , preservando uniformidade na apresentação das grandezas elétricas.

4.4.2 Determinação das Grandezas de Projeto

Nesta subseção são estabelecidas as grandezas do ponto nominal de operação e efetuados os dimensionamentos do indutor do barramento L_{cc} e do capacitor de filtro C_f para as duas condições de carga analisadas. Em ambos os casos, a potência aparente nominal S_o é adotada como especificação.

4.4.2.1 Operação com carga R

Para carga puramente resistiva, o fator de potência é unitário, implicando igualdade entre potência aparente e potência ativa conforme (4.114).

$$S_o = P_o \quad (4.114)$$

Impondo-se S_o da Tabela 5, fixa-se a potência ativa nominal em $P_o = 1100$ W.

A corrente média no barramento é obtida a partir da conservação de potência média expressa em (4.50), conduzindo a (4.115).

$$I_i = \frac{P_o}{V_i} \quad (4.115)$$

Substituindo-se (4.114) e $V_i = 80$ V em (4.115), obtém-se 13,75 A.

O valor eficaz total da corrente na carga é determinado pelo fechamento de potência na resistência conforme (4.116).

$$I_{ab,rms} = \sqrt{\frac{P_o}{R_o}} \quad (4.116)$$

Com $R_o = 22 \Omega$, obtém-se 7,07 A.

A tensão eficaz total na carga decorre diretamente da relação resistiva expressa em (4.117).

$$V_{ab,rms} = R_o I_{ab,rms} \quad (4.117)$$

Da substituição numérica resulta no valor de 155,56 V.

O índice de modulação é então determinado impondo-se a coerência entre I_i e $I_{ab,rms}$ na expressão analítica da corrente eficaz total dada em (4.76), obtendo-se 0,669.

A ondulação admissível da corrente no barramento segue a expressão (4.98), conforme indicado em (4.118).

$$\Delta I_{i,max} = 2,75 \text{ A} \quad (4.118)$$

Considerando $f = 60$ Hz, a frequência angular fundamental é definida conforme a expressão em (4.119).

$$\omega = 2\pi f = 376,99 \text{ rad/s} \quad (4.119)$$

A indutância do barramento é então determinada a partir de (4.99), considerando $P_{2\omega} = S_o$, conduzindo ao valor indicado em (4.120).

$$L_{cc} = 37,8 \text{ mH} \quad (4.120)$$

A análise precedente estabelece o ponto nominal sob fator de potência unitário, servindo como referência para avaliar os efeitos introduzidos pela inserção do capacitor de filtro na

condição subsequente.

4.4.2.2 Operação com Carga R e filtro C

Para a operação com carga R e filtro C mantém-se a potência aparente nominal conforme parâmetro de projeto dado pela Tabela 5.

A presença do capacitor introduz defasagem entre tensão e corrente na componente fundamental, implicando que a potência ativa dissipada na resistência seja dada por (4.121).

$$P_o = S_o \cos \varphi \quad (4.121)$$

A defasagem associada ao paralelo $R_o || C_f$ é obtida pela relação fasorial expressa em (4.122).

$$\varphi = \tan^{-1}(\omega C_f R_o) \quad (4.122)$$

O capacitor de filtro é dimensionado pela expressão (4.113), cujo valor é apresentado em (4.123).

$$C_f = 15,56 \mu\text{F} \quad (4.123)$$

A substituição de (4.123) em (4.122) fornece a defasagem indicada em (4.124).

$$\varphi = 17,35^\circ \quad (4.124)$$

A potência ativa correspondente decorre da aplicação de (4.121), conforme (4.125).

$$P_o = 1090 \text{ W} \quad (4.125)$$

A corrente média do barramento é novamente obtida a partir de (4.50), conduzindo ao valor indicado em (4.126).

$$I_i = 13,64 \text{ A} \quad (4.126)$$

A tensão eficaz fundamental na carga é determinada impondo-se $S_o = V_{o1,\text{rms}} I_{o1,\text{rms}}$ no paralelo de R_o e C_f , chegando-se ao valor apresentado em (4.127).

$$V_{o1,\text{rms}} = 154,92 \text{ V} \quad (4.127)$$

O índice de modulação é então obtido por meio de (4.57), resultando no valor de 0,73.

Conforme parâmetros de projeto aplicados a (4.98), a ondulação admissível da corrente no barramento é obtida em (4.128).

$$\Delta I_{i,\text{max}} = 2,73 \text{ A} \quad (4.128)$$

A indutância do barramento é novamente avaliada por meio de (4.99), mantendo $P_{2\omega} = S_o$, conduzindo ao valor apresentado em (4.129).

$$L_{cc} = 38,4 \text{ mH} \quad (4.129)$$

Com as grandezas I_i , M , L_{cc} e C_f definidas para ambas as condições de carga, estabeleceu-se o ponto nominal de operação do inversor. A seguir, procede-se à validação numérica por meio de simulação, analisando-se as formas de onda e os valores eficazes obtidos para os casos com carga R e com carga R associada ao capacitor de filtro.

4.4.3 Resultados de Simulação

Com base nos parâmetros definidos na Seção 4.4.2, o inversor foi implementado em ambiente de simulação com o objetivo de verificar a aderência entre o modelo analítico e o comportamento numérico do sistema. Foram consideradas duas condições de carga: puramente resistiva e resistiva com capacitor de filtro C_f , mantendo-se inalterados os parâmetros elétricos, o índice de modulação M e a estratégia de modulação SVM.

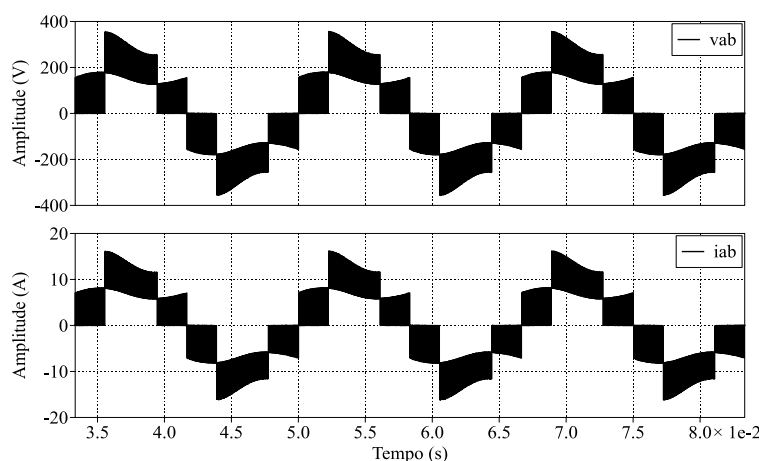
As simulações foram conduzidas em regime permanente, assegurando a eliminação de transitórios iniciais, de modo que os valores eficazes apresentados correspondem exclusivamente ao comportamento estacionário do sistema e os resultados são apresentados separadamente para cada condição de carga.

4.4.3.1 Operação com Carga R

Para a condição de carga R, não há defasagem entre tensão e corrente, sendo i_{ab} proporcional a v_{ab} em todo o período fundamental.

A Figura 84 apresenta as formas de onda da tensão de saída v_{ab} e da corrente i_{ab} em regime permanente.

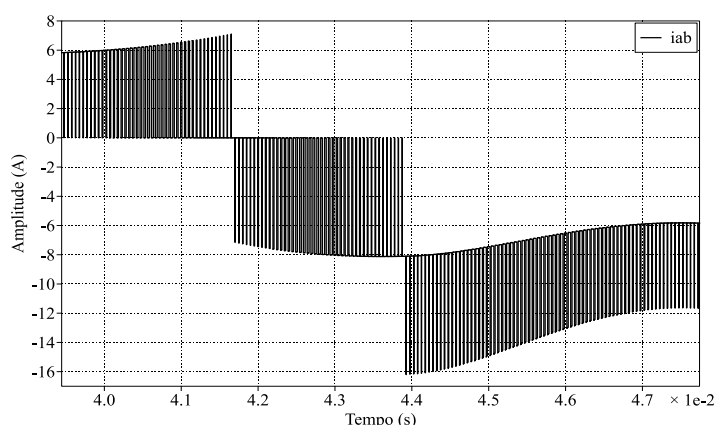
Figura 84 – Formas de onda da tensão v_{ab} e corrente i_{ab} do inversor CSI 5L-3SSC sob carga R.



Observa-se a síntese de cinco níveis discretos ao longo do período fundamental, conforme previsto pela modelagem multinível estabelecida anteriormente. A corrente reproduz a mesma sequência de níveis da tensão aplicada, confirmando a proporcionalidade instantânea característica da carga R. Os valores por simulação são $V_{ab,rms} = 156,51$ V e $I_{ab,rms} = 7,11$ A.

Para evidenciar a estrutura multinível da corrente de saída, a Figura 85 apresenta uma ampliação temporal de i_{ab} na escala de comutação, permitindo observar com maior detalhe os níveis discretos sintetizados pelo inversor durante o período de comutação.

Figura 85 – Detalhe da corrente i_{ab} em alta frequência, evidenciando os níveis discretos sintetizados.

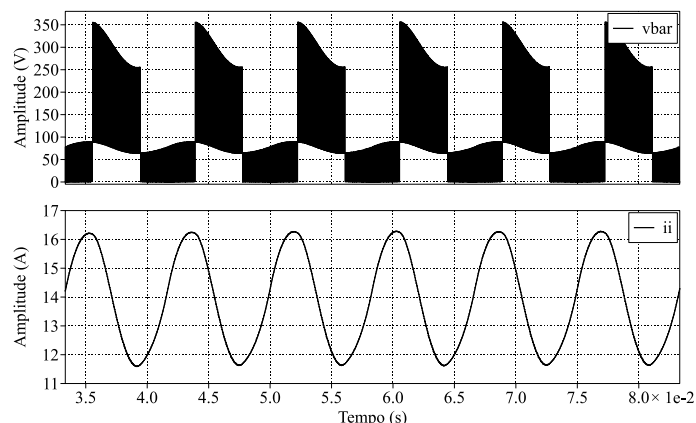


A ampliação evidencia claramente a estrutura multinível associada à sequência de vetores aplicados pela modulação SVM, na qual a corrente de saída é formada pela combinação temporal de níveis discretos determinados pelos estados de comutação do inversor. Observa-se que a forma de onda resultante apresenta transições entre níveis sucessivos, confirmando que a componente fundamental é obtida a partir da média temporal desses níveis ao longo do período de comutação, sem a presença de filtragem externa na saída.

A Figura 86 apresenta o comportamento das grandezas associadas ao elo CC, incluindo a tensão do barramento CC v_{bar} e a corrente do indutor i_i , permitindo analisar a dinâmica das variáveis internas responsáveis pelo fornecimento de energia ao inversor durante o processo de conversão.

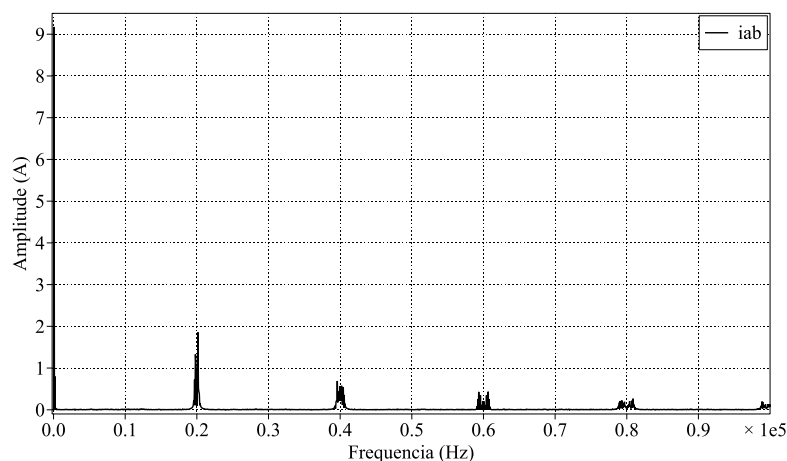
Observa-se que a tensão do barramento apresenta perfil pulsado associado à transferência de energia característica do CSI, enquanto a corrente do indutor exibe ondulação periódica de baixa frequência superposta ao valor médio. Esse comportamento está em conformidade com a modelagem média apresentada anteriormente.

Figura 86 – Tensão do barramento v_{bar} e corrente do indutor i_i associados ao elo CC sob carga R.



A Figura 87 apresenta o espectro harmônico da corrente de saída i_{ab} obtido por simulação.

Figura 87 – Espectro harmônico da corrente de saída i_{ab} do inversor CSI 5L-3SSC.



Observa-se a predominância da componente fundamental associada à frequência de operação do sistema. As demais componentes harmônicas concentram-se principalmente em torno do dobro da frequência de comutação $2f_s$, correspondente a aproximadamente 20 kHz, bem como em seus múltiplos. Esse comportamento decorre da estrutura multinível e da sequência de vetores aplicada pela modulação SVM, que desloca as componentes harmônicas para regiões de alta frequência, afastando-as da frequência fundamental.

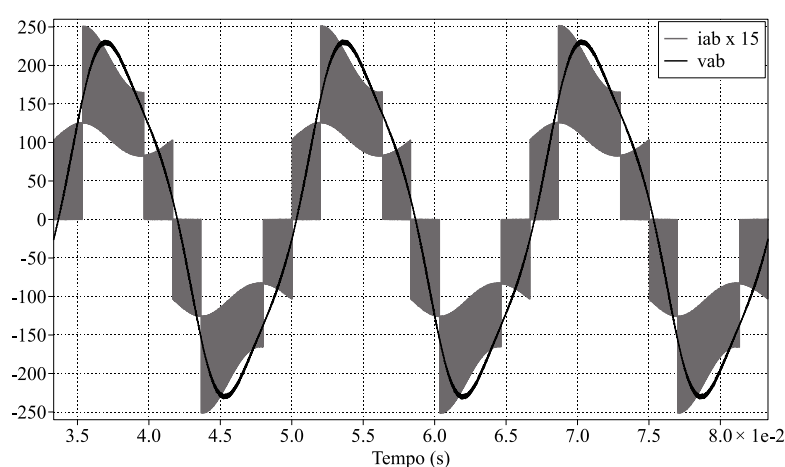
4.4.3.2 Operação com Carga R e Filtro C

Considera-se agora a inserção do capacitor C_f em paralelo com a carga resistiva, conforme dimensionamento apresentado na Seção 4.4.2.2. Nessa configuração, a impedância

equivalente da carga passa a apresentar componente reativa, introduzindo defasagem entre tensão e corrente e promovendo atenuação das componentes de alta frequência.

A Figura 88 apresenta as formas de onda simuladas da tensão v_{ab} e da corrente i_{ab} para a condição com filtro capacitivo. Observa-se a redução significativa da ondulação de alta frequência na tensão de saída quando comparada ao caso puramente resistivo. A corrente passa a apresentar defasagem angular compatível com a presença da admitância capacitiva introduzida por C_f . Os valores eficazes por simulação são $V_{ab,rms} = 155,68$ V e $I_{ab,rms} = 7,07$ A.

Figura 88 – Formas de onda da tensão de saída v_{ab} e da corrente $i_{ab} \times 15$ sob carga R e filtro capacitivo.

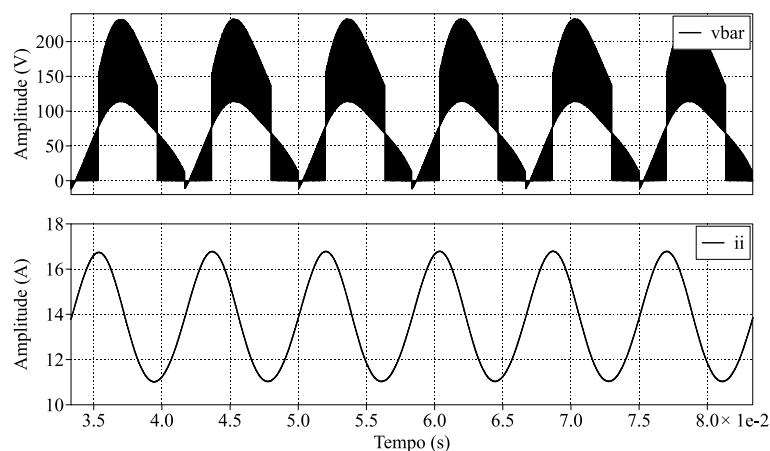


A variação em relação ao caso puramente resistivo é compatível com a alteração da impedância equivalente da carga e permanece em concordância com o dimensionamento estabelecido analiticamente. Observa-se também uma ondulação de baixa frequência superposta à corrente de saída, associada à componente pulsante da potência instantânea característica da operação monofásica e à dinâmica de carga e descarga do capacitor C_f .

A Figura 89 apresenta o comportamento das grandezas associadas ao elo CC, incluindo a tensão do barramento CC v_{bar} e a corrente do indutor i_i para carga resistiva com filtro capacitivo.

Nota-se que o comportamento do elo CC permanece estruturalmente semelhante ao caso anterior, uma vez que o filtro está localizado na saída do inversor. As pequenas alterações observadas decorrem exclusivamente da modificação da corrente de saída imposta pela nova impedância equivalente. Os resultados confirmam que o capacitor C_f cumpre a função de suavização da tensão aplicada à carga, sem comprometer o ponto de operação estabelecido para o inversor.

Figura 89 – Tensão do barramento v_{bar} e corrente do indutor i_i associados ao elo CC sob carga R com filtro capacitivo.



4.5 CONSIDERAÇÕES PARCIAIS

Os resultados obtidos neste capítulo evidenciam a consistência estrutural do modelo desenvolvido para o inversor CSI 5L-3SSC e a aderência entre as grandezas previstas analiticamente no ponto nominal considerado. A determinação integrada do índice de modulação, das grandezas do barramento CC e dos elementos passivos estabelece correspondência direta entre as especificações elétricas impostas, os critérios de dimensionamento adotados e o comportamento observado em regime permanente. A validação por simulação confirma a síntese multinível da corrente de saída segundo a formulação empregada na modulação SVM, bem como reproduz o comportamento esperado do elo CC sob o critério de ondulação previamente especificado.

A inserção do capacitor de filtro demonstra que o procedimento de dimensionamento permanece aplicável mesmo diante da modificação da impedância equivalente da carga. Verifica-se atenuação das componentes de alta frequência na tensão aplicada aos terminais da carga e a introdução da defasagem angular inerente à presença de C_f , mantendo-se as grandezas eficazes de saída próximas às impostas no projeto. Tal resultado indica que a metodologia adotada apresenta robustez frente à inclusão de elementos reativos no estágio de saída.

Sob o ponto de vista conceitual, este capítulo desempenha papel estruturante na arquitetura da tese. O desenvolvimento da topologia VSI 5L-3SSC foi inspirado na aplicação sistemática do princípio da dualidade tensão-corrente como ferramenta de concepção topológica, orientando as adaptações necessárias para a transposição do domínio de corrente para o domínio de tensão. Essa abordagem não se restringe a uma correspondência algébrica

entre grandezas, mas fundamenta a reorganização estrutural da célula 3SSC e a definição das variáveis normalizadas empregadas no modelo do VSI, preservando a lógica de síntese multinível associada à célula.

Adicionalmente, a formalização da modulação SVM no contexto do CSI consolida os fundamentos matemáticos utilizados nos capítulos subsequentes, especialmente no que se refere à definição da referência normalizada, à determinação dos tempos de permanência e ao mapeamento entre a grandeza de referência e os níveis sintetizados ao longo dos setores de operação. Essa base assegura continuidade metodológica e coerência notacional na formulação aplicada ao VSI 5L-3SSC.

5 INVERSOR MONOFÁSICO VSI DE CINCO NÍVEIS BASEADO NA 3SSC

Este capítulo apresenta o inversor monofásico VSI de cinco níveis baseado na 3SSC, denominado VSI 5L-3SSC, abordando sua estrutura, o princípio de operação e a técnica de modulação empregada. São descritos os modos de operação e as etapas de funcionamento, seguidos da determinação dos esforços de tensão e corrente nos componentes do inversor e da análise da taxa de distorção harmônica da corrente de saída antes do filtro.

5.1 ANÁLISE QUALITATIVA

Esta seção aborda a técnica de modulação empregada, os modos de operação e as etapas de funcionamento do inversor VSI 5L-3SSC.

5.1.1 Descrição da Topologia

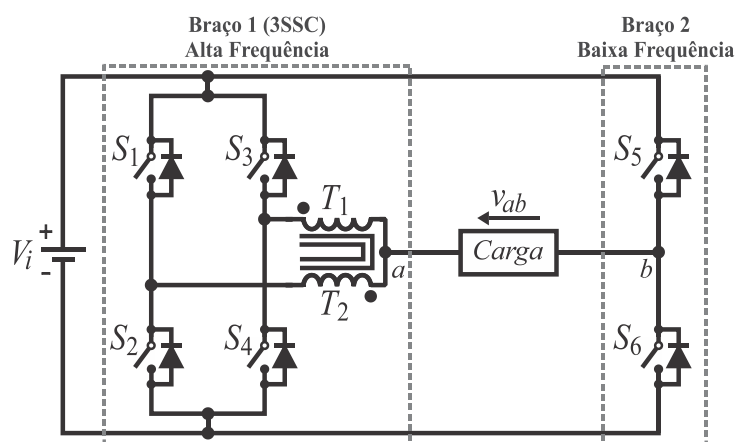
A Figura 90 apresenta a topologia monofásica VSI proposta, baseada na 3SSC, tomando como referência comparativa o inversor em ponte completa clássico apresentado no capítulo anterior, Figura 64. Do ponto de vista estrutural, a principal modificação reside na substituição das células de comutação convencionais, caracterizadas por dois estados, por uma estrutura assimétrica composta por dois braços funcionalmente distintos. Um desses braços consiste de uma 3SSC operando em alta frequência, responsável pela ampliação do conjunto de estados associados à síntese da tensão, enquanto o outro braço é constituído por uma célula de dois estados operando em baixa frequência, encarregada exclusivamente da inversão da polaridade da tensão aplicada à carga.

Essa modificação topológica altera o conjunto de estados de comutação disponíveis nos pontos a e b . No inversor clássico, cada ponto de saída é conectado diretamente aos barramentos CC, resultando em apenas duas possibilidades de tensão instantânea em cada polo, cuja combinação limita a tensão de saída v_{ab} a três níveis. No conversor baseado na 3SSC, a estrutura da célula amplia o conjunto de estados associados a cada ponto de saída, introduzindo condições intermediárias de tensão inexistentes na topologia convencional. Como consequência, a combinação dos estados associados aos pontos a e b possibilita a síntese de uma tensão de saída v_{ab} composta por cinco níveis distintos.

Do ponto de vista conceitual, a obtenção da topologia VSI 5L-3SSC fundamenta-se no princípio da dualidade aplicado à estrutura CSI 5L-3SSC apresentada no Capítulo 4. Conforme

ilustrado na Figura 90, a transposição do domínio da corrente para o domínio da tensão é realizada preservando-se a organização estrutural e funcional da 3SSC, composta por quatro interruptores operando em alta frequência S_1 – S_4 , um autotransformador e dois interruptores S_5 e S_6 operando em baixa frequência. Dessa forma, mantém-se a ampliação do conjunto de estados de comutação associados à síntese multinível, enquanto os interruptores de baixa frequência são responsáveis exclusivamente pela inversão da polaridade da tensão aplicada à carga.

Figura 90 – Topologia monofásica VSI 5L-3SSC.



Fonte: próprio autor.

Sob a ótica da dualidade entre CSI e VSI, a obtenção do inversor VSI 5L-3SSC a partir da estrutura CSI 5L-3SSC implica a substituição da fonte de corrente e dos elementos associados ao condicionamento energético da corrente por um barramento de tensão contínua, característico dos VSI. Essa transposição é realizada preservando-se a organização estrutural e o princípio de operação da 3SSC, em particular a lógica de geração dos estados intermediários associada ao acoplamento magnético interno da célula.

Nesse contexto, estabelece-se correspondência estrutural entre os estados de corrente sintetizados na topologia fonte de corrente e os níveis discretos de tensão gerados no VSI, mantendo-se a associação entre estados de comutação e grandezas sintetizadas. Como consequência, obtém-se uma estrutura fonte de tensão funcionalmente equivalente à topologia de origem, na qual o autotransformador integrado à 3SSC mantém seu papel na ampliação do conjunto de estados disponíveis, agora no domínio da tensão, sem desempenhar função de armazenamento de energia. Essa equivalência assegura a separação funcional entre os interruptores operando em alta frequência, responsáveis pela síntese multinível, e aqueles operando em baixa frequência, responsáveis exclusivamente pela inversão da polaridade da tensão aplicada à carga.

Nessa topologia VSI, os interruptores de alta frequência permanecem associados a ramos magneticamente acoplados, de modo que o compartilhamento de corrente entre os dispositivos é imposto pela própria organização da 3SSC, independentemente da natureza fonte de tensão do conversor. Como resultado, a corrente é naturalmente dividida entre esses interruptores, reduzindo os esforços de corrente em cada dispositivo.

Adicionalmente, a estrutura da célula impõe estados de comutação com balanceamento natural de corrente, não exigindo estratégias adicionais específicas de balanceamento de corrente, uma vez que o autotransformador possui relação de espiras unitária. Esse comportamento distingue a topologia de soluções entrelaçadas convencionais, nas quais o balanceamento depende tipicamente de técnicas de modulação específicas ou de pressupostos de homogeneidade construtiva dos dispositivos semicondutores.

A partir da estrutura apresentada e das características operacionais discutidas, o funcionamento do inversor VSI 5L-3SSC pode ser analisado por meio da sequência de estados de comutação assumidos ao longo de um período fundamental. Essa análise permite identificar as etapas de funcionamento associadas a cada semiciclo da tensão de saída, bem como o papel desempenhado pelos interruptores operando em alta e baixa frequência. Essas características fundamentam o desempenho multinível do inversor VSI 5L-3SSC, cuja avaliação quantitativa é desenvolvida nas seções subsequentes.

5.1.2 Etapas de Funcionamento

A partir da estrutura apresentada e das características de síntese multinível discutidas anteriormente, o funcionamento do inversor VSI 5L-3SSC é analisado por meio da sequência de estados de comutação ao longo de um período fundamental. Essa análise permite identificar as etapas de funcionamento associadas a cada semiciclo da tensão de saída, bem como o papel desempenhado pelos interruptores operando em alta e baixa frequência.

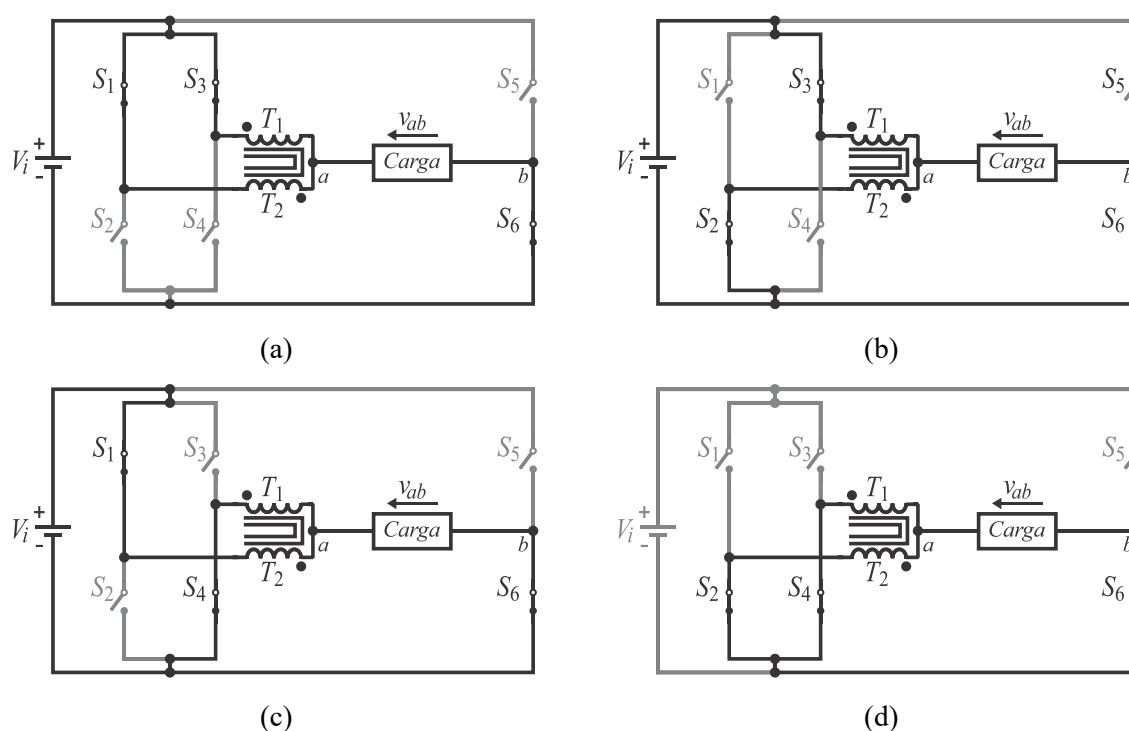
Para a análise do funcionamento do conversor ilustrado na Figura 90, adotam-se as seguintes premissas:

- todos os componentes, passivos e ativos, são considerados ideais;
- a frequência de operação é fixa;
- a relação de transformação do autotransformador é unitária;
- a corrente magnetizante é desprezível em relação à corrente de carga;
- o conversor opera em regime permanente;

- os interruptores S_1 , S_3 e S_5 operam de forma complementar aos interruptores S_2 , S_4 e S_6 , respectivamente.

As etapas de funcionamento e as correspondentes combinações de comutação dos interruptores resultam na síntese de uma forma de onda de tensão de cinco níveis na saída. As etapas associadas ao semiciclo positivo da tensão de saída são apresentadas na Figura 91, evidenciando a sequência de estados de comutação responsáveis pela geração dos níveis discretos de tensão nesse intervalo.

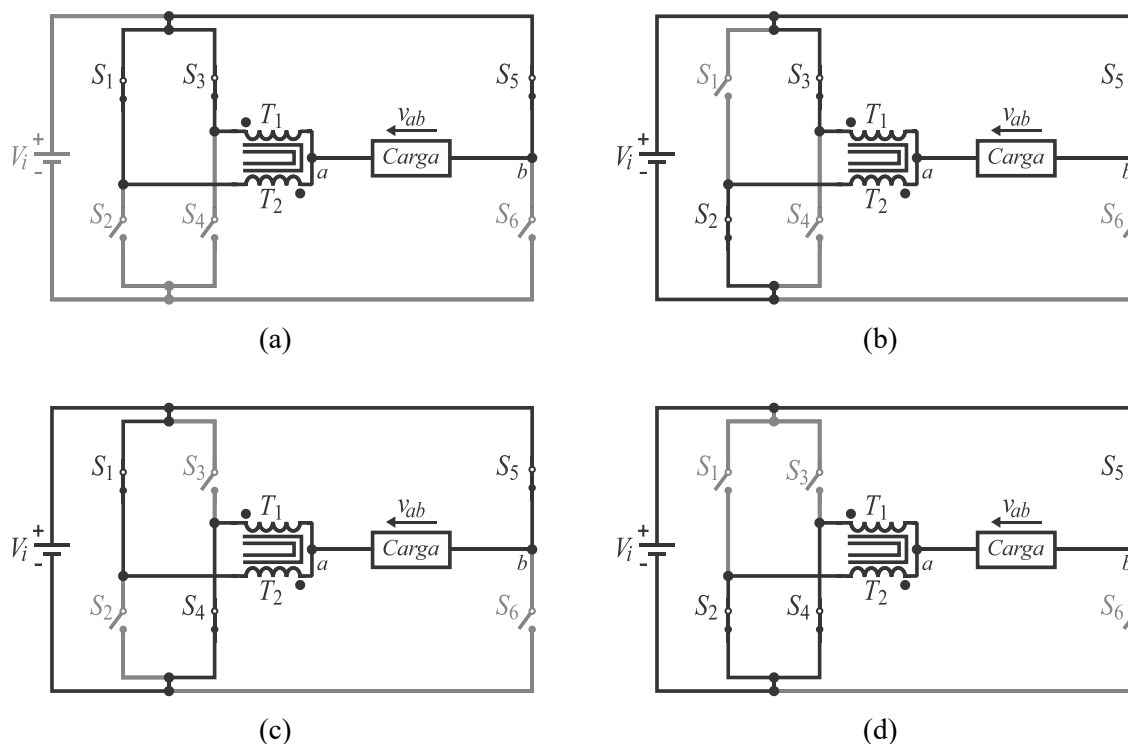
Figura 91 – Etapas de operação para o semiciclo positivo do inversor VSI 5L-3SSC: (a) 1ª etapa; (b) 2ª etapa; (c) 3ª etapa; (d) 4ª etapa.



Fonte: próprio autor.

No semiciclo negativo, as etapas correspondentes são ilustradas na Figura 92, nas quais se observa a sequência de estados de comutação responsável pela síntese dos níveis de tensão de polaridade oposta. Assim como ocorre no semiciclo positivo, a 3SSC assume seus três estados de comutação ao longo das etapas de operação, permitindo a geração dos níveis intermediários de tensão associados à estrutura multinível do inversor. Os interruptores operando em baixa frequência atuam exclusivamente na inversão da polaridade da tensão aplicada à carga, assegurando a alternância entre os semiciclos positivo e negativo da forma de onda de saída.

Figura 92 – Etapas de operação para o semiciclo negativo do inversor VSI 5L-3SSC: (a) 5ª etapa; (b) 6ª etapa; (c) 7ª etapa; (d) 8ª etapa.



Fonte: próprio autor.

Considerando as premissas adotadas e a operação do inversor nos semiciclos positivo e negativo da tensão de saída, as etapas de funcionamento associadas à síntese multinível são identificadas a partir da sequência de estados de comutação assumidos pelos interruptores. As quatro primeiras etapas, ilustradas na Figura 91, correspondem ao semiciclo positivo da tensão de saída, enquanto as etapas subsequentes, apresentadas na Figura 92, referem-se ao semiciclo negativo de operação. A seguir, descrevem-se as etapas de funcionamento do inversor VSI 5L-3SSC, com base nos respectivos circuitos equivalentes associados a cada estado de comutação.

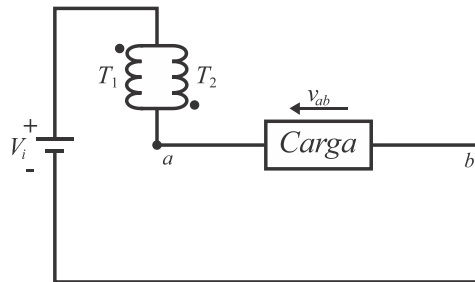
1ª Etapa: Na primeira etapa de operação, os interruptores S_1 , S_3 e S_6 encontram-se em condução, conforme ilustrado na Figura 91(a), estabelecendo os respectivos caminhos de corrente. Como os enrolamentos T_1 e T_2 do autotransformador possuem o mesmo número de espiras e respeitam a convenção de polaridade adotada, as correntes que circulam em ambos apresentam o mesmo valor em módulo. Conseqüentemente, as correntes conduzidas pelos interruptores S_1 e S_3 são iguais, assegurando o balanceamento natural de corrente imposto pela própria estrutura da 3SSC, sem a necessidade de estratégias adicionais de controle.

O circuito equivalente correspondente a essa etapa é apresentado na Figura 93. A partir desse circuito, as tensões impostas à carga durante a primeira etapa de operação são dadas por (5.1).

$$\begin{aligned} v_a &= +V_i \\ v_b &= 0 \\ v_{ab} &= +V_i \end{aligned} \quad (5.1)$$

em que V_i é a tensão de entrada e v_{ab} é a tensão aplicada à carga.

Figura 93 – Circuito simplificado para a primeira etapa do inversor VSI 5L-3SSC.

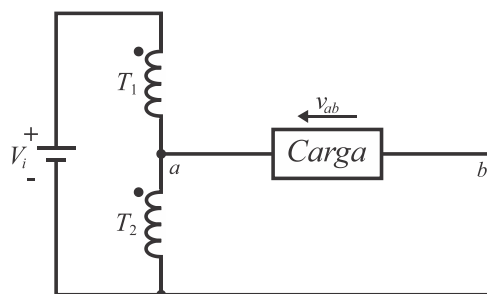


Fonte: próprio autor.

2ª Etapa: Na segunda etapa de operação, os interruptores S_2 , S_3 e S_6 encontram-se em condução, conforme ilustrado na Figura 91(b). O princípio de funcionamento é análogo ao da etapa anterior, diferenciando-se apenas pela combinação dos interruptores em condução. Nessa condição, o ponto a assume metade da tensão de entrada V_i , enquanto o ponto b permanece referenciado ao barramento de retorno por meio do interruptor S_6 .

O circuito equivalente correspondente a essa etapa é apresentado na Figura 94.

Figura 94 – Circuito equivalente simplificado para a segunda etapa de operação do inversor VSI 5L-3SSC.



Fonte: próprio autor.

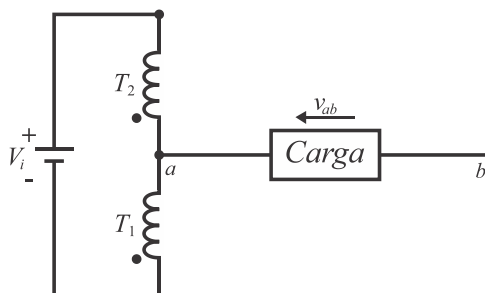
A partir desse circuito, as tensões impostas à carga durante a segunda etapa de operação são dadas por (5.2).

$$\begin{aligned} v_a &= +V_i/2 \\ v_b &= 0 \\ v_{ab} &= +V_i/2 \end{aligned} \quad (5.2)$$

3ª Etapa: Na terceira etapa de operação, os interruptores S_1 , S_4 e S_6 encontram-se em condução, conforme ilustrado na Figura 91(c). Essa etapa corresponde a um vetor redundante do nível $+V_i/2$, diferenciando-se da etapa anterior apenas pela combinação dos interruptores em condução, mantendo-se o mesmo nível de tensão sintetizado.

O circuito equivalente correspondente a essa etapa é apresentado na Figura 95.

Figura 95 – Circuito equivalente simplificado para a terceira etapa de operação do VSI 5L-3SSC.



Fonte: próprio autor.

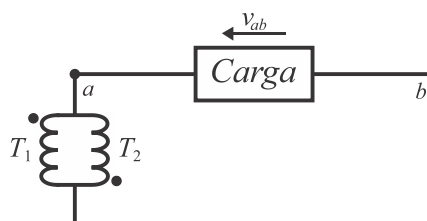
A partir desse circuito, as tensões impostas à carga durante a terceira etapa de operação são dadas por (5.3).

$$\begin{aligned} v_a &= +V_i/2 \\ v_b &= 0 \\ v_{ab} &= +V_i/2 \end{aligned} \quad (5.3)$$

4ª Etapa: Na quarta etapa de operação, os interruptores S_2 , S_4 e S_6 encontram-se em condução, conforme ilustrado na Figura 91(d). Nessa condição, os pontos a e b permanecem referenciados ao mesmo potencial, resultando na aplicação de tensão nula à carga.

O circuito equivalente correspondente a essa etapa é apresentado na Figura 96.

Figura 96 – Circuito equivalente simplificado para a quarta etapa de operação do inversor VSI 5L-3SSC.



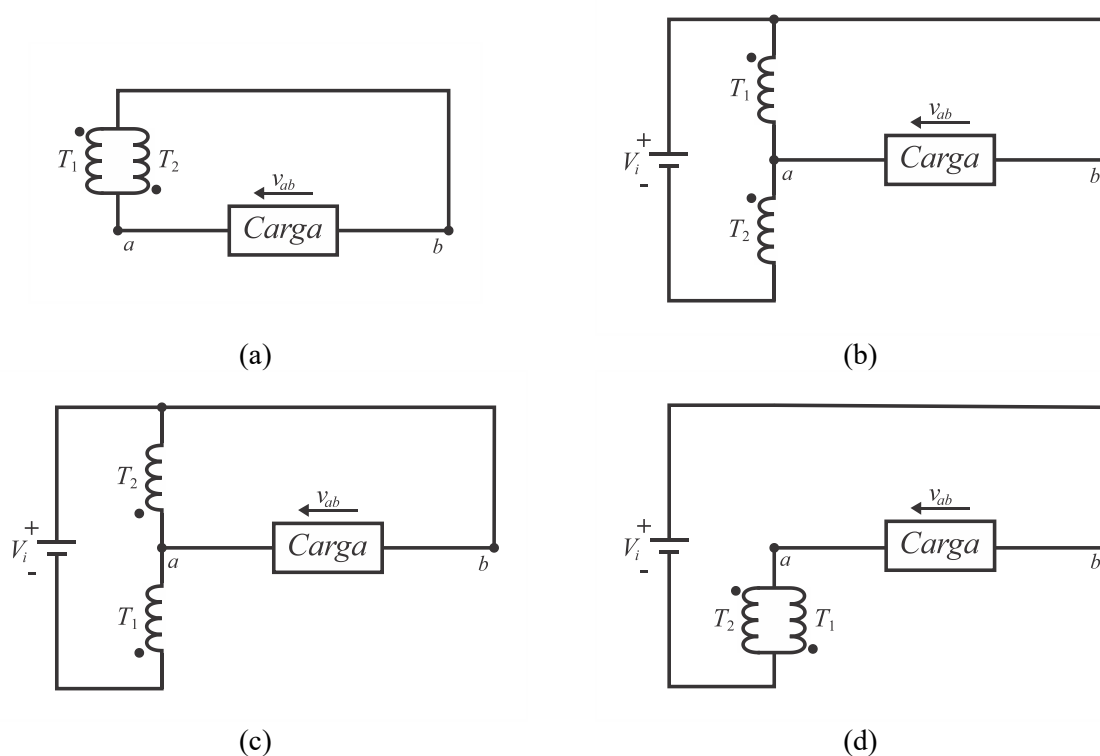
Fonte: próprio autor.

A partir desse circuito, as tensões impostas à carga durante a quarta etapa de operação são dadas por (5.4).

$$\begin{aligned}v_a &= 0 \\v_b &= 0 \\v_{ab} &= 0\end{aligned}\tag{5.4}$$

As etapas correspondentes ao semiciclo negativo da tensão de saída, compreendendo a quinta, sexta, sétima e oitava etapas de operação, seguem o mesmo princípio de funcionamento das etapas associadas ao semiciclo positivo, diferenciando-se exclusivamente pela atuação dos interruptores operando em baixa frequência, responsáveis pela inversão da polaridade da tensão aplicada à carga, enquanto a sequência de estados da 3SSC permanece inalterada. Essa simetria estrutural e funcional ao longo de um período fundamental é evidenciada pelos circuitos equivalentes apresentados na Figura 97.

Figura 97 – Circuitos equivalentes para as etapas de operação no semiciclo negativo do inversor VSI 5L-3SSC: (a) 5ª etapa; (b) 6ª etapa; (c) 7ª etapa; (d) 8ª etapa.



Fonte: próprio autor.

Para fins de simplificação da representação do processo de modulação, os interruptores do conversor são modelados por estados lógicos de comutação, identificados genericamente por $S_1 \dots S_6$. Nesse modelo, os estados associados a $S_1 \dots S_4$ correspondem à 3SSC, responsável pela síntese multinível, enquanto os estados de S_5 e S_6 estão associados exclusivamente à inversão da polaridade da tensão de saída. Essa abstração permite descrever de forma direta a sequência dos vetores de estado e os intervalos de condução correspondentes, sem perda de generalidade.

Na Tabela 10, o valor lógico “0” indica que o interruptor se encontra bloqueado, enquanto o valor lógico “1” indica o estado de condução. Assim, cada combinação de estados de comutação define um vetor de estado específico, associado a um dos níveis discretos de tensão sintetizados na saída v_{ab} .

Tabela 10 – Etapas de operação do conversor VSI 5L-3SSC, indicando os estados de comutação, as tensões nos pontos a e b e os vetores de estado associados.

Etapa	Alta Frequência				Baixa Frequência		Tensão no ponto a v_a	Tensão no ponto b v_b	Tensão de Saída v_{ab}	Vetor
	S_1	S_2	S_3	S_4	S_5	S_6				
1 ^a	1	0	1	0	0	1	V_i	0	$+V_i$	\vec{V}_0
2 ^a	0	1	1	0	0	1	$+V_i/2$	0	$+V_i/2$	\vec{V}_1
3 ^a	1	0	0	1	0	1	$+V_i/2$	0	$+V_i/2$	\vec{V}_2
4 ^a	0	1	0	1	0	1	0	0	0	\vec{V}_3
5 ^a	1	0	1	0	1	0	0	0	0	\vec{V}_4
6 ^a	0	1	1	0	1	0	$+V_i/2$	$+V_i$	$-V_i/2$	\vec{V}_5
7 ^a	1	0	0	1	1	0	$+V_i/2$	$+V_i$	$-V_i/2$	\vec{V}_6
8 ^a	0	1	0	1	1	0	0	$+V_i$	$-V_i$	\vec{V}_7

5.2 ESTRATÉGIA DE MODULAÇÃO

No MCSI 5L-3SSC, adota-se a modulação SVM, conforme a estratégia apresentada no capítulo anterior para a topologia CSI 5L-3SSC, em virtude de sua adequação à síntese multinível e de sua capacidade de explorar de forma eficiente o barramento CC, resultando em menor distorção harmônica da tensão de saída.

A estratégia de modulação empregada é diretamente derivada do método previamente desenvolvido. Entretanto, enquanto na formulação trifásica os vetores de estado são representados em um espaço bidimensional, no caso monofásico a síntese ocorre em um espaço unidimensional, exigindo adaptações específicas na definição dos setores de operação e nos tempos de permanência dos vetores.

Dessa forma, nesta seção, a estratégia de modulação é aplicada diretamente a essa topologia VSI, enfatizando as particularidades associadas ao conjunto de vetores de estado disponíveis, à divisão da região de controle em setores e ao processo de síntese dos níveis da tensão de saída.

5.2.1 Modulação para o Inversor VSI 5L-3SSC

A aplicação da modulação SVM ao MVSI 5L-3SSC é realizada a partir da estratégia apresentada no capítulo anterior, sendo aqui particularizada em função da estrutura do VSI e do conjunto específico de estados de comutação disponíveis. Nessa topologia, a tensão de referência v_{ref} é definida como a grandeza normalizada em função da tensão do barramento CC, sendo utilizada diretamente para a identificação dos setores de operação e para o cálculo dos tempos de permanência.

Os estados de operação do inversor são representados por um conjunto finito de vetores de estado, designados conforme apresentado na Tabela 6, correspondentes às combinações admissíveis dos estados dos interruptores. Cada vetor de estado está associado a um nível específico da tensão de saída, sendo que determinados níveis podem ser obtidos por mais de uma combinação de comutação, caracterizando a existência de vetores redundantes inerentes à topologia.

A região de controle do inversor é segmentada em setores associados aos intervalos entre níveis consecutivos da tensão de saída. Para conversores monofásicos multiníveis, o número de setores n_s depende do número de níveis m da tensão sintetizada na saída, sendo dado pela equação (5.5).

$$n_s = m - 1 \quad (5.5)$$

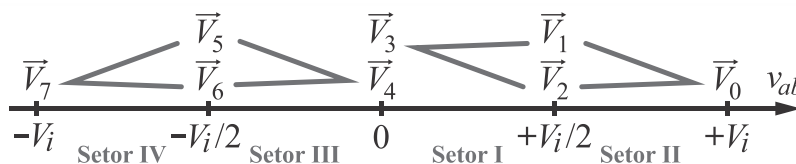
O número de setores estabelece a quantidade de regiões de controle no espaço unidimensional da tensão. Em cada setor, a síntese do valor médio é realizada pela combinação temporal de vetores cujos estados produzem os níveis imediatamente inferior e superior à referência naquele intervalo.

Como o inversor VSI 5L-3SSC sintetiza cinco níveis de tensão na saída, sua região de controle é dividida em quatro setores. Determinados níveis podem ser obtidos por mais de uma combinação de estados de comutação, caracterizando a presença de vetores redundantes. A existência dessas redundâncias decorre diretamente da estrutura da topologia e do modo de comutação adotado.

A Figura 98 ilustra a distribuição dos setores de controle, os vetores de comutação associados e os planos limites entre os níveis discretos de tensão de saída v_{ab} . As setas em cinza indicam as transições de comutação entre os vetores em cada setor.

Em cada setor, a tensão média aplicada à carga resulta da ponderação temporal dos vetores selecionados dentro daquele intervalo, respeitando as redundâncias associadas a cada nível disponível.

Figura 98 – Setores de controle e vetores de comutação do inversor VSI 5L-3SSC.



Fonte: próprio autor.

Neste inversor, adota-se a sequência de comutação simétrica, na qual os vetores são aplicados de forma espelhada dentro de cada período de comutação, assegurando equilíbrio temporal e simetria da forma de onda sintetizada. Essa escolha contribui para a redução da distorção harmônica total da tensão de saída e para uma distribuição mais uniforme das comutações entre os interruptores.

A correta definição dos tempos de aplicação dos vetores em cada setor é fundamental para garantir que a tensão média sintetizada siga fielmente a forma de onda de referência. Esses tempos são ajustados em função do valor instantâneo da tensão modulante e, conseqüentemente, do índice de modulação M , definido pela razão entre a tensão de referência e a tensão do barramento CC, conforme (5.6).

$$M = \frac{v_{ref}}{V_i} \quad (5.6)$$

Adicionalmente, o índice de modulação mínimo, M_{min} , necessário para que inversores multiníveis com n_s setores na região de controle sejam capazes de sintetizar todos os níveis de tensão de saída v_{ab} , é dado por (5.7) (Leon *et al.*, 2007):

$$M_{min} = \frac{m-3}{n_s} \quad (5.7)$$

Caso o índice de modulação M seja inferior a M_{min} , a amplitude da referência torna-se insuficiente para percorrer todos os setores definidos pela técnica de modulação, impedindo a utilização completa dos níveis de tensão disponíveis. Para o inversor VSI 5L-3SSC, com cinco níveis de tensão e quatro setores na região de controle, obtém-se $M_{min} = 0,5$, garantindo a correta síntese multinível.

Dessa forma, a definição dos setores de operação e dos respectivos tempos de permanência constitui a base para o funcionamento adequado da estratégia de modulação aplicada a esse inversor. A seguir, apresenta-se a análise detalhada das regiões vetoriais de estado, que fundamenta o processo de geração da forma de onda senoidal de saída.

5.2.2 Análise das Regiões Vetoriais de Estado

A análise do funcionamento do inversor sob a estratégia de modulação adotada é conduzida a partir das quatro regiões de operação definidas na Figura 98. Essas regiões correspondem aos setores de controle associados aos diferentes intervalos da tensão de referência normalizada $v_{ref}(\omega t)$. Os setores considerados são definidos como:

- Setor I (St_I): $0 \leq v_{ref}(\omega t) \leq 0,5$
- Setor II (St_{II}): $0,5 < v_{ref}(\omega t) \leq 1$
- Setor III (St_{III}): $-0,5 \leq v_{ref}(\omega t) < 0$
- Setor IV (St_{IV}): $-1 \leq v_{ref}(\omega t) < -0,5$

Em todas as análises subsequentes, considera-se a 3SSC operando em regime de condução contínua, com componentes idealizados e relação de transformação unitária no autotransformador.

A Tabela 10, apresentada anteriormente, reúne de forma sistemática os estados de comutação dos interruptores, as tensões nos pontos a e b e os níveis normalizados de tensão de saída em função do barramento CC. Essa tabela é adotada como referência comum para todos os setores analisados nesta subseção. Assim, nas subseções seguintes são discutidas exclusivamente as particularidades de cada região vetorial de estado, evitando-se repetições desnecessárias de descrições já estabelecidas.

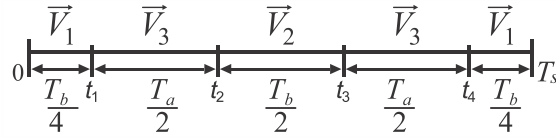
5.2.2.1 Setor I ($0 \leq v_{ref}(\omega t) \leq 0,5$)

No Setor I, a tensão entre os pontos a e b é sintetizada por meio da alternância em alta frequência entre vetores cujos estados produzem os níveis imediatamente inferior e superior à referência naquele intervalo, conforme organização vetorial apresentada na Figura 98 e distribuição temporal ilustrada na Figura 99. De acordo com a Tabela 10, os níveis discretos envolvidos na síntese são $v_{ab}=0$ e $v_{ab}=+V_i/2$. Assim, a tensão de referência normalizada $v_{ref}(\omega t)$ desloca-se entre esses dois níveis discretos no intervalo $0 \leq v_{ref}(\omega t) \leq 0,5$.

Durante o período de comutação T_s , define-se T_a como o tempo total associado ao nível inferior do setor e T_b como o tempo total associado ao nível superior. A estratégia simétrica adotada distribui esses tempos de forma centralizada em T_s , assegurando uma sequência espelhada em relação ao ponto médio do período.

A Figura 99 ilustra a distribuição temporal da sequência simétrica no Setor I, na qual se observam as durações e transições de cada vetor de comutação.

Figura 99 – Tempo de duração da distribuição simétrica dos vetores para o setor I.



Dessa forma, a sequência de comutação no Setor I é descrita pelo ciclo simétrico correspondente aos vetores associados aos níveis 0 e $+V_i/2$. A aplicação espelhada desses vetores ao longo de T_s assegura a simetria temporal da modulação.

O período de comutação pode ser escrito como a soma dos tempos de permanência associados aos vetores, conforme expresso em (5.8) e (5.9).

$$T_s = \frac{T_b}{4} + \frac{T_a}{2} + \frac{T_b}{2} + \frac{T_a}{2} + \frac{T_b}{4} \quad (5.8)$$

$$T_s = T_a + T_b \quad (5.9)$$

A tensão de referência normalizada é definida como o valor médio da tensão aplicada ao longo do período de comutação. Essa definição é expressa em (5.10).

$$v_{ref}(\omega t) = \frac{1}{T_s} \int_0^{T_s} \frac{v_{ab}(t)}{V_i} dt \quad (5.10)$$

Considerando a distribuição temporal dos vetores no Setor I, a integral em (5.10) pode ser decomposta nos cinco intervalos definidos pelos instantes $t_1 \dots t_4$, resultando na forma apresentada em (5.11).

$$v_{ref}(\omega t) = \frac{1}{T_s} \left[\int_0^{t_1} \frac{1}{2} \cdot dt + \int_{t_1}^{t_2} 0 \cdot dt + \int_{t_2}^{t_3} \frac{1}{2} \cdot dt + \int_{t_3}^{t_4} 0 \cdot dt + \int_{t_4}^{T_s} \frac{1}{2} \cdot dt \right] \quad (5.11)$$

A substituição das durações temporais correspondentes a cada intervalo conduz à forma simplificada apresentada em (5.12).

$$v_{ref}(\omega t) = \frac{1}{T_s} \left[\frac{1}{2} \frac{T_b}{4} + 0 \frac{T_a}{2} + \frac{1}{2} \frac{T_b}{2} + 0 \frac{T_a}{2} + \frac{1}{2} \frac{T_b}{4} \right] \quad (5.12)$$

A simplificação algébrica de (5.12) resulta na expressão apresentada em (5.13).

$$v_{ref}(\omega t) = \frac{T_b}{2T_s} \quad (5.13)$$

Isolando T_b em (5.13), em conjunto com a relação (5.9), conduz às expressões dos tempos de permanência apresentadas em (5.14) e (5.15).

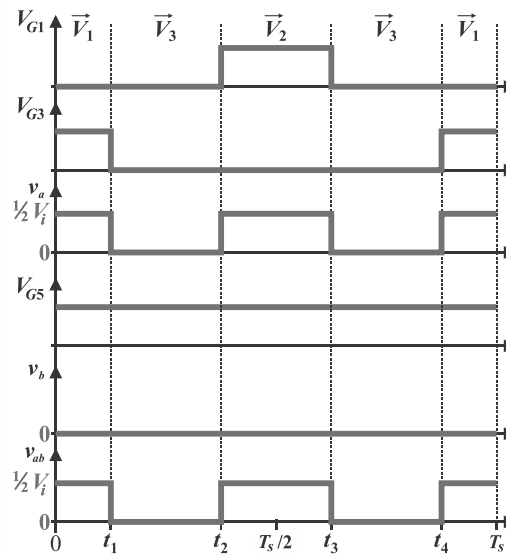
$$T_a = T_s (1 - 2v_{ref}(\omega t)) \quad (5.14)$$

$$T_b = 2T_s v_{ref}(\omega t) \quad (5.15)$$

Observa-se que o aumento de $v_{ref}(\omega t)$ implica a ampliação do tempo associado ao nível superior do setor e a redução do tempo correspondente ao nível inferior, mantendo-se a condição $T_s = T_a + T_b$ e assegurando a coerência da síntese temporal da tensão.

As formas de onda correspondentes às tensões de acionamento dos interruptores V_{G1} , V_{G3} e V_{G5} , bem como a forma de onda de v_{ab} no Setor I ao longo de um período de comutação T_s , são apresentadas na Figura 100.

Figura 100 – Principais formas de onda para o setor I.



Fonte: próprio autor.

A modelagem desenvolvida para o Setor I estabelece o procedimento geral de determinação dos tempos de permanência exclusivamente em função de $v_{ref}(\omega t)$, sendo aplicada aos demais setores mediante a substituição dos níveis discretos correspondentes ao intervalo da referência.

5.2.2.2 Setor II ($0,5 \leq v_{ref}(\omega t) \leq 1$)

No Setor II, a tensão de referência normalizada $v_{ref}(\omega t)$ desloca-se entre os níveis discretos $v_{ab} = +V_i/2$ e $v_{ab} = +V_i$. Assim, a síntese da tensão média é realizada por meio da alternância temporal entre vetores cujos estados produzem esses dois níveis naquele intervalo.

Durante o período de comutação T_s , mantêm-se as definições gerais de T_a e T_b , que neste setor permanecem associadas aos níveis inferior e superior correspondentes.

Aplicando-se a definição de valor médio da tensão normalizada ao longo de T_s , considerando os níveis discretos do setor, obtêm-se diretamente os tempos de permanência associados aos vetores, dados por (5.16) e (5.17).

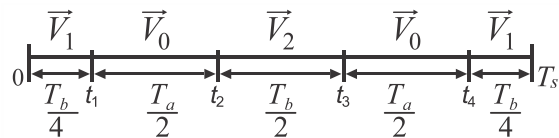
$$T_a = T_s (2v_{ref}(\omega t) - 1) \quad (5.16)$$

$$T_b = 2T_s (1 - v_{ref}(\omega t)) \quad (5.17)$$

Observa-se que o aumento de $v_{ref}(\omega t)$ implica ampliação do tempo associado ao nível superior do setor e redução do tempo correspondente ao nível inferior, mantendo-se a condição $T_s = T_a + T_b$.

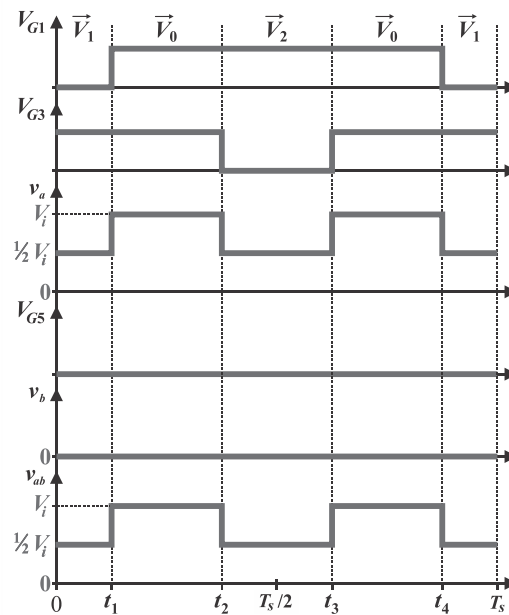
A Figura 101 apresenta a distribuição temporal da sequência simétrica correspondente ao Setor II.

Figura 101 – Tempo de duração da distribuição simétrica dos vetores para o setor II.



As principais formas de onda associadas ao Setor II são apresentadas na Figura 102.

Figura 102 – Principais formas de onda para o setor II.



Fonte: próprio autor.

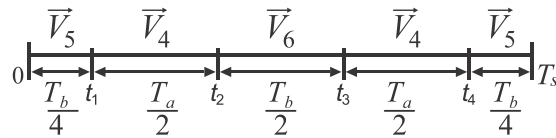
5.2.2.3 Setor III ($-0,5 \leq v_{ref}(\omega t) \leq 0$)

No Setor III, a tensão de referência normalizada $v_{ref}(\omega t)$ desloca-se entre os níveis discretos $v_{ab} = -V_i/2$ e $v_{ab} = 0$. A síntese da tensão média é realizada pela combinação temporal dos vetores cujos estados produzem esses dois níveis naquele intervalo.

Durante o período de comutação T_s , mantêm-se as definições gerais de T_a e T_b , que neste setor permanecem associadas aos níveis inferior e superior correspondentes.

A sequência simétrica de aplicação dos vetores ao longo do período de comutação T_s é apresentada na Figura 103.

Figura 103 – Tempo de duração da distribuição simétrica dos vetores para o setor III.



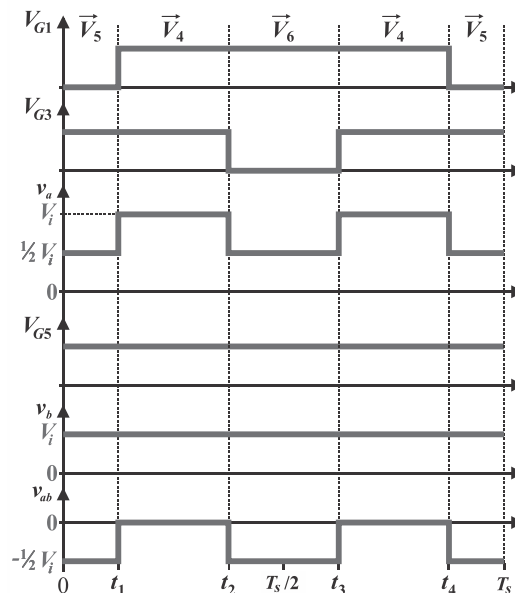
Aplicando-se a definição de valor médio da tensão normalizada ao longo de T_s , considerando os níveis discretos do setor, obtêm-se diretamente os tempos de permanência associados aos vetores, dados por (5.18) e (5.19).

$$T_a = T_s (1 + 2v_{ref}(\omega t)) \quad (5.18)$$

$$T_b = -2T_s v_{ref}(\omega t) \quad (5.19)$$

As principais formas de onda associadas a esse setor, incluindo os sinais de comando e a tensão de saída v_{ab} , são apresentadas na Figura 104.

Figura 104 – Principais formas de onda para o setor III.



Fonte: próprio autor.

5.2.2.4 Setor IV ($-1 \leq v_{ref}(\omega t) < -0,5$)

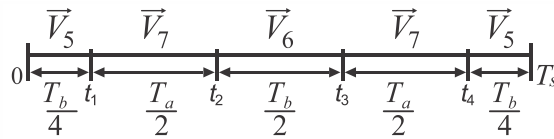
No Setor IV, a tensão de referência normalizada $v_{ref}(\omega t)$ desloca-se entre os níveis

discretos $v_{ab} = -V_i$ e $v_{ab} = -V_i/2$. A síntese da tensão média é realizada pela alternância temporal entre vetores cujos estados produzem esses dois níveis naquele intervalo.

Durante o período de comutação T_s , mantêm-se as definições gerais de T_a e T_b , que neste setor permanecem associadas aos níveis inferior e superior correspondentes.

A sequência simétrica de aplicação dos vetores ao longo do período de comutação T_s é apresentada na Figura 105.

Figura 105 – Tempo de duração dos vetores para o setor IV.



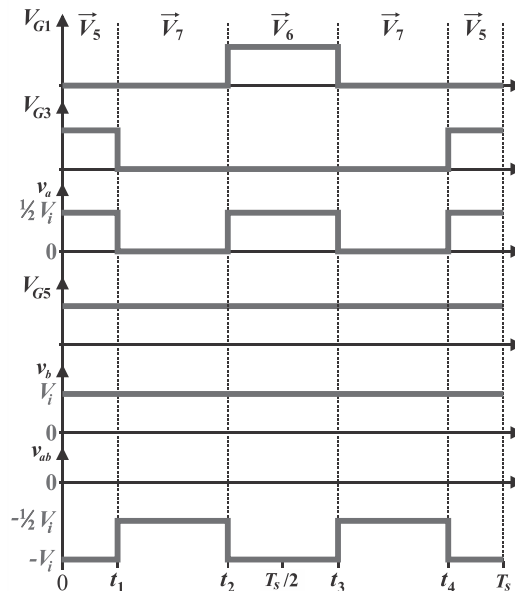
Aplicando-se a definição do valor médio da tensão normalizada ao longo de T_s , obtêm-se diretamente os tempos de permanência apresentados em (5.20) e (5.21).

$$T_a = -T_s (1 + 2v_{ref}(\omega t)) \tag{5.20}$$

$$T_b = 2T_s (1 + v_{ref}(\omega t)) \tag{5.21}$$

As principais formas de onda associadas ao Setor IV são apresentadas na Figura 106.

Figura 106 – Principais formas de onda para o setor IV.



Fonte: próprio autor.

5.3 CONSIDERAÇÕES PARCIAIS

A modulação SVM aplicada ao VSI 5L-3SSC organiza a obtenção dos cinco níveis discretos de tensão na saída por meio da combinação temporal de vetores cujos estados produzem os níveis imediatamente inferior e superior à referência em cada setor de operação. A determinação dos tempos de permanência nos quatro setores estabelece uma descrição unificada da formação do valor médio da tensão ao longo do período de comutação T_s , assegurando continuidade na transição entre regiões adjacentes.

A sequência de comutação simétrica adotada impõe uma aplicação temporal espelhada dos vetores dentro de cada período T_s , preservando a simetria da forma de onda sintetizada e garantindo equilíbrio na distribuição temporal das comutações. As redundâncias intrínsecas do conjunto de vetores da topologia permitem compor essa sequência sem alterar os níveis discretos associados a cada setor, mantendo coerência entre estados de comutação, vetores e valores de v_{ab} .

Com essa modelagem, estabelecem-se as bases para a etapa seguinte, dedicada à análise quantitativa do inversor, na qual serão avaliados os esforços elétricos, a distribuição de corrente nos dispositivos semicondutores de potência e as grandezas de desempenho em função do índice de modulação e das condições de operação.

6 MODELAGEM ANALÍTICA DO INVERSOR VSI 5L-3SSC

Neste capítulo, apresenta-se a modelagem matemática do inversor VSI 5L-3SSC, estabelecendo as relações analíticas entre as grandezas do barramento CC e as componentes fundamentais de tensão e corrente de saída, considerando a operação na região linear de modulação. Para a derivação das equações, assume-se a hipótese de operação ideal, na qual perdas de condução, comutação e perdas magnéticas são desprezadas. Dessa forma, considera-se a conservação de energia no sistema, onde a potência média fornecida pela fonte CC é integralmente transferida à carga.

A conservação de potência média é expressa por (6.1).

$$P_i = V_i I_i = P_o = V_{o1,rms} I_{o1,rms} \quad (6.1)$$

As variáveis v_{ab} e i_{ab} são reservadas às grandezas instantâneas internas responsáveis pela síntese dos cinco níveis de tensão entre os pontos a e b .

6.1 RELAÇÃO ENTRE GRANDEZAS CC E CA

Na região linear de modulação, a tensão de pico da componente fundamental da saída é dada por (6.2).

$$V_{o1,pk} = MV_i, \text{ com } 0 \leq M \leq 1 \quad (6.2)$$

A relação entre os valores de pico e eficaz da tensão fundamental é expressa por (6.3).

$$V_{o1,rms} = \frac{V_{o,pk}}{\sqrt{2}} = \frac{MV_i}{\sqrt{2}} \quad (6.3)$$

A relação entre a tensão de pico da componente fundamental e a tensão do barramento CC é dada em (6.4).

$$G_v(M) = \frac{V_{o1,pk}}{V_i} = M \quad (6.4)$$

A igualdade entre as potências médias de entrada e de saída conduz à relação indicada em (6.5).

$$V_i I_i = V_{o1,rms} I_{o1,rms} \quad (6.5)$$

Substituindo (6.3) em (6.5), obtém-se (6.6)

$$V_i I_i = \frac{MV_i}{\sqrt{2}} I_{o1,rms} \quad (6.6)$$

Isolando-se $I_{o1,rms}$, chega-se à expressão (6.7).

$$I_{o1,rms} = \frac{\sqrt{2}}{M} I_i \quad (6.7)$$

A corrente de pico da componente fundamental da saída é obtida a partir de (6.7), conforme (6.8).

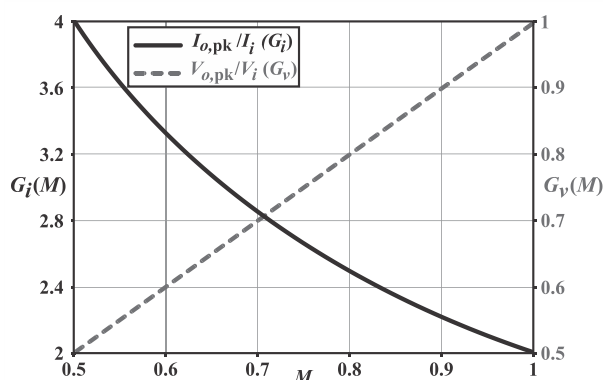
$$I_{o1,pk} = \sqrt{2} I_{o1,rms} = \frac{2}{M} I_i \quad (6.8)$$

A relação entre a corrente de pico da saída e a corrente do barramento CC, é dado por (6.9).

$$G_i(M) = \frac{I_{o,pk}}{I_i} = \frac{2}{M} \quad (6.9)$$

A variação dessas relações em função do índice de modulação é apresentada na Figura 107, na qual se observam os comportamentos de $G_v(M)$ e $G_i(M)$.

Figura 107 – Relações entre a tensão e corrente fundamental de saída em função do índice de modulação no inversor VSI 5L-3SSC.



Observa-se que a relação das tensões é diretamente proporcional ao índice de modulação, atingindo o valor unitário para $M = 1$. Em contrapartida, a relação das correntes é inversamente proporcional a M , comportamento decorrente da conservação de potência sob a hipótese de operação ideal.

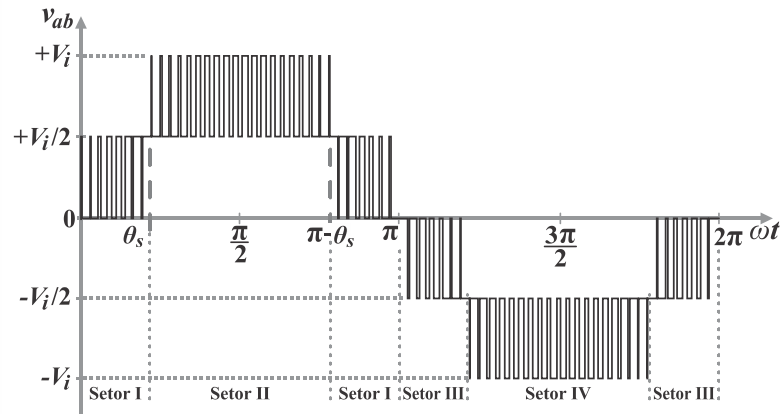
Quando comparadas às curvas correspondentes do Capítulo 4 para o inversor CSI 5L-3SSC, verifica-se o caráter dual entre as topologias. Em ambas as figuras são apresentadas as relações entre as grandezas fundamentais de saída e as grandezas do barramento CC em função de M , evidenciando que, no CSI, a relação entre as correntes é diretamente proporcional ao índice de modulação e a relação entre as tensões é inversa, enquanto no VSI ocorre o comportamento complementar, mantendo-se a coerência energética imposta pela conservação de potência.

6.2 VALOR EFICAZ DA TENSÃO DE SAÍDA

Para o cálculo do valor eficaz da tensão de saída v_{ab} , considera-se a operação do inversor VSI 5L-3SSC sob modulação SVM, conforme estabelecido no Capítulo 5. A análise é desenvolvida a partir do modelo de média no período de comutação T_s , assumindo que a frequência de comutação é significativamente superior à frequência fundamental. Nessa condição, as componentes de alta frequência associadas às comutações são desprezadas, e a tensão de saída pode ser representada por sua tensão média sintetizada em cada período T_s .

A Figura 108 ilustra a forma de onda da tensão de saída v_{ab} em função de ωt , bem como o ângulo θ_s que define a transição entre os setores no primeiro quadrante.

Figura 108 – Forma de onda da tensão de saída v_{ab} e ângulo θ_s que define a transição entre os setores.



Fonte: próprio autor.

Conforme definido na expressão (4.22) do Capítulo 4, o sinal de referência é expresso em tensão normalizada em relação a V_i , conforme expresso por (6.10).

$$v_{ref}(\omega t) = M \text{sen}(\omega t) \quad (6.10)$$

A expressão estabelece a variação angular da referência em função do índice de modulação M e do ângulo elétrico ωt .

O setor de operação é determinado pelo valor instantâneo de v_{ref} . No primeiro quadrante da forma de onda, o ângulo de transição θ_s entre os Setores I e II ocorre quando v_{ref} atinge o valor normalizado 0,5, conforme estabelecido em (6.11).

$$M \text{sen}(\theta_s) = 0,5 \quad (6.11)$$

Isolando o ângulo de transição, obtém-se a relação apresentada em (6.12).

$$\theta_s = \text{sen}^{-1}\left(\frac{1}{2M}\right) \quad (6.12)$$

A condição impõe $1/(2M) \leq 1$, resultando em $M \geq 0,5$, limite que coincide com o índice de modulação mínimo necessário para a síntese dos cinco níveis de tensão.

Durante o intervalo angular $0 \leq \theta_s \leq \pi/2$, o valor eficaz da tensão de saída pode ser determinado a partir da integração do quadrado da tensão sintetizada. Em virtude da simetria da forma de onda, a análise pode ser restrita a um quarto de período, conforme apresentado em (6.13).

$$V_{ab,rms} = \sqrt{\frac{2}{\pi} \int_0^{\pi/2} v_{ab}^2(\omega t) d\omega t} \quad (6.13)$$

A integral considera o valor médio quadrático da tensão ao longo do primeiro quadrante.

Como a tensão sintetizada assume diferentes combinações de níveis discretos em cada setor, a forma em (6.13) pode ser decomposta em contribuições setoriais, conforme indicado em (6.14).

$$V_{ab,rms} = \sqrt{\frac{2}{\pi} \left[\int_0^{\theta_s} \left(V_{ab,rms}^{StI}(\omega t) \right)^2 d\omega t + \int_{\theta_s}^{\pi/2} \left(V_{ab,rms}^{StII}(\omega t) \right)^2 d\omega t \right]} \quad (6.14)$$

A expressão integra separadamente os quadrados dos valores eficazes por período de comutação associados a cada setor, ponderados pelos respectivos intervalos angulares.

No Setor I, a tensão de saída assume os níveis discretos 0 e $+V_i/2$, conforme a sequência simétrica ilustrada na Figura 99. O valor eficaz por período de comutação é obtido pela integração do quadrado da tensão ao longo de $T_s/2$, conforme expresso em (6.15).

$$V_{ab,rms}^{StI} = \sqrt{\frac{1}{T_s/2} \left[\int_0^{t_1} \left(\frac{V_i}{2} \right)^2 dt + \int_{t_1}^{t_2} 0^2 dt + \int_{t_2}^{T_s/2} \left(\frac{V_i}{2} \right)^2 dt \right]} \quad (6.15)$$

A integral representa o valor médio quadrático no semiperíodo de comutação, explorando a simetria temporal da sequência.

Substituindo as durações temporais da sequência simétrica do Setor I, obtém-se a forma simplificada apresentada em (6.16).

$$V_{ab,rms}^{StI} = \frac{V_i}{2} \sqrt{\frac{T_b}{T_s}} \quad (6.16)$$

A expressão relaciona o valor eficaz por comutação ao tempo total T_b associado ao nível $+V_i/2$.

Substituindo (5.15) em (6.16), obtém-se a expressão apresentada em (6.17).

$$V_{ab,rms}^{StI} = \frac{V_i}{2} \sqrt{2v_{ref}(\omega t)} \quad (6.17)$$

A expressão fornece o valor eficaz por período de comutação no Setor I diretamente em

função de $v_{ref}(\omega t)$.

No Setor II, a tensão de saída assume os níveis discretos $+V_i/2$, conforme a sequência simétrica ilustrada na Figura 101. O valor eficaz por período de comutação é obtido pela integração do quadrado da tensão ao longo de $T_s/2$, conforme expresso em (6.18).

$$V_{ab,rms}^{St_{II}} = \sqrt{\frac{1}{T_s/2} \left[\int_0^{t_1} \left(\frac{V_i}{2}\right)^2 dt + \int_{t_1}^{t_2} (V_i)^2 dt + \int_{t_2}^{T_s/2} \left(\frac{V_i}{2}\right)^2 dt \right]} \quad (6.18)$$

A integral representa o valor médio quadrático no semiperíodo de comutação, considerando a presença do nível V_i .

Substituindo as durações temporais correspondentes à sequência simétrica do Setor II, obtém-se a forma simplificada apresentada em (6.19).

$$V_{ab,rms}^{St_{II}} = \frac{V_i}{2} \sqrt{\frac{4T_a + T_b}{T_s}} \quad (6.19)$$

A expressão evidencia a contribuição do tempo T_a associado ao nível $+V_i$ e do tempo T_b associado ao nível $+V_i/2$.

Substituindo (5.16) e (5.17) em (6.19), obtém-se o valor eficaz por período de comutação no Setor II, dada em (6.20).

$$V_{ab,rms}^{St_{II}} = \frac{V_i}{2} \sqrt{6v_{ref}(\omega t) - 2} \quad (6.20)$$

A expressão fornece o valor eficaz por período de comutação no Setor II diretamente em função de $v_{ref}(\omega t)$.

A tensão eficaz entre os pontos a e b é obtida substituindo (6.17) e (6.20) em (6.14), chegando-se a (6.21).

$$V_{ab,rms} = \sqrt{\frac{2V_i^2}{4\pi} \left[\int_0^{\theta_s} (2M \sen(\omega t)) d\omega t + \int_{\theta_s}^{\pi/2} (6M \sen(\omega t) - 2) d\omega t \right]} \quad (6.21)$$

Resolvendo as integrais em (6.21) conduz à expressão apresentada em (6.22).

$$V_{ab,rms} = V_i \sqrt{\frac{1}{\pi} \left(2M \cdot \cos(\theta_s) + M - \frac{\pi}{2} + \theta_s \right)} \quad (6.22)$$

Finalmente, substituindo a expressão de θ_s , definida em (6.12), e realizando as simplificações algébricas, obtém-se o valor de $V_{ab,rms}$ em função de M , conforme a equação (6.23), válida para $M \geq 0,5$.

$$V_{ab,rms} = V_i \sqrt{\frac{1}{\pi} \left(M - \frac{\pi}{2} + \sen^{-1} \left(\frac{1}{2M} \right) + \sqrt{4M^2 - 1} \right)} \quad (6.23)$$

A equação (6.23) evidencia que o valor eficaz da tensão de saída depende diretamente

do índice de modulação na região linear de operação. À medida que M se aproxima da unidade, a tensão eficaz de saída tende ao seu valor máximo dentro da região linear de modulação. Esse resultado confirma a coerência do método de modulação adotado e fornece uma base analítica consistente para as análises quantitativas subsequentes do inversor.

6.3 TAXA DE DISTORÇÃO HARMÔNICA DA TENSÃO DE SAÍDA

A avaliação da qualidade da tensão sintetizada pelo inversor constitui uma etapa fundamental da análise quantitativa, sendo a THD um dos principais indicadores empregados para esse fim. Esse parâmetro quantifica a contribuição das componentes harmônicas em relação à componente fundamental da tensão de saída e é amplamente adotado em normas técnicas para caracterização do desempenho de conversores de potência.

A distorção harmônica total da tensão de saída v_{ab} , denotada por $THD_{v_{ab}}$, pode ser expressa em função do valor eficaz total da tensão e do valor eficaz de sua componente fundamental, conforme definido por (6.24).

$$THD_{v_{ab}} = \sqrt{\left[\left(\frac{V_{ab,rms}}{V_{o1,rms}}\right)^2 - 1\right]} \times 100\% \quad (6.24)$$

Na presente análise, o valor eficaz da componente fundamental $V_{o1,rms}$ é obtido a partir da relação analítica em função de M , conforme (6.3). Essa abordagem permite estabelecer uma relação fechada entre a THD e o regime de modulação do inversor, mantendo consistência com o modelo analítico previamente desenvolvido, sem recorrer a uma decomposição espectral explícita da forma de onda.

Ressalta-se que a $THD_{v_{ab}}$ calculada nesta seção refere-se à tensão multinível sintetizada diretamente nos terminais a e b do inversor, antes de qualquer estágio de filtragem. Portanto, os valores obtidos representam o limite teórico intrínseco à estratégia de modulação adotada.

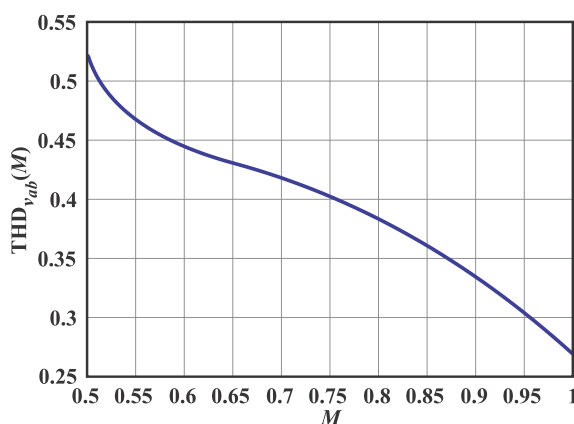
Substituindo-se (6.3) e (6.23) em (6.24), obtém-se a expressão analítica da $THD_{v_{ab}}$ em função de M , conforme apresentada em (6.25).

$$THD_{v_{ab}} = \sqrt{\frac{2}{M^2} \left(\frac{1}{\pi} \operatorname{sen}^{-1} \left(\frac{1}{2M} \right) - \frac{M^2}{2} + \frac{M}{\pi} + \frac{1}{\pi} \sqrt{(4M^2 - 1)} - \frac{1}{2} \right)} \quad (6.25)$$

A partir dessa expressão, é possível avaliar diretamente a variação teórica de $THD_{v_{ab}}$ ao longo da faixa linear de operação do inversor. A Figura 78 apresenta o comportamento da $THD_{v_{ab}}$ em função do índice de modulação M .

Observa-se que a THD decresce de forma contínua à medida que o índice de modulação se aproxima da unidade. Esse comportamento reflete a crescente predominância da componente fundamental da tensão sintetizada em relação às componentes harmônicas, associada à maior utilização dos níveis extremos de tensão na região linear de modulação.

Figura 109 – Distorção harmônica total da tensão de saída v_{ab} em função do índice de modulação M .



O comportamento da THD em função de M é consistente com a maior utilização dos níveis extremos da tensão sintetizada na região linear. Como consequência, tornam-se possíveis requisitos menos restritivos para os elementos de filtragem em aplicações que demandam baixos níveis de distorção harmônica.

6.4 ESFORÇOS DE TENSÃO E CORRENTE

A análise dos esforços de tensão e corrente é fundamental para a avaliação das condições operacionais dos componentes do inversor VSI 5L-3SSC. Esses esforços determinam as especificações de projeto dos dispositivos semicondutores e do autotransformador, além de influenciar diretamente o rendimento e o comportamento térmico do sistema. As correntes e tensões de cada componente são avaliadas em regime permanente, considerando operação sob modulação SVM.

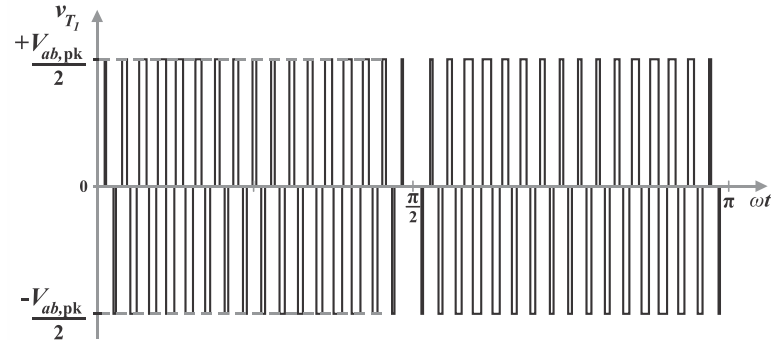
6.4.1 Esforços no Autotransformador

O autotransformador do inversor VSI 5L-3SSC tem a função de redistribuir as correntes entre os dispositivos semicondutores, reduzindo os esforços individuais de condução. O componente opera com relação de transformação unitária, ou seja, o número de espiras dos enrolamentos T_1 e T_2 é o mesmo, o que garante simetria nas correntes e tensões aplicadas.

A Figura 110 mostra a forma de onda da tensão v_{T1} no enrolamento primário,

evidenciando a operação simétrica do autotransformador e a alternância dos níveis de tensão em torno do ponto médio da estrutura.

Figura 110 – Tensão no enrolamento T_1 do autotransformador.



Considerando a relação de transformação unitária e a simetria da topologia, o autotransformador empregado no inversor VSI 5L-3SSC é constituído por dois enrolamentos idênticos, T_1 e T_2 , cada um responsável por metade da tensão e da corrente sintetizadas entre os terminais de saída a e b .

Em razão dessa simetria estrutural, as grandezas elétricas associadas a esses enrolamentos apresentam o mesmo módulo ao longo do período de operação. Assim, o enrolamento T_1 é adotado como representativo para a análise dos esforços de corrente e tensão no autotransformador, sendo os resultados diretamente extensíveis ao enrolamento T_2 . Assim, os valores de pico da tensão e da corrente em cada enrolamento são, respectivamente, expressos conforme (6.26) e (6.27).

$$V_{T1, pk} = \frac{V_{ab, pk}}{2} \quad (6.26)$$

$$I_{T1, pk} = \frac{I_{ab, pk}}{2} \quad (6.27)$$

Os valores eficazes da tensão e da corrente em cada enrolamento do autotransformador são obtidos por meio da ponderação temporal dos vetores de comutação selecionados pela modulação SVM, considerando os limites angulares definidos por θ_s ao longo do período fundamental. A partir dessa análise, os valores eficazes da tensão e da corrente no enrolamento T_1 são expressos, respectivamente, por (6.28) e (6.29).

$$V_{T1, rms} = V_i \sqrt{\frac{1}{2} + \frac{1}{\pi} \left(M - \theta_s - \sqrt{(4M^2 - 1)} \right)} \quad (6.28)$$

$$I_{T1, rms} = \frac{I_{ab, rms}}{2} \quad (6.29)$$

Essas grandezas estabelecem os limites elétricos necessários para o correto

dimensionamento dos enrolamentos do autotransformador, bem como constituem a base para a avaliação das perdas associadas ao componente magnético.

6.4.2 Esforços de Tensão e Corrente nos Dispositivos Semicondutores

Os esforços impostos aos dispositivos semicondutores do inversor VSI 5L-3SSC dependem diretamente da estratégia de modulação SVM e das formas de onda de tensão e corrente sintetizadas entre os terminais a e b . Esses esforços determinam os valores máximos de tensão de bloqueio, bem como os valores médios e eficazes de corrente conduzida por cada dispositivo ao longo do período fundamental, sendo parâmetros fundamentais para o dimensionamento elétrico e térmico do conversor.

Na topologia proposta, a conversão de energia é realizada por seis interruptores semicondutores S_1 – S_6 e seus respectivos diodos antiparalelos D_1 – D_6 , operando em dois regimes distintos de frequência. Os interruptores S_1 – S_4 , associados à 3SSC, operam em alta frequência e são responsáveis pela síntese dos níveis intermediários da tensão de saída v_{ab} . Por sua vez, os interruptores S_5 e S_6 operam em baixa frequência e realizam exclusivamente a inversão da polaridade da tensão aplicada à carga, comutando apenas na frequência fundamental.

A sequência de vetores de comutação e os estados de condução associados a cada etapa de operação foram definidos anteriormente no desenvolvimento da estratégia de modulação. Para a análise dos esforços de corrente e tensão individuais, cada ramo de comutação é avaliado considerando separadamente o interruptor ativo e o respectivo diodo antiparalelo, sendo o elemento efetivamente condutor determinado pelo estado de comutação imposto pela modulação e pelo sentido instantâneo da corrente i_{ab} .

Em virtude da simetria estrutural do autotransformador, composto por dois enrolamentos idênticos, a corrente de saída i_{ab} é naturalmente dividida entre os ramos, resultando em correntes de módulo $i_{ab}/2$ em cada caminho magnético. Para cada estado de comutação, a condução ocorre pelo interruptor semiconductor quando a polaridade da tensão aplicada favorece a condução direta, ou pelo diodo antiparalelo quando há inversão do sentido da corrente em relação ao estado do interruptor.

Os esforços de corrente e tensão resultantes apresentam comportamento simétrico entre os dispositivos S_1 – S_4 e D_1 – D_4 , bem como entre os dispositivos S_5 – S_6 e D_5 – D_6 . Os diodos antiparalelos associados aos interruptores de alta frequência podem conduzir tanto em função da defasagem entre a tensão v_{ab} e a corrente i_{ab} quanto em decorrência das polaridades instantâneas impostas pelo acoplamento magnético do autotransformador e pela seleção dos

vetores de comutação. Embora não participem diretamente da síntese dos níveis de tensão, esses diodos são estruturalmente necessários para o estabelecimento dos caminhos de corrente exigidos pelo funcionamento da 3SSC, influenciando os valores médios e eficazes de corrente nos ramos do conversor. Em contraste, os diodos antiparalelos associados aos interruptores de baixa frequência conduzem exclusivamente em condições reativas, atuando apenas como caminhos de recirculação de corrente durante a inversão da polaridade da tensão de saída, sem participação na síntese multinível nem na definição dos estados vetoriais.

A partir dessas considerações, os esforços de tensão e corrente em cada dispositivo semicondutor podem ser determinados de forma analítica nas subseções seguintes, considerando os intervalos de condução definidos pela modulação SVM e a decomposição temporal das formas de onda ao longo do período fundamental.

6.4.2.1 Ângulo de Defasagem para Cargas R e RL

O ângulo de defasagem φ entre a tensão $v_{ab}(\omega t)$ e a corrente $i_{ab}(\omega t)$ define a natureza da potência entregue à carga e influencia os intervalos de condução dos dispositivos semicondutores do inversor VSI 5L-3SSC. Para cargas puramente resistivas ($\varphi = 0$), a corrente encontra-se em fase com a tensão, de modo que os dispositivos de baixa frequência S_5 e S_6 conduzem apenas pelos interruptores ativos, sem recirculação pelos diodos D_5 e D_6 . Nos dispositivos da 3SSC (S_1 – S_4 e D_1 – D_4), a condução é determinada pelas polaridades impostas pelo autotransformador e pela seleção dos vetores da modulação SVM, ocorrendo alternância natural entre interruptores e diodos mesmo para $\varphi = 0$. Para cargas do tipo RL, a corrente i_{ab} apresenta defasagem em relação à tensão v_{ab} , caracterizada por um ângulo φ distinto de zero, expresso por (6.30).

$$\varphi = \tan^{-1}\left(\frac{\omega L}{R}\right) \quad (6.30)$$

em que R e L representam, respectivamente, a resistência e a indutância equivalentes da carga.

A presença de defasagem angular modifica os instantes de transição entre os dispositivos ativos e seus diodos antiparalelos, sendo esse efeito particularmente relevante nos dispositivos de baixa frequência. Para $\varphi > 0$, típico de cargas indutivas, surgem intervalos de condução por roda livre nos diodos D_5 e D_6 durante a inversão da polaridade da tensão de saída. Em contraste, nos dispositivos de alta frequência, a condução pelos diodos D_1 – D_4 permanece associada às polaridades estruturais e aos estados vetoriais da modulação, independentemente da natureza da carga.

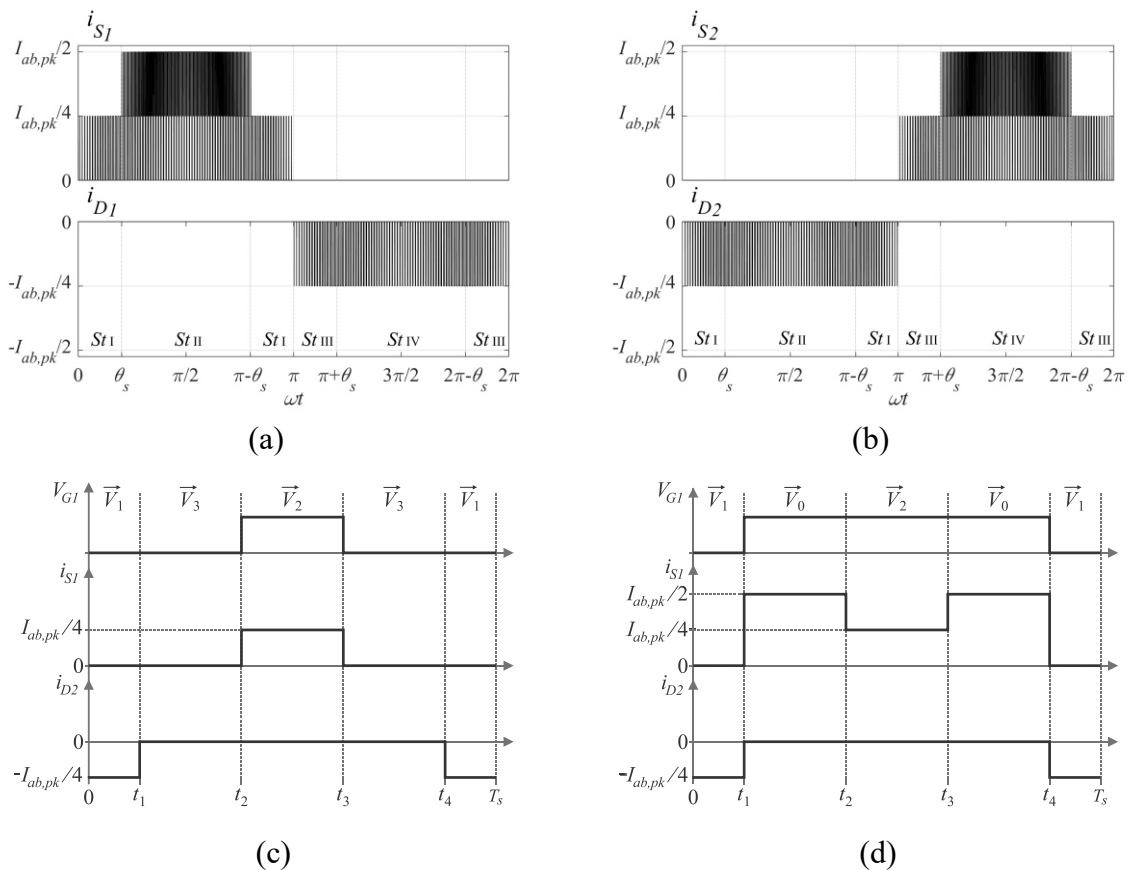
6.4.2.2 Esforços nos Interruptores de Alta Frequência

Nesta subseção determina-se os esforços de corrente e tensão nos interruptores de alta frequência S_1 – S_4 . Em virtude da simetria estrutural da topologia, a análise é conduzida considerando o interruptor S_1 como elemento representativo, sendo os resultados diretamente extensíveis aos demais dispositivos de alta frequência.

Os intervalos de condução são definidos pela sequência vetorial estabelecida pela modulação SVM no Capítulo 5. Dessa forma, os limites temporais são determinados exclusivamente pelos tempos de permanência T_a e T_b , já expressos em função de $v_{ref}(\omega t)$.

A Figura 111 apresenta as formas de onda das correntes conduzidas pelos pares S_1 – D_1 e S_2 – D_2 , bem como ampliações de um período de comutação T_s nos Setores I e II, servindo como base para a definição dos limites de integração.

Figura 111 – Formas de onda das correntes nos pares (a) S_1 – D_1 e (b) S_2 – D_2 , com ampliações em um período de comutação T_s para (c) Setor I e (d) Setor II.



No Setor I, conforme estabelecido na análise vetorial anterior e ilustrado na Figura 111(c), a corrente conduzida por S_1 assume os níveis 0 e $I_{ab,pk}/4$. O valor eficaz setorial é obtido pela integração do quadrado da corrente ao longo do semiperíodo de comutação, conforme expresso em (6.31).

$$I_{S1,rms}^{St_1} = \sqrt{\frac{1}{T_s/2} \left[\int_0^{t_1} (0)^2 dt + \int_{t_1}^{t_2} (0)^2 dt + \int_{t_2}^{T_s/2} \left(\frac{I_{ab,pk}}{4} \right)^2 dt \right]} \quad (6.31)$$

A expressão representa o valor médio quadrático no semiperíodo considerando a sequência simétrica de comutação.

Substituindo os intervalos temporais para o setor I, dados pela Figura 99, obtém-se (6.32).

$$I_{S1,rms}^{St_1} = \frac{I_{ab,pk}}{4} \sqrt{\frac{T_b}{T_s}} \quad (6.32)$$

Substituindo (5.15) em (6.32), chega-se a forma expressa em (6.33).

$$I_{S1,rms}^{St_1} = \frac{I_{ab,pk}}{4} \sqrt{2v_{ref}(\omega t)} \quad (6.33)$$

No Setor II, a corrente conduzida por S_1 pode assumir dois níveis distintos, $I_{ab,pk}/2$ e $I_{ab,pk}/4$, conforme os estados de condução dos dispositivos ilustrados na Figura 111(d). O valor eficaz setorial é determinado pela integração apresentada em (6.34).

$$I_{S1,rms}^{St_{II}} = \sqrt{\frac{1}{T_s/2} \left[\int_0^{t_1} (0)^2 dt + \int_{t_1}^{t_2} \left(\frac{I_{ab,pk}}{2} \right)^2 dt + \int_{t_2}^{T_s/2} \left(\frac{I_{ab,pk}}{4} \right)^2 dt \right]} \quad (6.34)$$

Substituindo os intervalos temporais do setor II pelos tempos de permanência T_a e T_b , dados pela Figura 101, e resolvendo a expressão obtém-se (6.35).

$$I_{S1,rms}^{St_{II}} = \frac{I_{ab,pk}}{4} \sqrt{\frac{8T_a + T_b}{2T_s}} \quad (6.35)$$

Por fim, substituindo T_a e T_b pelas expressões (5.16) e (5.17), obtém-se a forma simplificada apresentada em (6.36).

$$I_{S1,rms}^{St_{II}} = \frac{I_{ab,pk}}{4} \sqrt{7v_{ref}(\omega t) - 3} \quad (6.36)$$

As equações (6.32) e (6.36) descrevem os valores eficazes setoriais instantâneos exclusivamente em função de $v_{ref}(\omega t)$. Para determinar o esforço eficaz global ao longo do ciclo fundamental, procede-se à integração angular no intervalo de 0 a $\pi/2$, conforme (6.37).

$$I_{S1,rms} = \sqrt{\frac{1}{\pi} \left[\int_0^{\theta_s} (I_{S1,rms}^{St_1})^2 d(\omega t) + \int_{\theta_s}^{\pi/2} (I_{S1,rms}^{St_{II}})^2 d(\omega t) \right]} \quad (6.37)$$

Substituindo-se as expressões (6.32) e (6.36) em (6.37), e considerando (6.10), obtém-se (6.38).

$$I_{S1,rms} = \frac{I_{ab,pk}}{8} \sqrt{\frac{2}{\pi} \left[2M - 3\pi + 6 \operatorname{sen}^{-1} \left(\frac{1}{2M} \right) + 6\sqrt{4M^2 - 1} \right]} \quad (6.38)$$

O valor médio é determinado de forma análoga, substituindo-se a integral do quadrado da corrente pela integral direta da corrente nos mesmos intervalos angulares. O valor médio setorial no Setor I, aplicando o mesmo procedimento considerando os níveis indicados na Figura 111(c), é dado por (6.39).

$$I_{S1,avg}^{St_1} = \frac{I_{ab,pk}}{4} \sqrt{v_{ref}(\omega t)} \quad (6.39)$$

No Setor II, aplicando o mesmo procedimento considerando os níveis indicados na Figura 111(d), obtém-se (6.40).

$$I_{S1,avg}^{St_{II}} = \frac{I_{ab,pk}}{4} \sqrt{3v_{ref}(\omega t) - 1} \quad (6.40)$$

Considerando novamente a simetria do ciclo fundamental, a integração é realizada ao longo do intervalo angular de 0 a π e normalizada por esse mesmo intervalo, resultando na expressão global apresentada em (6.41).

$$I_{S1,avg} = \frac{I_{ab,pk}}{8\pi} \left(2M - \pi + 2 \operatorname{sen}^{-1} \left(\frac{1}{2M} \right) + 2\sqrt{4M^2 - 1} \right) \quad (6.41)$$

O valor de pico da corrente decorre da divisão da corrente entre os enrolamentos do autotransformador, correspondendo à metade do valor de pico da corrente de saída $I_{ab,pk}$, conforme expresso em (6.42).

$$I_{S1,pk} = \frac{I_{ab,pk}}{2} \quad (6.42)$$

Durante o bloqueio, cada interruptor de alta frequência suporta a tensão entre os terminais de saída do inversor, cujo valor máximo corresponde ao valor de pico da tensão v_{ab} , conforme indicado em (6.43). Essa condição é válida para operação ideal, sem sobretensões transitórias, representando o esforço máximo de tensão nos dispositivos de alta frequência.

$$V_{S1,pk} = V_{ab,pk} \quad (6.43)$$

Essas expressões foram deduzidas considerando corrente em fase com a tensão de saída, correspondendo ao caso de carga puramente resistiva. Para cargas do tipo RL, a mesma formulação permanece válida, sendo necessária apenas a consideração do ângulo de defasagem φ entre a tensão v_{ab} e a corrente i_{ab} , a qual modifica exclusivamente os limites angulares de condução, mantendo inalterada a estrutura analítica das expressões.

Dessa forma, os resultados obtidos aplicam-se a cargas resistivas e reativas, desde que

a defasagem angular seja devidamente considerada, e são válidos para toda a faixa linear de modulação ($M \geq 0,5$).

6.4.2.3 Esforços nos Diodos de Alta Frequência

Os diodos de alta frequência D_1 – D_4 conduzem em função das polaridades impostas pelo autotransformador e da seleção vetorial definida pela modulação SVM. Durante a aplicação dos vetores de comutação, as tensões induzidas nas derivações do autotransformador podem impor polaridades locais que favorecem a condução dos diodos antiparalelos, assegurando a continuidade do fluxo de corrente no circuito de saída independentemente do sentido instantâneo da corrente i_{ab} . Esse mecanismo é essencial para o correto funcionamento da 3SSC, pois garante o estabelecimento dos caminhos de corrente exigidos pela transferência de energia entre os enrolamentos e pela alternância entre vetores de comutação.

Em razão da simetria estrutural do autotransformador e da relação de transformação unitária entre seus enrolamentos, os esforços associados aos diodos de alta frequência são idênticos. Assim, o diodo D_1 é adotado como elemento representativo para a análise dos esforços de corrente e tensão, sendo os resultados diretamente extensíveis aos diodos D_2 – D_4 .

As Figuras 111(a) e (b) ilustram as formas de onda típicas da corrente conduzida por um diodo representativo nos Setores I e II, enquanto as ampliações apresentadas em (c) e (d) evidenciam, em um período de comutação T_s , os intervalos de condução e bloqueio determinados pela sequência dos vetores de modulação. Essas formas de onda são equivalentes para todos os diodos de alta frequência, em virtude da simetria de operação da topologia.

A determinação dos esforços nos diodos de alta frequência segue o mesmo procedimento analítico adotado para os interruptores, sendo baseada na integração direta da corrente conduzida nos intervalos correspondentes a cada setor da modulação SVM. Assim, os valores eficazes parciais da corrente no diodo D_1 , referentes aos Setores I e II, são dados, respectivamente, por (6.44) e (6.45).

$$I_{D1,\text{rms}}^{\text{St}_I} = \sqrt{\frac{1}{T_s/2} \left[\int_0^{t_1} \left(\frac{-I_{ab,\text{pk}}}{4} \right)^2 dt \right]} = \frac{I_{ab,\text{pk}}}{4} \sqrt{v_{ref}(\omega t)} \quad (6.44)$$

$$I_{D1,\text{rms}}^{\text{St}_{II}} = \sqrt{\frac{1}{T_s/2} \left[\int_0^{t_1} \left(\frac{-I_{ab,\text{pk}}}{4} \right)^2 dt \right]} = \frac{I_{ab,\text{pk}}}{4} \sqrt{1-v_{ref}(\omega t)} \quad (6.45)$$

O valor eficaz global da corrente conduzida pelo diodo de alta frequência é obtido pela integração dos valores eficazes parciais ao longo de meio período da componente fundamental

da corrente de saída. Essa redução decorre da simetria da condução nos semiciclos positivo e negativo da fundamental, resultando em (6.46).

$$I_{D1,rms} = \frac{I_{ab,pk}}{8} \sqrt{\frac{2}{\pi} \left(\pi + 2M - 2 \sin^{-1} \left(\frac{1}{2M} \right) - 2\sqrt{4M^2 - 1} \right)} \quad (6.46)$$

O valor médio da corrente conduzida pelos diodos de alta frequência é determinado de forma análoga ao procedimento aplicado aos interruptores, considerando a condução unidirecional imposta pelas polaridades do autotransformador. Nessa condição, os diodos conduzem nos intervalos complementares aos dos interruptores, apresentando amplitudes e distribuição temporal equivalentes. A integração dos valores médios parciais ao longo de meio ciclo fundamental resulta em (6.47).

$$I_{D1,avg} = \frac{I_{ab,pk}}{8\pi} \left[2 \sin^{-1} \left(\frac{1}{2M} \right) - 2M - \pi + 2\sqrt{4M^2 - 1} \right] \quad (6.47)$$

O valor de pico da corrente é determinado a partir da divisão da corrente entre os enrolamentos do autotransformador. Como cada diodo conduz apenas durante parte do intervalo associado a cada setor da modulação, o valor máximo de corrente em cada dispositivo corresponde a um quarto do valor de pico da corrente de saída, sendo expresso por (6.48).

$$I_{D1,pk} = -\frac{I_{ab,pk}}{4} \quad (6.48)$$

O sinal negativo indica que o sentido do fluxo de corrente nos diodos é oposto ao observado nos interruptores de alta frequência, refletindo a polaridade imposta pelas derivações do autotransformador durante os intervalos de condução.

Durante o bloqueio, os diodos de alta frequência estão submetidos à mesma diferença de potencial dos interruptores associados, uma vez que compartilham o mesmo ramo de condução no circuito. Nessas condições, a tensão reversa máxima aplicada a cada diodo é equivalente ao valor de pico da tensão sintetizada entre os terminais de saída *a* e *b*, sendo dada por (6.49).

$$V_{D1,pk} = V_{ab,pk} \quad (6.49)$$

Essas equações caracterizam de forma completa os esforços eficazes, médios e de pico de corrente e tensão nos diodos de alta frequência, tendo sido deduzidas considerando operação com carga puramente resistiva, isto é, com corrente em fase com a tensão de saída.

Para cargas RL, o procedimento de cálculo permanece válido, sendo necessária apenas a determinação prévia do ângulo de defasagem entre a tensão sintetizada e a corrente de saída. A inclusão dessa defasagem altera os instantes de transição entre condução por interruptores e

diodos, ajustando os limites de integração sem modificar a forma geral das expressões analíticas. Dessa forma, os resultados obtidos são válidos para toda a faixa linear de modulação ($M \geq 0,5$), tanto para cargas puramente resistivas quanto para cargas reativas.

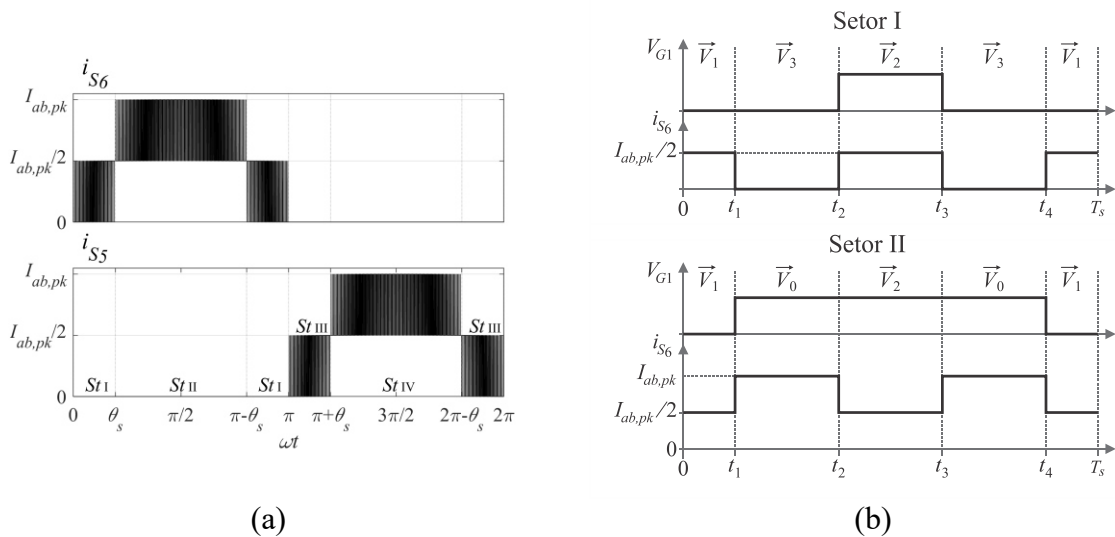
6.4.2.4 Esforços nos Interruptores de Baixa Frequência

Durante a operação do inversor VSI 5L-3SSC, os interruptores de baixa frequência S_5 e S_6 são responsáveis exclusivamente pela inversão da polaridade da tensão sintetizada entre os terminais a e b . Em cada semiciclo da componente fundamental, apenas um desses dispositivos conduz a corrente de saída, enquanto o outro permanece bloqueado, de acordo com o sinal instantâneo da tensão aplicada à carga.

No semiciclo positivo da tensão de saída ($0 \leq \omega t \leq \pi$), a condução ocorre pelo interruptor S_6 , ao passo que, no semiciclo negativo ($\pi \leq \omega t \leq 2\pi$), a corrente é transferida para o interruptor S_5 . Dessa forma, cada interruptor de baixa frequência conduz a corrente de carga durante um semiciclo completo, assegurando a inversão da polaridade da tensão de saída sem a ocorrência de comutações em alta frequência.

A Figura 112(a) apresenta as formas de onda das correntes conduzidas pelos interruptores S_6 e S_5 ao longo do período fundamental. A Figura 112(b) mostra a ampliação da corrente em S_6 durante um período de comutação T_s , evidenciando os níveis assumidos pela corrente nos Setores I e II em função da sequência de vetores de modulação.

Figura 112 – Formas de onda das correntes nos interruptores (a) S_5 e S_6 , com ampliações da corrente de S_6 em um período de comutação T_s para (b) ampliações da corrente i_{S6} para os Setores I e II.



Em virtude da simetria de operação, as formas de onda da corrente nesses interruptores de baixa frequência são idênticas, diferindo apenas por um deslocamento de fase de π rad. A

determinação dos esforços nos interruptores de baixa frequência segue o mesmo procedimento adotado nas subseções anteriores, sendo baseada na integração direta da corrente instantânea nos intervalos de condução correspondentes. Considerando S_6 como elemento representativo, o valor eficaz parcial da corrente nos Setores I e II é dado, respectivamente, por (6.50) e (6.51).

$$I_{S6,rms}^{St_I} = \frac{I_{ab,pk}}{2} \sqrt{2v_{ref}(\omega t)} \quad (6.50)$$

$$I_{S6,rms}^{St_{II}} = \frac{I_{ab,pk}}{2} \sqrt{6v_{ref}(\omega t) - 2} \quad (6.51)$$

O valor eficaz global da corrente conduzida pelo interruptor de baixa frequência é obtido pela integração dos valores eficazes parciais ao longo de meio período da componente fundamental da corrente de saída, considerando a simetria semicíclica de condução, resultando em (6.52).

$$I_{S6,rms} = \frac{I_{ab,pk}}{2} \sqrt{\frac{1}{\pi} \left[2M - \pi + 2 \operatorname{sen}^{-1} \left(\frac{1}{2M} \right) + 2\sqrt{4M^2 - 1} \right]} \quad (6.52)$$

O valor médio da corrente conduzida pelos interruptores de baixa frequência é determinado de forma análoga, a partir da integração dos valores médios parciais associados a cada setor da modulação SVM ao longo de meio ciclo da componente fundamental. Considerando que cada interruptor conduz durante um semiciclo completo, obtém-se (6.53).

$$I_{S6,avg} = \frac{I_{ab,pk} M}{\pi} \quad (6.53)$$

O valor de pico da corrente é igual à amplitude da corrente de saída, uma vez que esses dispositivos conduzem integralmente a corrente da carga durante o semiciclo correspondente, sendo dado por (6.54).

$$I_{S6,pk} = I_{ab,pk} \quad (6.54)$$

Durante o bloqueio, cada interruptor de baixa frequência está submetido à tensão máxima sintetizada entre os terminais a e b. Assim, o valor máximo da tensão de bloqueio é expresso por (6.55).

$$V_{S6,pk} = V_{ab,pk} \quad (6.55)$$

Esse valor representa o esforço máximo de tensão suportado pelos interruptores de baixa frequência, sendo determinado diretamente pela amplitude da tensão de saída do inversor.

Essas equações caracterizam de forma completa os valores eficazes, médios e de pico de corrente e tensão nos dispositivos S_5 e S_6 , constituindo a base para o seu dimensionamento elétrico e térmico. Os resultados obtidos são válidos para cargas resistivas ou reativas e para

toda a faixa linear de modulação ($M \geq 0,5$).

6.4.2.5 Esforços nos Diodos de Baixa Frequência

Os diodos de baixa frequência D_5 e D_6 atuam de forma complementar aos interruptores correspondentes S_5 e S_6 , conduzindo exclusivamente durante os intervalos de roda livre da corrente de saída. Essa condição ocorre quando a corrente da carga tende a se manter após o bloqueio do interruptor ativo, caracterizando a presença de componente reativa no circuito de saída. Nessa situação, os diodos fornecem o caminho necessário para a circulação da corrente associada à energia armazenada nos elementos indutivos da carga, assegurando a continuidade do fluxo de corrente até a inversão da polaridade da tensão sintetizada entre os terminais a e b .

Durante o semiciclo positivo da tensão de saída ($0 \leq \omega t \leq \pi$), a condução em roda livre ocorre pelo diodo D_5 após o bloqueio do interruptor S_6 . De forma análoga, no semiciclo negativo ($\pi \leq \omega t \leq 2\pi$), a condução é assumida pelo diodo D_6 após o bloqueio do interruptor S_5 . Assim, cada diodo de baixa frequência conduz apenas durante o intervalo em que a corrente da carga permanece com polaridade oposta à tensão aplicada, comportamento diretamente associado à defasagem angular entre tensão e corrente.

No caso de carga puramente resistiva, a corrente encontra-se em fase com a tensão de saída, inexistindo intervalos de roda livre. Nessas condições, os diodos de baixa frequência não conduzem, resultando em esforços de corrente nulos. Para cargas com componente indutiva, a condução dos diodos passa a ocorrer durante um intervalo proporcional ao ângulo de defasagem φ , aumentando à medida que a natureza reativa da carga se intensifica.

Entretanto, uma vez que a análise quantitativa e o dimensionamento de perdas adotados neste trabalho consideram como condição de referência a carga puramente resistiva, os esforços de corrente nos diodos de baixa frequência não são incluídos no cálculo de perdas nem no dimensionamento térmico dos dispositivos. Ainda assim, a descrição de seu comportamento operacional é apresentada para fins de completude da análise e correta compreensão do funcionamento do conversor sob condições gerais de carga.

Durante o bloqueio reverso, os diodos de baixa frequência estão submetidos à mesma tensão máxima aplicada aos interruptores correspondentes, uma vez que compartilham o mesmo ramo do circuito de saída. Assim, o esforço de tensão suportado pelos diodos de baixa frequência é determinado pela amplitude da tensão sintetizada entre os terminais a e b .

6.5 DIMENSIONAMENTO DO AUTOTRANSFORMADOR

O procedimento de dimensionamento baseia-se no método do produto de áreas, amplamente empregado no projeto de transformadores para eletrônica de potência, o qual relaciona as dimensões do núcleo magnético e da janela de enrolamento com as grandezas elétricas aplicadas (Mclyman, 2005). O processo inicia-se pela aplicação da lei de Faraday, expressa por (6.56).

$$V_{ab, pk} = N \frac{\Delta\phi}{\Delta t} \quad (6.56)$$

Sabendo-se que a variação de fluxo magnético é dada por (6.57).

$$\Delta\phi = \Delta B A_e \quad (6.57)$$

E, considerando que o tempo de aplicação da tensão é proporcional ao ciclo de condução DT_s , obtém-se a área efetiva do núcleo em (6.58).

$$A_e = \frac{V_{ab, pk} D}{2N\Delta B f_s} \quad (6.58)$$

Nessa equação, $V_{ab, pk}$ representa a tensão de pico sintetizada entre os terminais do inversor, cuja magnitude depende do índice de modulação M e da tensão do barramento CC V_i , N é o número de espiras por enrolamento, ΔB é a variação máxima de densidade de fluxo no núcleo e f_s é a frequência de comutação.

A densidade máxima de corrente nos condutores é definida por (6.59).

$$J_{\max} = \frac{I_{ab, rms} N}{A_{cond}} \quad (6.59)$$

em que A_{cond} é a área total ocupada pelos condutores de cobre. Essa área pode ser expressa por (6.60).

$$A_{cond} = A_w k_w k_p \quad (6.60)$$

em que k_w representa o fator de preenchimento da janela e k_p o fator de utilização do enrolamento primário.

A partir das equações (6.59) e (6.60), a área de janela necessária para acomodar os condutores é dada por (6.61).

$$A_w = \frac{I_{ab, rms} N}{k_w k_p J_{\max}} \quad (6.61)$$

Combinando as equações (6.58) e (6.61), obtém-se em (6.62) o produto de áreas do autotransformador.

$$A_e A_w = \frac{V_{ab, pk} I_{ab, rms}}{4k_w k_p J_{max} \Delta B f_s} \quad (6.62)$$

Essa relação fornece um critério direto para a seleção do núcleo magnético em função da potência processada e das condições de operação estabelecidas. Todas as grandezas envolvidas encontram-se expressas em unidades do Sistema Internacional, resultando no produto de áreas em m⁴. Caso o produto de áreas seja expresso em cm⁴, torna-se necessária a aplicação do fator de conversão correspondente, multiplicando-se o segundo membro da equação por 10⁴.

O número de espiras por enrolamento pode ser obtido a partir de (6.58), sendo rearranjado por (6.63). Considera-se $D = 0,5$, essa hipótese corresponde à condição de maior variação de fluxo magnético e conduz a um dimensionamento conservativo do núcleo.

$$N = \frac{V_{ab, pk}}{2A_e \Delta B f_s} \quad (6.63)$$

A profundidade de penetração da corrente alternada nos condutores é determinada por (6.64).

$$\delta_T = \frac{7,5}{\sqrt{f_s}} \quad (6.64)$$

O diâmetro máximo admissível para cada fio é limitado por (6.65).

$$D_T \leq 2\delta_T \quad (6.65)$$

Para a obtenção da área de seção transversal efetiva de cobre necessária para conduzir a corrente, obtém-se em (6.66).

$$S_T = \frac{I_{T1, rms}}{J_{max}} \quad (6.66)$$

em que $I_{T1, rms}$ representa a corrente eficaz no enrolamento. Caso sejam utilizados múltiplos condutores em paralelo, o número equivalente é calculado por (6.67).

$$N_{cond} = \frac{S_T}{S_{cu}} \quad (6.67)$$

em que S_{cu} é a seção de um único condutor.

Já o fator de utilização de janela é expresso por (6.68).

$$k_u = \frac{2N_{cond} N S_{cu}}{A_w} \quad (6.68)$$

Recomenda-se adotar $k_u \leq 0,4$ para permitir espaço adequado a isolamentos e dissipação térmica.

Todas as equações anteriores são formuladas considerando a excitação por onda retangular com ciclo ativo $D = 0,5$, o que representa a condição de máximo fluxo magnético no núcleo. Assim, as tensões utilizadas correspondem aos valores de pico aplicados aos enrolamentos, enquanto as correntes são consideradas em valor eficaz, conforme as definições estabelecidas anteriormente.

O dimensionamento do autotransformador, conforme apresentado, assegura que o componente opere dentro dos limites magnéticos e térmicos admissíveis, garantindo elevado fator de utilização e reduzidas perdas por histerese e efeito Joule. A análise demonstrou que as grandezas de projeto, em especial o produto de áreas e o número de espiras, dependem diretamente da tensão de pico aplicada, da corrente eficaz processada e da frequência de comutação.

A metodologia adotada permite selecionar de forma criteriosa o núcleo e os condutores, compatibilizando os requisitos de desempenho elétrico com a viabilidade construtiva. Dessa forma, o autotransformador projetado apresenta comportamento equilibrado entre seus enrolamentos e contribui decisivamente para a síntese simétrica dos níveis de tensão da estrutura VSI 5L-3SSC.

As equações deduzidas nesta seção estabelecem, portanto, as bases quantitativas necessárias para o dimensionamento físico e térmico do componente magnético principal, constituindo etapa fundamental para a avaliação global de desempenho e rendimento do inversor, abordada nas seções subsequentes.

6.6 RENDIMENTO DO VSI 5L-3SSC

O rendimento do inversor VSI 5L-3SSC é definido como a razão entre a potência ativa entregue à carga e a potência total absorvida da fonte de entrada. Dessa forma, o rendimento global do conversor é expresso por (6.69).

$$\eta = \frac{P_o}{P_i} \times 100\% \quad (6.69)$$

A potência de entrada P_i corresponde à soma da potência útil transferida à carga e das perdas internas do inversor, podendo ser expressa conforme (6.70).

$$P_i = P_o + P_{loss} \quad (6.70)$$

Nessa expressão, P_{loss} representa o somatório das perdas associadas aos dispositivos semicondutores, incluindo perdas por condução e por comutação, bem como as perdas no autotransformador e nas conexões elétricas do sistema. Assim, o rendimento global do inversor

é diretamente influenciado pela magnitude dessas perdas, cuja determinação analítica é desenvolvida nas subseções seguintes.

6.6.1 Perdas nos Dispositivos Semicondutores

As perdas associadas aos dispositivos semicondutores do inversor podem ser classificadas em dois grupos principais: perdas por condução e perdas por comutação. Esses mecanismos de dissipação são amplamente descritos na literatura de eletrônica de potência (Mohan *et al.*, 2003; Erickson *et al.*, 2007). As perdas por condução estão relacionadas aos intervalos em que os dispositivos permanecem em estado condutor, sendo determinadas pelas características elétricas dos dispositivos semicondutores de potência.

O cálculo das perdas é realizado de forma analítica, considerando separadamente os interruptores e os diodos de alta e de baixa frequência. Para esse fim, são empregadas as formas de onda de tensão e corrente determinadas nas subseções anteriores, bem como os respectivos valores eficazes, médios e de pico, assegurando coerência entre a modelagem das perdas e os esforços efetivamente impostos aos dispositivos ao longo do período fundamental.

Os parâmetros elétricos empregados na modelagem das perdas dos dispositivos semicondutores de potência foram obtidos a partir das curvas características fornecidas pelos fabricantes para condições nominais de temperatura de junção. Assim, embora as dependências térmicas de parâmetros como $V_{CE(on)}$, V_F , r_c , r_d , E_{on} , E_{off} e E_{rec} sejam consideradas implicitamente por meio dos dados de referência utilizados, não foi realizado acoplamento eletrotérmico iterativo na modelagem. A dependência explícita com a temperatura foi incorporada apenas às perdas nos enrolamentos do autotransformador, devido à variação direta da resistividade do cobre com a temperatura de operação.

6.6.1.1 Perdas nos Interruptores de Alta Frequência

As perdas nos interruptores de alta frequência S_1 – S_4 são compostas pelas parcelas de condução e de comutação. As perdas por condução são determinadas a partir do valor médio e do valor eficaz da corrente conduzida, resultando na potência dissipada indicada em (6.71), na qual n_{HF} representa o número de dispositivos de alta frequência em operação equivalente.

$$P_{SHF,cond} = n_{HF} \left(V_{CE(on)} I_{S1,avg} + r_c I_{S1,rms}^2 \right) \quad (6.71)$$

Durante a condução, a característica de coletor-emissor do IGBT pode ser aproximada por um modelo linear, no qual a tensão $V_{CE(on)}$ é expressa como a soma de um termo de limiar

V_{CE0} e de um termo proporcional à corrente de coletor I_C , conforme (6.72).

$$V_{CE(on)} = V_{CE0} + r_c I_C \quad (6.72)$$

Nesse modelo, V_{CE0} corresponde à interseção aproximada da curva I_C - V_{CE} com o eixo de tensão, enquanto r_c é a resistência dinâmica equivalente obtida no trecho aproximadamente linear da característica, conforme (6.73).

$$r_c = \frac{\Delta V_{CE0}}{\Delta I_C} \quad (6.73)$$

Substituindo-se (6.72) em (6.71), obtém-se a expressão expandida apresentada em (6.74), que evidencia a contribuição conjunta do componente associado ao valor médio de corrente e do termo associado ao valor eficaz. Os parâmetros V_{CE0} e r_c devem ser extraídos das curvas do fabricante nas condições de temperatura e corrente compatíveis com o ponto de operação, uma vez que a característica de condução do IGBT é dependente dessas condições.

$$P_{SHF,cond} = n_{HF} \left[\left(V_{CE0} + r_c I_{S1,avg} \right) I_{S1,avg} + r_c \left(I_{S1,rms}^2 - I_{S1,avg}^2 \right) \right] \quad (6.74)$$

As perdas por comutação decorrem da sobreposição instantânea de tensão e corrente durante as transições de estado (ligado e desligado). A potência média associada a essas perdas é obtida a partir das energias de comutação informadas pelo fabricante, multiplicadas pela frequência de comutação e pelo número de dispositivos em operação equivalente, conforme (6.75).

$$P_{SHF,sw} = n_{HF} f_s \left[E_{on} + E_{off} \right] \quad (6.75)$$

As energias E_{on} e E_{off} são usualmente fornecidas em função da corrente de comutação e da tensão de bloqueio, podendo ser interpoladas diretamente a partir das curvas do datasheet ou modeladas por ajuste paramétrico. Neste trabalho, adota-se um ajuste por leis potenciais em escala log-log, expresso por (6.76) e (6.77), no qual os coeficientes k_{on} , k_{off} , m_{on} , m_{off} , n_{on} e n_{off} são obtidos por regressão a partir das curvas de referência do fabricante, e V_r e I_r correspondem às condições base dos dados. Observa-se que a dependência de E_{on} e E_{off} com corrente e tensão é intrínseca ao processo de comutação, motivo pelo qual o ajuste deve ser realizado com base nas curvas efetivamente disponibilizadas para o dispositivo selecionado.

$$E_{on} = k_{on} \left(\frac{V_{S1,pk}}{V_r} \right)^{m_{on}} \left(\frac{I_{S1,pk}}{I_r} \right)^{n_{on}} \quad (6.76)$$

$$E_{off} = k_{off} \left(\frac{V_{SHF,pk}}{V_r} \right)^{m_{off}} \left(\frac{I_{SHF,pk}}{I_r} \right)^{n_{off}} \quad (6.77)$$

Substituindo-se (6.76) e (6.77) em (6.75), obtém-se a forma generalizada para o cálculo

das perdas por comutação em (6.78).

$$P_{SHF,sw} = n_{HF} f_s \left[\left(k_{on} \left(\frac{V_{CE}}{V_r} \right)^{m_{on}} \left(\frac{I_{S1,pk}}{I_r} \right)^{n_{on}} \right) + \left(k_{off} \left(\frac{V_{CE}}{V_r} \right)^{m_{off}} \left(\frac{I_{S1,pk}}{I_r} \right)^{n_{off}} \right) \right] \quad (6.78)$$

Por fim, a potência total dissipada nos interruptores de alta frequência resulta da soma das parcelas de condução e de comutação, conforme (6.79).

$$P_{SHF,total} = P_{SHF,cond} + P_{SHF,sw} \quad (6.79)$$

6.6.1.2 Perdas nos Diodos de Alta Frequência

As perdas nos diodos de alta frequência D_1 – D_4 decorrem de dois mecanismos principais: a condução direta, quando o dispositivo está polarizado diretamente, e a recuperação reversa, associada à remoção da carga armazenada na junção durante a transição do estado de condução para o bloqueio.

Devido à simetria estrutural da topologia e à relação de transformação unitária do autotransformador, os esforços nos diodos de alta frequência são idênticos. Assim, o diodo D_1 é adotado como elemento representativo para a análise, sendo os resultados diretamente extensíveis aos demais dispositivos D_2 – D_4 .

A potência média dissipada por condução nos diodos de alta frequência pode ser calculada a partir da queda de tensão direta e da resistência dinâmica equivalente, considerando os valores médio e eficaz da corrente conduzida, conforme expresso em (6.80).

$$P_{DHF,cond} = n_{HF} \left(V_F I_{D1,avg} + r_d I_{D1,rms}^2 \right) \quad (6.80)$$

Durante a condução direta, a característica tensão-corrente do diodo pode ser aproximada por um modelo linear, análogo ao adotado para os interruptores, sendo descrita por (6.81), em que V_{F0} representa a queda de tensão de limiar e r_d corresponde à resistência dinâmica equivalente do dispositivo.

$$V_F = V_{F0} + r_d I_D \quad (6.81)$$

A resistência dinâmica r_d é definida pela inclinação média da característica $V_F \times I_F$ no trecho de operação relevante, conforme indicado em (6.82).

$$r_d = \frac{\Delta V_F}{\Delta I_F} \quad (6.82)$$

Substituindo-se (6.81) em (6.80), obtém-se a expressão expandida das perdas por condução nos diodos de alta frequência, apresentada em (6.83), que explicita a dependência

tanto da corrente média quanto da componente eficaz da corrente conduzida.

$$P_{DHF,cond} = n_{HF} \left[(V_{F0} + r_d I_{D1,avg}) I_{D1,avg} + r_d (I_{D1,rms}^2 - I_{D1,avg}^2) \right] \quad (6.83)$$

Os parâmetros V_{F0} e r_d podem ser extraídos diretamente das curvas características fornecidas pelo fabricante, nas condições de corrente e temperatura compatíveis com o ponto de operação do inversor, permitindo uma estimativa adequada das perdas por condução.

Além das perdas por condução, os diodos de alta frequência estão sujeitos às perdas associadas à recuperação reversa, que ocorrem durante a transição do estado de condução para o bloqueio. Nesse intervalo, a carga armazenada na junção é removida por meio de uma corrente reversa transitória, resultando em uma dissipação adicional de energia.

A potência média associada à recuperação reversa pode ser determinada a partir da energia de recuperação E_{rec} fornecida pelo fabricante, multiplicada pela frequência de comutação e pelo número de dispositivos em operação equivalente, conforme expresso em (6.84).

$$P_{DHF,rec} = n_{HF} f_s E_{rec} \quad (6.84)$$

A energia E_{rec} é usualmente especificada em função da corrente direta I_F e da tensão reversa V_R . Para permitir sua adaptação às condições reais de operação do inversor, essa energia pode ser modelada por uma lei potencial ajustada em escala log-log, conforme indicado em (6.85), em que k_{rec} , m_{rec} e n_{rec} são parâmetros obtidos por regressão a partir das curvas de referência do fabricante.

$$E_{rec} = k_{rec} \left(\frac{V_R}{V_r} \right)^{m_{rec}} \left(\frac{I_{D1,pk}}{I_r} \right)^{n_{rec}} \quad (6.85)$$

A potência total dissipada nos diodos de alta frequência é então obtida pela soma das parcelas de condução e de recuperação reversa, conforme expresso em (6.86).

$$P_{DHF,total} = P_{DHF,cond} + P_{DHF,rec} \quad (6.86)$$

A equação (6.86) fornece uma formulação geral para o cálculo das perdas médias nos diodos de alta frequência do inversor VSI 5L-3SSC, sendo válida ao longo de toda a faixa linear de modulação. Para cargas puramente resistivas, a contribuição da recuperação reversa permanece associada exclusivamente às transições impostas pela modulação. Para cargas reativas, o aumento do intervalo de condução dos diodos pode ser incorporado diretamente por meio da defasagem angular entre tensão e corrente, sem necessidade de alteração da estrutura analítica apresentada.

6.6.1.3 Perdas nos Interruptores e Diodos de Baixa Frequência

As perdas nos dispositivos de baixa frequência do inversor, constituídos pelos interruptores S_5 – S_6 e pelos diodos antiparalelos D_5 – D_6 , estão associadas ao regime de condução. Em razão da operação desses dispositivos com número reduzido de comutações por ciclo fundamental, as perdas por comutação podem ser consideradas desprezíveis quando comparadas às perdas por condução, considerando que a frequência de comutação desses dispositivos corresponde à frequência fundamental da rede, não sendo incluídas na análise.

A avaliação das perdas por condução nos interruptores de baixa frequência segue a mesma formulação adotada para os dispositivos de alta frequência, apresentada na equação (6.74), com a devida substituição das grandezas elétricas correspondentes aos interruptores S_5 – S_6 . Dessa forma, a potência média dissipada por condução nos interruptores de baixa frequência é expressa por (6.87).

$$P_{SLF,cond} = n_{LF} \left[(V_{CE0} + r_c I_{S6,avg}) I_{S6,avg} + r_c (I_{S6,rms}^2 - I_{S6,avg}^2) \right] \quad (6.87)$$

em que n_{LF} representa o número de dispositivos de baixa frequência em operação equivalente, V_{CE0} e r_c correspondem aos parâmetros elétricos do interruptor operando em baixa frequência, e $I_{S6,avg}$ e $I_{S6,rms}$ são, respectivamente, os valores médio e eficaz da corrente conduzida.

De forma análoga, as perdas por condução nos desses diodos são avaliadas a partir do modelo linearizado da característica tensão-corrente direta. Considerando os valores médio e eficaz da corrente conduzida durante o intervalo de roda livre, a potência média dissipada por condução nos diodos de baixa frequência é dada por (6.88).

$$P_{DLF,cond} = n_{LF} \left[(V_{F0} + r_d I_{D6,avg}) I_{D6,avg} + r_d (I_{D6,rms}^2 - I_{D6,avg}^2) \right] \quad (6.88)$$

em que V_{F0} e r_d são, respectivamente, a queda de tensão de limiar e a resistência dinâmica equivalente do diodo, enquanto $I_{D6,avg}$ e $I_{D6,rms}$ representam os valores médio e eficaz da corrente conduzida.

Deve-se ressaltar que esses diodos conduzem exclusivamente durante os intervalos de roda livre, associados à presença de componente reativa na carga. Em condições de carga puramente resistiva, esses intervalos não ocorrem, resultando em valores nulos de corrente média e eficaz, e, conseqüentemente, em perdas desprezíveis nos diodos D_5 – D_6 .

Assim, a potência média total dissipada nesses dispositivos é obtida pela soma das perdas por condução nos interruptores e nos diodos de baixa frequência, conforme expresso em (6.89).

$$P_{LF,total} = P_{SLF,cond} + P_{DLF,cond} \quad (6.89)$$

A equação (6.89) fornece, portanto, uma estimativa consolidada das perdas médias associadas a esses dispositivos, sendo válida para diferentes condições de carga, incluindo cargas puramente resistivas e cargas com componente reativa, e para toda a faixa linear de modulação considerada neste trabalho.

6.6.2 Perdas no Autotransformador

As perdas totais no autotransformador são compostas pelas parcelas de cobre e de núcleo, determinadas a partir das características elétricas dos enrolamentos e das propriedades magnéticas do material. As perdas ôhmicas decorrem da resistência dos condutores e dos efeitos de corrente alternada associados à operação em alta frequência, enquanto as perdas no núcleo estão relacionadas à excitação magnética alternada imposta pela modulação.

As perdas de cobre são calculadas considerando o efeito pelicular e o efeito de proximidade nos enrolamentos, por meio do fator de correção para perdas em corrente alternada, conforme o modelo clássico proposto por Dowell (1966). Assim, a potência dissipada por efeito Joule nos enrolamentos do autotransformador é expressa pela equação (6.90).

$$P_{Tr,cu} = F_R \sum_{k=1}^{n_N} I_{T1,rms}^2 R_{dc,k}(T) \quad (6.90)$$

em que F_R é o fator de correção para perdas CA (*Dowell factor*), $I_{T1,rms}$ é a corrente eficaz no enrolamento, $R_{dc,k}(T)$ é a resistência em corrente contínua ajustada à temperatura de operação e n_N representa o número total de enrolamentos.

A resistência em corrente contínua de cada enrolamento é determinada a partir das propriedades físicas do condutor, conforme as equações (6.91) e (6.92).

$$R_{dc}(T) = \rho_{cu}(T) \frac{l_m}{N_{cond} S_{cu}} \quad (6.91)$$

$$\rho_{cu}(T) = \rho_{20} [1 + \alpha_{cu} (T - 20^\circ C)] \quad (6.92)$$

Em que $\rho_{20} = 1,724 \times 10^{-8} \Omega.m$ é a resistividade do cobre a $20^\circ C$ e o coeficiente de temperatura $\alpha_{cu} = 3,9 \times 10^{-3}/^\circ C$. As variáveis N_{cond} e S_{cu} representam, respectivamente, o número de condutores em paralelo e a área de seção transversal de cada fio.

O comprimento médio efetivo de cada enrolamento é dado pela equação (6.93).

$$l_m = N l_T (1 + \varepsilon_l) \quad (6.93)$$

Nessa relação, N é o número de espiras, l_T é o comprimento médio de uma espira e ε_l

representa o fator de correção associado aos comprimentos adicionais das terminações. Para núcleos do tipo E com bobinas compactas, pode-se adotar $\varepsilon_l \approx 0,03$, conforme prática consolidada em projetos de transformadores de alta frequência.

As perdas no núcleo magnético do autotransformador são determinadas a partir da equação empírica de Steinmetz, amplamente empregada para estimativa de perdas magnéticas sob excitação alternada, conforme sistematizado em projetos modernos de transformadores de alta frequência (Hurley *et al.*, 1998). A aplicação da equação de Steinmetz clássica considera excitação magnética equivalente em regime periódico, sendo adequada quando a forma de onda de fluxo apresenta simetria e variação limitada em torno do valor médio.

A densidade de potência dissipada no núcleo é expressa pela equação (6.94).

$$P_v = k_d f_{kHz}^\alpha B_{pk}^\beta \quad (6.94)$$

Nessa equação, P_v é expresso em mW/cm³, f_{kHz} em kHz e B_{pk} em teslas. Os coeficientes k_d , α e β dependem do material magnético e da temperatura de operação, sendo fornecidos pelo fabricante ou obtidos experimentalmente.

A densidade de fluxo magnético de pico no núcleo é determinada pela equação (6.95).

$$B_{pk} = \frac{V_{T1,rms}}{4NA_e f_s} \quad (6.95)$$

Nessa relação, $V_{T1,rms}$ é a tensão eficaz aplicada ao enrolamento, N é o número de espiras e A_e é a área efetiva da seção transversal do núcleo.

Substituindo-se a equação (6.95) na equação (6.94) e multiplicando-se pelo volume efetivo do núcleo V_e , obtém-se a potência total dissipada no núcleo magnético, conforme a equação (6.96).

$$P_{Tr,core} = KV_{T1,rms}^\beta \quad (6.96)$$

O termo K presente na equação (6.96) é definido pela equação (6.97).

$$K = k_d 10^{3(1-\alpha)} f_s^{\alpha-\beta} \frac{V_e}{(4NA_e)^\beta} \quad (6.97)$$

A conversão pelo fator $10^{3(1-\alpha)}$ ajusta as unidades originais do coeficiente k_d , inicialmente definidas para mW/cm³ e kHz, para o Sistema Internacional de Unidades, resultando em potência expressa em watts.

Esse conjunto de equações permite calcular as perdas magnéticas diretamente em função da tensão eficaz aplicada aos enrolamentos, mantendo constantes o número de espiras, a geometria do núcleo e a frequência de operação. O modelo permanece válido para variações moderadas de $V_{T1,rms}$ e B_{pk} dentro da faixa linear recomendada pelo fabricante do material

magnético empregado.

Por fim, as perdas totais no autotransformador são obtidas pela soma das parcelas de cobre e de núcleo, conforme expresso pela equação (6.98).

$$P_{Tr,total} = P_{Tr,cu} + P_{Tr,core} \quad (6.98)$$

A formulação apresentada nas equações (6.90) a (6.98) estabelece um modelo analítico consistente para a estimativa das perdas no autotransformador do inversor VSI 5L-3SSC, fundamentado no modelo clássico de perdas em enrolamentos proposto por Dowell (1966) e na abordagem consolidada de perdas magnéticas empregada em transformadores de alta frequência, conforme Hurley *et al.* (1998).

6.6.3 Perdas Totais do Inversor

As perdas totais do inversor VSI 5L-3SSC são determinadas pela soma das perdas individuais nos dispositivos semicondutores de comutação e no autotransformador. As parcelas associadas aos semicondutores de comutação incluem as perdas por condução e comutação nos interruptores e diodos de alta frequência, bem como as perdas por condução nos dispositivos de baixa frequência, conforme estabelecido nas subseções anteriores.

Dessa forma, a potência total dissipada nos dispositivos semicondutores de comutação é expressa pela soma das contribuições associadas aos interruptores de alta frequência, aos diodos de alta frequência e aos dispositivos de baixa frequência, resultando em (6.99).

$$P_{SC,total} = P_{SHF,total} + P_{DHF,total} + P_{LF,total} \quad (6.99)$$

Nessa expressão, $P_{SHF,total}$ corresponde às perdas médias nos interruptores de alta frequência, $P_{DHF,total}$ às perdas médias nos diodos de alta frequência e $P_{LF,total}$ à potência dissipada nos dispositivos de baixa frequência, conforme definido por (6.79), (6.86) e (6.89), respectivamente.

Somando-se a essa parcela as perdas no autotransformador, obtidas por (6.98), a potência total dissipada pelo inversor é determinada por (6.100).

$$P_{loss} = P_{SC,total} + P_{Tr,total} \quad (6.100)$$

A potência ativa entregue à carga é dada pelo produto das componentes eficazes da tensão e da corrente nos terminais de saída do inversor, sendo expressa por (6.101).

$$P_o = V_{ab,rms} I_{ab,rms} \cos \varphi \quad (6.101)$$

Nessa relação, $V_{ab,rms}$ e $I_{ab,rms}$ representam, respectivamente, os valores eficazes da tensão e da corrente de saída, enquanto φ corresponde ao ângulo de defasagem entre essas

grandezas, determinado pelas características da carga.

Assim, o rendimento global do inversor é obtido pela razão entre a potência ativa entregue à carga e a soma dessa potência com as perdas totais do conversor, conforme definido em (6.102).

$$\eta = \frac{P_o}{P_o + P_{loss}} \times 100\% \quad (6.102)$$

A formulação apresentada nas equações (6.99)–(6.102) fornece um modelo analítico completo para a determinação das perdas totais e do rendimento do inversor. O modelo é aplicável tanto para operação com carga puramente resistiva quanto para cargas resistivas-indutivas, sendo a influência da componente reativa da carga incorporada por meio do fator de potência. Esse modelo será empregado como base para a comparação com os resultados obtidos por simulação e validação experimental nos capítulos subsequentes.

6.7 CONSIDERAÇÕES PARCIAIS

Este capítulo apresentou a análise sistemática dos esforços de corrente e tensão, perdas e rendimento do inversor VSI 5L-3SSC, a partir das formas de onda impostas pela modulação SVM. Foram determinadas, de forma sistemática, as correntes médias, eficazes e de pico, bem como as tensões de bloqueio nos dispositivos semicondutores de potência e no autotransformador.

A formulação desenvolvida evidencia a dependência dos esforços em relação ao índice de modulação M , à frequência de comutação f_s e às grandezas eficazes e de pico da tensão e da corrente de saída. A inclusão explícita do ângulo de defasagem φ assegura a aplicabilidade do modelo a cargas resistivas e resistivas-indutivas, sem alteração da estrutura das expressões deduzidas.

Com base nessas grandezas, foram estabelecidos os modelos de perdas por condução e por comutação nos dispositivos de alta frequência, as perdas por condução nos dispositivos de baixa frequência e as perdas de cobre e de núcleo no autotransformador. A consolidação dessas parcelas permitiu obter a expressão da potência total dissipada e do rendimento global do conversor.

O conjunto de equações fornecem os critérios quantitativos para o dimensionamento elétrico e térmico dos componentes e estabelece a base para a comparação entre resultados analíticos, simulações e validação experimental.

7 PROJETO DO INVERSOR VSI 5L-3SSC

O presente capítulo aplica diretamente as expressões analíticas deduzidas anteriormente a um caso de projeto representativo.

Inicialmente, são definidas as especificações elétricas, as premissas de projeto e os componentes considerados para a síntese dos cinco níveis de tensão do inversor. Sempre que aplicável, para o desenvolvimento experimental são utilizados componentes previamente disponíveis em laboratório, sem que essa escolha restrinja a validade geral do procedimento apresentado.

Na sequência, desenvolvem-se os cálculos associados ao índice de modulação, aos valores eficazes de tensão e corrente, à estimativa da taxa de distorção harmônica, ao dimensionamento do autotransformador e à determinação do rendimento global do inversor. As deduções são formuladas de modo genérico, válidas para cargas resistivas e resistivo-indutivas.

A validação do projeto é apresentada no capítulo subsequente, por meio de simulações numéricas e de resultados experimentais obtidos a partir de um protótipo de laboratório. Essa etapa permite a comparação entre as grandezas analíticas, simuladas e medidas, bem como a análise das principais fontes de discrepância observadas no inversor.

7.1 ESPECIFICAÇÕES DO PROJETO

O dimensionamento inicial do inversor VSI 5L-3SSC fundamenta-se nas condições elétricas de operação, nos limites impostos pela infraestrutura experimental disponível e nas margens de segurança associadas aos dispositivos semicondutores de potência empregados. As especificações definidas nesta seção estabelecem a base para os cálculos desenvolvidos nas subseções seguintes, permitindo avaliar o desempenho do inversor sob diferentes índices de modulação e frequências de comutação, tanto em ambiente de simulação quanto na validação experimental.

A Tabela 11 reúne os parâmetros de projeto adotados neste trabalho, contemplando as grandezas de entrada, de saída e as características de comutação consideradas. Esses parâmetros foram definidos de modo a representar um cenário de operação com tensão CC de entrada relativamente baixa, associado a níveis de potência compatíveis com a infraestrutura experimental, permitindo avaliar tensões, correntes, esforços e perdas sob condições nominais. Dessa forma, assegura-se coerência entre os modelos analíticos desenvolvidos, as simulações realizadas e os ensaios experimentais conduzidos, mantendo abertura para ajustes futuros

conforme a aplicação e o nível de potência de interesse, sem violar as premissas adotadas nas análises precedentes.

Foram consideradas duas condições de carga, puramente resistiva e resistivo-indutiva, de forma a permitir a avaliação do comportamento do inversor sob diferentes condições de fator de potência. Os valores de resistência e indutância adotados mantêm coerência com os níveis de potência estabelecidos, com as hipóteses físicas do modelo e com os componentes efetivamente utilizados nos ensaios experimentais.

Tabela 11 – Parâmetros de projeto para o inversor VSI 5L-3SSC.

Parâmetro	Símbolo	Valor
Tensão de entrada	V_i	240 V
Frequência de comutação	f_s	10 kHz
Frequência de saída	f	60 Hz
Potência aparente de saída (carga R)	$S_{o,R}$	1,1 kVA
Potência aparente de saída (carga RL)	$S_{o,RL}$	0,65 kVA
Resistência de carga	R_o	22 Ω
Indutância de carga	L_o	75 mH

Embora, para a carga puramente resistiva, a potência ativa coincida com a potência aparente, optou-se por expressar os resultados em termos de potência aparente S_o para ambas as condições de carga, a fim de manter uniformidade de comparação entre os casos de cargas R e RL.

7.1.1 Especificações do Módulo de Potência IGBT

A seleção dos dispositivos semicondutores de potência constitui etapa determinante no projeto do inversor, pois influencia diretamente as perdas por condução e comutação, bem como os limites térmicos de operação. Neste trabalho, foi adotado o módulo IGBT SKM150GM12T4G, do fabricante SEMIKRON, pertencente à família SEMITRANS® Trench de quarta geração, que integra interruptores IGBT e diodos de roda livre em um único encapsulamento.

Os principais parâmetros elétricos e térmicos do módulo, extraídos do respectivo *datasheet*, são apresentados na Tabela 12. Esses dados servem de base para as estimativas de esforço elétrico, cálculo de perdas e verificação da conformidade térmica sob diferentes condições de operação.

Tabela 12 – Parâmetros do Módulo de Potência IGBT SKM150GM12T4G.

Parâmetros	Simbologia	Valor
Tensão coletor-emissor máxima	V_{CES}	1200 V
Corrente média máxima de coletor	$I_C @ T_C = 100\text{ }^\circ\text{C}$	150 A
Tensão entre gatilho e emissor máxima	V_{GES}	-20 - 20 V
Resistência térmica junção-cápsula	$R_{th(j-c)}$	0,19 K/W
Resistência térmica cápsula-dissipador	$R_{th(c-s)}$	0,02 K/W

Fonte: SEMIKRON, *Datasheet* SKM150GM12T4G, Rev. 1 – 03/09/2013.

7.1.2 Especificações do Autotransformador

O autotransformador empregado no projeto é constituído por dois enrolamentos de cobre dispostos em sentidos opostos, cada um com 40 espiras, enrolados sobre um núcleo de ferrite do tipo NEE 65/33/39-IP12, sem entreferro e com relação de transformação unitária. Cada enrolamento é formado por cinco condutores de cobre 21 AWG em paralelo, de modo a atender às exigências de corrente e densidade de corrente estabelecidas no projeto.

O dimensionamento do componente considera uma variação máxima de densidade de fluxo magnético $\Delta B = 0,24$ T, frequência de comutação $f_s = 10$ kHz, fator de ocupação da janela $k_w = 0,40$, fator de enchimento $k_p = 0,41$ e densidade de corrente máxima $J_{max} = 3,5$ A/mm². O valor máximo de densidade de fluxo magnético permanece inferior ao limite do material IP12, assegurando operação fora da região de saturação.

As principais dimensões geométricas e parâmetros do núcleo são dados na Tabela 13.

Tabela 13 – Dimensões do núcleo NEE 65/33/39.

Parâmetro	Símbolo	Valor
Área de seção transversal do núcleo	A_e	7,98 cm ²
Área da janela do núcleo	A_w	5,48 cm ²
Produto das áreas	$A_e A_w$	43,73 cm ⁴
Comprimento médio de uma espira	l_T	17,76 cm
Volume do núcleo	V_e	117,3 cm ³
Altura da janela do núcleo	G	4,4 cm
Número de espiras em cada enrolamento	40 espiras	
Quantidade de condutores em paralelo e seção transversal	5 × 21 AWG	

O condutor 21 AWG apresenta diâmetro nominal de 0,072 cm e área de seção transversal de cobre $S_{cu} = 0,0041$ cm².

7.1.3 Procedimento de Projeto

O procedimento de projeto do inversor baseia-se nas equações analíticas desenvolvidas no capítulo anterior, que relacionam os principais parâmetros de operação ao índice de modulação M , à tensão contínua de entrada V_i e à frequência de comutação f_s . A aplicação dessas relações permite estabelecer as condições de operação, determinar as grandezas elétricas fundamentais e verificar os limites impostos pelos dispositivos semicondutores de potência e pela carga.

A partir dessas premissas, o projeto é conduzido por meio de uma sequência ordenada de cálculos e verificações, aplicada diretamente nas seções subsequentes, nas quais as expressões analíticas são utilizadas para a determinação das tensões, correntes, esforços e perdas sob as hipóteses consideradas.

7.2 PROJETO DO INVERSOR PARA CARGA RESISTIVA

O projeto do inversor sob carga resistiva abrange o cálculo das tensões e correntes sintetizadas, bem como a avaliação do rendimento global para um índice de modulação fixo, considerando variações da tensão contínua de entrada e, conseqüentemente, da potência de saída.

7.2.1 Cálculo da Tensão e Corrente entre os Pontos a e b

O valor eficaz da tensão de saída entre os pontos a e b é obtido a partir dos parâmetros de projeto definidos na Tabela 11, resultando em (7.1).

$$V_{ab,rms} = \sqrt{S_{o,R} R_o} = 155,56 \text{ V} \quad (7.1)$$

Para a condição de carga resistiva, a corrente eficaz é determinada por (7.2).

$$I_{ab,rms} = \frac{V_{ab,rms}}{R_o} = \frac{155,56}{22} = 7,07 \text{ A} \quad (7.2)$$

Os valores de pico da tensão e da corrente sintetizadas são dados, respectivamente, por (7.3) e (7.4).

$$V_{ab,pk} = V_i = 240 \text{ V} \quad (7.3)$$

$$I_{ab,pk} = \frac{V_{ab,pk}}{R_o} = \frac{240}{22} = 10,91 \text{ A} \quad (7.4)$$

7.2.2 Cálculo do Índice de Modulação

A relação entre a tensão de saída e o índice de modulação é obtido de (6.23), deduzido no capítulo anterior. Isolando-se o índice M e substituindo V_i igual a 240 V, obtém-se (7.5).

$$M \approx 0,864 \quad (7.5)$$

O valor adotado para o índice de modulação situa-se na faixa linear da modulação SVM ($M \geq 0,5$), sendo compatível com a síntese dos cinco níveis de tensão de saída, de acordo com as hipóteses do modelo considerado.

7.2.3 Cálculo da THD da Tensão

Para a componente fundamental da tensão de saída, o valor eficaz é obtido conforme expresso em (7.6).

$$V_{o1,rms} = \frac{MV_i}{\sqrt{2}} = 146,62 \text{ V} \quad (7.6)$$

A distorção harmônica total da tensão de saída, THD_{vab} , é determinada a partir da relação apresentada na equação (6.24), utilizando os valores eficazes calculados nas subseções anteriores, resultando em (7.7).

$$THD_{vab} = \sqrt{\left[\left(\frac{155,55}{146,62}\right)^2 - 1\right]} \times 100\% = 35,40\% \quad (7.7)$$

O valor obtido em (7.7) representa a distorção harmônica total da tensão sintetizada nos terminais a e b , refletindo a contribuição das harmônicas associadas ao processo de modulação.

No intervalo considerado, observa-se que o THD_{vab} tende a reduzir com o aumento do índice de modulação M , em função do crescimento relativo da componente fundamental em relação às harmônicas. Esse comportamento é ilustrado na Figura 109, que apresenta essa variação em função do índice de modulação M .

7.2.4 Cálculo dos Esforços nos Dispositivos

Os esforços associados aos principais elementos do sistema de potência são determinados a partir das condições instantâneas de operação do circuito e da sequência de comutação imposta pela modulação SVM. Esses esforços abrangem tanto os dispositivos semicondutores de potência quanto o autotransformador, incluindo as tensões aplicadas, as correntes conduzidas e as solicitações decorrentes do regime de comutação e de condução

contínua.

No caso dos dispositivos semicondutores de potência, a análise contempla as tensões de bloqueio suportadas pelos interruptores e diodos, bem como as correntes conduzidas nos diferentes intervalos de operação. Para o autotransformador, são avaliadas as correntes nos enrolamentos e as grandezas associadas ao esforço elétrico imposto pelo processo de síntese dos níveis de tensão.

Em razão da organização funcional da topologia, na qual coexistem elementos submetidos a regimes distintos de operação, os esforços são analisados separadamente de acordo com a natureza do componente e a frequência de excitação associada. Dessa forma, distinguem-se as contribuições relacionadas aos dispositivos semicondutores de potência, operando em alta e baixa frequência, e aquelas associadas ao autotransformador, cuja excitação resulta da estratégia de modulação adotada.

7.2.4.1 Esforços no Autotransformador

Considerando a relação de transformação unitária do autotransformador e a simetria estrutural da topologia, os esforços nos enrolamentos são determinados a partir das expressões deduzidas no capítulo anterior.

Os valores de pico da tensão e da corrente em cada enrolamento são obtidos, respectivamente, a partir das equações (6.26) e (6.27). Substituindo os valores nominais definidos nas subseções anteriores, obtêm-se (7.8) e (7.9).

$$V_{T1, \text{pk}} = \frac{V_{ab, \text{pk}}}{2} = \frac{240}{2} = 120 \text{ V} \quad (7.8)$$

$$I_{T1, \text{pk}} = \frac{I_{ab, \text{pk}}}{2} = \frac{10,91}{2} = 5,45 \text{ A} \quad (7.9)$$

De forma análoga, os valores eficazes da tensão e da corrente em cada enrolamento são determinados a partir de (6.28) e (6.29). Considerando o índice de modulação definido em (7.5) e o limite angular estabelecido por (4.64), obtêm-se (7.10) e (7.11).

$$V_{T1, \text{rms}} = V_i \sqrt{\frac{1}{2} + \frac{1}{\pi} \left(M - \theta_s - \sqrt{(4M^2 - 1)} \right)} = 86,53 \text{ V} \quad (7.10)$$

$$I_{T1, \text{rms}} = \frac{I_{ab, \text{rms}}}{2} = 3,53 \text{ A} \quad (7.11)$$

As expressões (7.8)–(7.11) definem os esforços máximos impostos aos enrolamentos do autotransformador sob as condições nominais de operação consideradas no projeto. Esses

valores estabelecem a base para o dimensionamento dos condutores, a avaliação das perdas em cobre e a definição dos requisitos de isolamento elétrica.

7.2.4.2 Esforços nos Dispositivos Semicondutores de Alta Frequência

Nesta subseção, são avaliados os esforços nos dispositivos semicondutores de potência que operam em alta frequência e compõem a 3SSC, incluindo os interruptores S_1 – S_4 e os diodos D_1 – D_4 . Para a condição de carga resistiva, considera-se que a tensão e a corrente de saída permanecem em fase, resultando em ângulo de defasagem $\varphi = 0$.

Os valores eficaz, médio e de pico da corrente conduzida pelos interruptores de alta frequência são determinados a partir das expressões deduzidas no capítulo anterior. Em particular, o valor eficaz é obtido da equação (6.38), resultando em (7.12).

$$I_{S1,rms} = \frac{I_{ab,pk}}{8} \sqrt{\frac{2}{\pi} \left[2M - 3\pi + 6 \operatorname{sen}^{-1} \left(\frac{1}{2M} \right) + 6\sqrt{4M^2 - 1} \right]} = 2,29 \text{ A} \quad (7.12)$$

O valor médio da corrente nos interruptores é determinado pela equação (6.41), conduzindo ao resultado expresso em (7.13).

$$I_{S1,avg} = \frac{I_{ab,pk}}{8\pi} \left(2M - \pi + 2 \operatorname{sen}^{-1} \left(\frac{1}{2M} \right) + 2\sqrt{4M^2 - 1} \right) = 1,15 \text{ A} \quad (7.13)$$

O valor de pico da corrente corresponde ao máximo conduzido durante o intervalo de comutação, sendo obtido a partir equação (6.42), conforme expresso em (7.14).

$$I_{S1,pk} = \frac{I_{ab,pk}}{2} = 5,45 \text{ A} \quad (7.14)$$

Durante o bloqueio, cada interruptor de alta frequência suporta a tensão entre os terminais de saída. Assim, a tensão máxima aplicada a cada interruptor é dada por (7.15).

$$V_{S1,pk} = V_{ab,pk} = 240 \text{ V} \quad (7.15)$$

De forma análoga, os esforços nos diodos de alta frequência D_1 – D_4 são determinados a partir das expressões deduzidas no capítulo anterior. Os valores eficaz, médio e de pico da corrente, bem como a tensão máxima de bloqueio, são obtidos das equações (6.46)–(6.49), resultando em (7.16)–(7.19).

$$I_{D1,rms} = \frac{I_{ab,pk}}{8} \sqrt{\frac{2}{\pi} \left[\pi + 2M - 2 \operatorname{sen}^{-1} \left(\frac{1}{2M} \right) - 2\sqrt{4M^2 - 1} \right]} = 0,98 \text{ A} \quad (7.16)$$

$$|I_{D1,avg}| = \left| \frac{I_{ab,pk}}{8\pi} \left[2 \operatorname{sen}^{-1} \left(\frac{1}{2M} \right) - 2M - \pi + 2\sqrt{4M^2 - 1} \right] \right| = 0,36 \text{ A} \quad (7.17)$$

$$|I_{D1,pk}| = \left| -\frac{I_{ab,pk}}{4} \right| = 2,72 \text{ A} \quad (7.18)$$

$$V_{D1,pk} = V_{ab,pk} = 240 \text{ V} \quad (7.19)$$

As expressões (7.12)–(7.19) definem os esforços máximos de corrente e tensão impostos aos dispositivos de alta frequência da 3SSC sob a condição de carga resistiva.

7.2.4.3 Esforços nos Dispositivos Semicondutores de Baixa Frequência

Nesta subseção, são avaliados os esforços nos dispositivos semicondutores de potência que operam em baixa frequência, responsáveis pela inversão do semiciclo da tensão de saída. Para a condição de carga resistiva, considera-se que a corrente de saída permanece em fase com a tensão, resultando em ângulo de defasagem $\varphi = 0$.

Os valores eficaz, médio e de pico da corrente conduzida pelos interruptores de baixa frequência são determinados a partir das expressões deduzidas no capítulo anterior. Em particular, os esforços são obtidos das equações (6.52)–(6.55), resultando nas expressões apresentadas em (7.20)–(7.23).

$$I_{S6,rms} = \frac{I_{ab,pk}}{2} \sqrt{\frac{1}{\pi} \left(2M - \pi + 2 \sin^{-1} \left(\frac{1}{2M} \right) + 2\sqrt{4M^2 - 1} \right)} = 5,00 \text{ A} \quad (7.20)$$

$$I_{S6,avg} = \frac{I_{ab,pk} M}{\pi} = 3,00 \text{ A} \quad (7.21)$$

$$I_{S6,pk} = I_{ab,pk} = 10,91 \text{ A} \quad (7.22)$$

$$V_{S6,pk} = V_{ab,pk} = 240 \text{ V} \quad (7.23)$$

Para a condição de carga resistiva, os diodos associados aos dispositivos de baixa frequência não conduzem corrente, uma vez que não há necessidade de caminhos de roda livre. Assim, as expressões (7.20)–(7.23) definem os esforços máximos impostos aos dispositivos de baixa frequência sob as condições de operação consideradas no projeto.

7.2.4.4 Considerações sobre os Esforços de Corrente e Tensão

Os resultados obtidos indicam que os esforços do inversor são distribuídos entre as etapas de alta e baixa frequência, de acordo com a função desempenhada por cada conjunto de componentes. A 3SSC promove a divisão das correntes entre os ramos da estrutura, resultando em menores correntes individuais nos dispositivos que operam em alta frequência.

Os interruptores de alta frequência conduzem fração da corrente de carga, mantendo o mesmo nível de tensão de bloqueio, enquanto os dispositivos de baixa frequência conduzem a corrente de carga e operam sob baixa frequência de comutação. O autotransformador assegura a simetria de operação entre os ramos e participa da redistribuição dos esforços associados à síntese dos níveis de tensão.

Nas condições nominais de operação consideradas no projeto, os valores calculados de tensão e corrente permanecem compatíveis com as especificações dos componentes adotados, fornecendo a base necessária para a análise das perdas e para a avaliação do rendimento global, desenvolvidas nas seções subsequentes.

7.2.5 Verificação do Dimensionamento do Autotransformador

As grandezas eficazes de tensão e corrente consideradas nesta seção correspondem aos valores obtidos anteriormente para o ponto nominal de operação. Com base nessas grandezas, procede-se à verificação dos critérios de projeto associados ao núcleo magnético e aos enrolamentos do autotransformador.

De acordo com a relação apresentada no capítulo anterior para o produto mínimo entre a área efetiva do núcleo A_e e a área da janela A_w , obtém-se o valor expresso em (7.24).

$$A_e A_w = 31,45 \text{ cm}^4 \quad (7.24)$$

O valor calculado em (7.24) representa o produto mínimo requerido para assegurar operação compatível com os limites de densidade de fluxo magnético e de corrente estabelecidos no projeto.

Considerando as dimensões do núcleo adotado, obtém-se o produto $A_e A_w$ correspondente, conforme expresso em (7.25).

$$A_e A_{w,\text{nucleo}} = 7,98 \times 5,48 = 43,73 \text{ cm}^4 \quad (7.25)$$

O valor obtido em (7.25) é superior ao mínimo requerido em (7.24), indicando compatibilidade do núcleo selecionado com as condições de operação consideradas.

A densidade de corrente efetiva nos enrolamentos é determinada pela relação expressa em (7.26).

$$J_{\text{real}} = \frac{I_{F1,rms}}{N_{\text{cond}} S_{\text{cu}}} = 144,28 \text{ A/cm}^2 \quad (7.26)$$

O valor obtido em (7.26) é inferior ao limite máximo de densidade de corrente adotado ($J_{\text{max}} = 350 \text{ A/cm}^2$), indicando operação compatível do ponto de vista térmico.

A ocupação da janela do núcleo é verificada pela relação apresentada em (7.27).

$$k_w = \frac{2NN_{cond}S_{cu}}{A_w} = 0,36 \quad (7.27)$$

O valor de k_w obtido em (7.27) é inferior ao limite adotado ($k_w = 0,40$), indicando margem geométrica para a acomodação dos enrolamentos e compatibilidade com os critérios construtivos considerados.

Os resultados obtidos nesta seção indicam que o núcleo NEE 65/33/39 IP12, associado a enrolamentos com $N = 40$ espiras e cinco condutores 21 AWG em paralelo, atende aos critérios de projeto relacionados ao produto $A_e A_w$, à densidade de corrente e à ocupação de janela, para as condições de operação consideradas.

7.2.6 Cálculo das Perdas no Inversor

As perdas associadas aos principais componentes do inversor são avaliadas com base nas expressões analíticas deduzidas no capítulo anterior, aplicadas aos parâmetros de projeto e às grandezas elétricas determinadas nas seções precedentes.

7.2.6.1 Perdas nos Dispositivos Semicondutores

As grandezas de tensão e corrente utilizadas na avaliação das perdas são aquelas determinadas nas Seções 7.2.2 e 7.2.4. Os parâmetros elétricos e dinâmicos do módulo IGBT SKM150GM12T4G são obtidos diretamente do catálogo do fabricante. Considera-se o número de dispositivos semicondutores $n_{HF} = 4$ para os dispositivos de alta frequência e $n_{LF} = 2$ para os dispositivos de baixa frequência.

A partir das curvas características $I_C \times V_{CE}$ fornecidas pelo fabricante, para T_j igual a 150 °C e $V_{GE} = 15$ V, o comportamento do dispositivo pode ser aproximado por um modelo linear na faixa $I_C \leq 150$ A. Os parâmetros do modelo linearizado adotados no cálculo das perdas por condução são definidos em (7.28).

$$\begin{cases} V_{CE0} = 0,8 \text{ V} \\ r_c = 10,3 \text{ m}\Omega \end{cases} \quad (7.28)$$

As perdas médias por condução nos interruptores de alta frequência são obtidas a partir da equação (6.74), resultando em (7.29).

$$P_{SHF,cond} = n_{HF} \left[(V_{CE0} + r_c I_{S1,avg}) I_{S1,avg} + r_c (I_{S1,rms}^2 - I_{S1,avg}^2) \right] = 3,72 \text{ W} \quad (7.29)$$

Os parâmetros médios associados às energias de comutação são extraídos por regressão

das curvas $E_{on}/E_{off} \times I_C$ do fabricante, considerando $V_{CE} = V_r = 600$ V, $I_C = I_r = 150$ A, $V_{GE} = \pm 15$ V, $R_G = 1 \Omega$ e $T_j = 150$ °C, conforme definidos em (7.30) e (7.31).

$$k_{on}^{(ref)} = 19,2 \times 10^{-3} \text{ J}, \quad n_{on} = 1,00, \quad m_{on} = 1,00 \quad (7.30)$$

$$k_{off}^{(ref)} = 15,8 \times 10^{-3} \text{ J}, \quad n_{off} = 1,00, \quad m_{off} = 1,00 \quad (7.31)$$

Substituindo (7.30) e (7.31) em (6.76) e (6.77), obtêm-se as energias médias de comutação E_{on} e E_{off} , expressas em (7.32) e (7.33), respectivamente.

$$E_{on} = k_{on} \left(\frac{V_{S1,pk}}{V_r} \right)^{m_{on}} \left(\frac{I_{S1,rms}}{I_r} \right)^{n_{on}} = 117,70 \mu\text{J} \quad (7.32)$$

$$E_{off} = k_{off} \left(\frac{V_{S1,pk}}{V_r} \right)^{m_{off}} \left(\frac{I_{S1,rms}}{I_r} \right)^{n_{off}} = 96,83 \mu\text{J} \quad (7.33)$$

As perdas por comutação nos interruptores de alta frequência são então obtidas pela equação (6.78), resultando em (7.34).

$$P_{SHF,sw} = n_{HF} f_s [E_{on} + E_{off}] = 8,58 \text{ W} \quad (7.34)$$

A potência total dissipada nos interruptores de alta frequência é obtida pela expressão (7.35).

$$P_{SHF,total} = P_{SHF,cond} + P_{SHF,sw} = 12,30 \text{ W} \quad (7.35)$$

As perdas por condução nos diodos que operam em alta frequência são avaliadas considerando $V_{F0} = 1,0$ V e $r_d = 8,4$ mΩ, conforme valores típicos do módulo a $T_j = 150$ °C. Utilizando $|I_{D1,avg}| = 0,355$ A, $I_{D1,rms} = 0,983$ A e $n_{HF} = 4$, obtêm-se as perdas por condução pela equação (6.83), resultando em (7.36).

$$P_{DHF,cond} = n_{HF} \left[(V_{F0} + r_d |I_{D1,avg}|) |I_{D1,avg}| + r_d (I_{D1,rms}^2 - I_{D1,avg}^2) \right] = 1,45 \text{ W} \quad (7.36)$$

A perda por recuperação reversa é determinada a partir da energia de referência $k_{rec} = 13$ mJ, para $I_r = 150$ A e $V_r = 600$ V, adotando $m_{rec} = n_{rec} = 1$. Para $V_{D1,pk} = 240$ V e $|I_{D1,pk}| = 2,73$ A, obtêm-se, a partir de (6.84), o valor expresso em (7.37).

$$P_{DHF,rec} = n_{HF} f_s k_{rec} \left(\frac{V_{D1,pk}}{V_r} \right)^{m_{rec}} \left(\frac{|I_{D1,pk}|}{I_r} \right)^{n_{rec}} = 3,78 \text{ W} \quad (7.37)$$

A potência total dissipada nos diodos de alta frequência é dada pela soma das perdas por condução e recuperação reversa, conforme (7.38).

$$P_{DHF,total} = P_{DHF,cond} + P_{DHF,rec} = 5,23 \text{ W} \quad (7.38)$$

As perdas por condução nos dispositivos de baixa frequência são obtidas pela equação

(6.87), resultando em (7.39).

$$P_{SLF,cond} = n_{LF} \left[(V_{CE0} + r_c I_{S6,avg}) I_{S6,avg} + r_c (I_{S6,rms}^2 - I_{S6,avg}^2) \right] = 5,32 \text{ W} \quad (7.39)$$

Como as perdas por comutação nos interruptores de baixa frequência e as perdas nos diodos associados são significativamente inferiores às perdas por condução e, portanto, desconsideradas nesta análise para carga resistiva, a potência média total dissipada nessa etapa é dada por (7.40).

$$P_{LF,total} = P_{SLF,total} = P_{SLF,cond} + P_{SLF,sw} = 5,32 \text{ W} \quad (7.40)$$

7.2.6.2 Perdas no Autotransformador

As perdas no autotransformador são compostas pelas perdas no cobre dos enrolamentos e pelas perdas no núcleo magnético. As grandezas elétricas necessárias para essa avaliação são aquelas determinadas nas análises de esforços do autotransformador e nas subseções anteriores deste capítulo.

O fator de correção para perdas AC nos enrolamentos é estimado a partir da teoria de Dowell, adotando-se $F_R = 1,15$ para a configuração utilizada, composta por cinco condutores AWG21 em paralelo operando a $f_s = 10$ kHz. Considera-se ainda um fator geométrico $\epsilon_l = 0,03$, associado ao comprimento médio efetivo do enrolamento em núcleos do tipo E com bobinas compactas. Para a avaliação das perdas térmicas, adota-se uma temperatura conservadora de 80 °C. As demais características geométricas e elétricas são obtidas a partir da Tabela 13 e das equações de esforços do autotransformador, sendo convertidas para o Sistema Internacional de Unidades, resultando em $l_T = 0,1776$ m, $S_{cu} = 0,41 \times 10^{-6}$ m², $A_e = 7,98 \times 10^{-4}$ m², $V_e = 1,173 \times 10^{-4}$ m³, $N_{cond} = 5$ e $N = 40$.

O comprimento médio efetivo de cada enrolamento é obtido a partir da equação (6.93), resultando em (7.41).

$$l_m = 40 \times 0,1776 (1 + 0,03) = 7,32 \text{ m} \quad (7.41)$$

A resistividade do cobre para a temperatura de 80 °C é determinada a partir da equação (6.92) apresentada no capítulo anterior, resultando em (7.42).

$$\rho_{cu}(80) = 1,724 \times 10^{-8} \left[1 + 3,9 \times 10^{-3} (80 - 20) \right] = 2,13 \times 10^{-8} \Omega \cdot \text{m} \quad (7.42)$$

Substituindo (7.41) e (7.42) na equação (6.91), obtém-se a resistência DC dos enrolamentos na temperatura considerada, conforme expresso em (7.43).

$$R_{dc}(80) = 2,13 \times 10^{-8} \frac{7,32}{5 \times 0,41 \times 10^{-6}} = 76,06 \text{ m}\Omega \quad (7.43)$$

As perdas no cobre são então determinadas pela equação (6.90), considerando a corrente eficaz em cada enrolamento e o fator de correção F_R , resultando em (7.44).

$$P_{cu,Tr} = 2 \left[1,15 \left(3,54^2 \times 76,06 \times 10^{-3} \right) \right] = 2,18 \text{ W} \quad (7.44)$$

As perdas no núcleo são avaliadas a partir do modelo de Steinmetz generalizado apresentado no capítulo anterior, expressas em função da tensão eficaz aplicada ao enrolamento, conforme a equação (6.96), sendo o coeficiente K definido por (6.97). Para o ferrite MnZn IP12 utilizado neste projeto, adotam-se valores médios $k_d = 260$, $\alpha = 1,35$ e $\beta = 2,70$, válidos para operação em torno de 10 kHz e temperatura próxima de 80 °C, conforme o fabricante do material.

Substituindo os parâmetros geométricos do núcleo, o número de espiras e a frequência de operação na equação (6.97), obtém-se o coeficiente K conforme expresso em (7.45).

$$K = 260 \times 10^{3(1-1,35)} \times (10^4)^{(1,35-2,7)} \times \frac{1,173 \times 10^{-4}}{(4 \times 40 \times 7,98 \times 10^{-4})^{2,7}} = 2,8 \times 10^{-6} \text{ W/V}^\beta \quad (7.45)$$

Utilizando o valor de $V_{T1,rms}$ determinado em (7.10), as perdas no núcleo do autotransformador são obtidas a partir da equação (6.96), resultando em (7.46).

$$P_{core,Tr} = 2,8 \times 10^{-6} \times (86,53)^{2,7} = 0,47 \text{ W} \quad (7.46)$$

Por fim, as perdas totais no autotransformador são obtidas pela soma das perdas no cobre e no núcleo, conforme expresso em (7.47).

$$P_{Tr,total} = P_{cu,Tr} + P_{core} = 2,18 + 0,47 = 2,65 \text{ W} \quad (7.47)$$

7.2.6.3 Total das Perdas

As perdas internas do inversor correspondem à soma das perdas dissipadas nos dispositivos semicondutores de potência e no autotransformador. Considerando as parcelas associadas ao autotransformador e aos dispositivos de alta frequência, aos dispositivos de baixa frequência, a potência total dissipada é expressa por (7.48).

$$P_{loss} = P_{HF,total} + P_{LF,total} + P_{Tr,total} = 17,53 + 5,32 + 2,65 = 25,51 \text{ W} \quad (7.48)$$

7.2.7 Cálculo do Rendimento Global

O rendimento global do inversor, em porcentagem, é determinado por (6.102). Com

base nas perdas totais calculadas nas subseções anteriores, o rendimento na condição nominal de operação é obtido conforme (7.49).

$$\eta = \frac{1100}{1100 + 25,51} \times 100\% = 97,73\% \quad (7.49)$$

A Tabela 14 apresenta os valores de rendimento do inversor para um índice de modulação fixo $M = 0,864$, correspondente ao ponto de operação de projeto, considerando a variação da potência de saída P_o em função da tensão de entrada V_i no intervalo de 0 a 240 V. São também apresentadas as perdas totais P_{loss} e o rendimento correspondente η .

Tabela 14 – Cálculo dos rendimentos do inversor para índice de modulação fixo $M = 0,864$ e tensão de entrada V_i variando de 0 a 240 V.

Tensão entrada V_i (V)	Potência P_o (W)	Perda Total P_{loss} (W)	Rendimento η (%)
0	0,00	0,00	0,00
30	17,18	1,47	92,09
60	68,73	3,43	95,25
90	154,65	5,87	96,34
120	274,93	8,80	96,89
150	429,59	12,23	97,23
180	618,61	16,15	97,45
210	841,99	20,58	97,61
240	1100,00	25,51	97,73

Os resultados indicam que o rendimento aumenta devido as perdas fixas tornarem-se proporcionalmente menores e as perdas de comutação crescerem menos que a potência útil, atingindo 97,73% na condição nominal.

Além disso, observa-se o rendimento superior a 92% na faixa de operação analisada, indicando desempenho energético elevado mesmo em condições parciais de carga.

7.2.8 Discussão dos Resultados

As análises quantitativas realizadas ao longo deste capítulo demonstram que o inversor opera de forma consistente com os princípios da modulação SVM, mantendo síntese adequada de tensão e corrente sob carga puramente resistiva e dentro da faixa linear de modulação, definida pelo índice de modulação adotado no projeto. Nessas condições, a formação dos cinco níveis de tensão é preservada, conforme previsto pelas expressões analíticas deduzidas no capítulo anterior.

Os valores eficazes da tensão sintetizada e da componente fundamental apresentam

dependência direta do índice de modulação, refletindo o comportamento esperado para a topologia analisada. A THD da tensão de saída é compatível com a operação sem filtro de saída, condição assumida neste estudo, podendo ser reduzida por meio da aplicação de técnicas de filtragem passiva ou ativa, sem alteração da estratégia de modulação empregada.

O dimensionamento magnético, avaliado pelas relações entre o produto das áreas do núcleo e da janela, pela densidade de corrente nos condutores e pela ocupação da janela, indica operação segura do núcleo adotado, com margens adequadas sob os aspectos térmico e geométrico.

A avaliação das perdas totais conduz a um rendimento global elevado na condição nominal de operação, conforme apresentado na Tabela 14. Esse resultado indica desempenho energético consistente para a topologia analisada, mesmo considerando a ausência de filtragem na saída e a operação com carga puramente resistiva.

Até este ponto, as análises foram restritas à carga puramente resistiva, condição adequada para a validação inicial das expressões analíticas e dos parâmetros de projeto. Na sequência, são apresentados os cálculos correspondentes à carga resistiva-indutiva, permitindo avaliar o comportamento do inversor em condições mais representativas de aplicações práticas.

7.3 PROJETO DO INVERSOR PARA CARGA RL

Nesta seção são apresentados os cálculos de projeto do VSI 5L-3SSC considerando uma carga resistiva-indutiva, conforme as especificações da Tabela 5. O objetivo é estender a análise quantitativa desenvolvida para carga puramente resistiva, incorporando os efeitos da reatância indutiva e da defasagem entre tensão e corrente, característicos desse tipo de carga.

A presença da componente indutiva introduz um atraso de fase da corrente em relação à tensão de saída, o que modifica a relação entre as grandezas eficazes e a potência ativa processada. Dessa forma, são reavaliadas as expressões de tensão, corrente e impedância equivalente, bem como o índice de modulação associado ao ponto de operação, considerando explicitamente a defasagem angular θ_s entre v_{ab} e i_{ab} .

As equações empregadas baseiam-se nas relações gerais deduzidas no capítulo anterior, aplicadas ao regime de carga RL. Assume-se que a corrente de carga permanece contínua ao longo de todo o período de operação, hipótese compatível com as condições de projeto adotadas.

7.3.1 Cálculo da Tensão e Corrente entre os Pontos *a* e *b*

Para a análise sob carga resistiva-indutiva, adotam-se os parâmetros de projeto apresentados na Tabela 5. A carga é modelada por uma resistência R_o em série com uma indutância L_o , operando à frequência fundamental f . Nessas condições, a impedância complexa da carga é definida em (7.50), em que $\omega = 2\pi f$ representa a frequência angular.

$$Z_o = R_o + jX_o = R_o + j\omega L_o \quad (7.50)$$

A reatância indutiva correspondente é obtida pela relação $X_o = \omega L_o$, resultando no valor indicado em (7.51).

$$X_o = 2\pi \times 60 \times 75 \times 10^{-3} = 28,27 \, \Omega \quad (7.51)$$

A partir dos valores de resistência e reatância, o módulo da impedância da carga é calculado conforme expresso em (7.52).

$$Z_o = \sqrt{R_o^2 + X_o^2} = \sqrt{22^2 + 28,27^2} = 35,82 \, \Omega \quad (7.52)$$

O ângulo de defasagem entre a tensão e a corrente é determinado pela razão entre a reatância indutiva e a resistência da carga, conforme definido em (7.53).

$$\theta_o = \text{tg}^{-1}\left(\frac{X_o}{R_o}\right) = \text{tg}^{-1}\left(\frac{28,27}{22}\right) = 52,11^\circ \quad (7.53)$$

Para a potência aparente de saída $S_{o,RL}$ especificada na Tabela 5, a tensão eficaz de saída entre os pontos *a* e *b* é obtida pela relação entre potência aparente e módulo da impedância, conforme (7.54).

$$V_{ab,rms} = \sqrt{S_{o,RL} Z_o} = 169,29 \, \text{V} \quad (7.54)$$

A partir de (7.54), a corrente eficaz correspondente é determinada por (7.55).

$$I_{ab,rms} = \frac{V_{ab,rms}}{Z_o} = 4,72 \, \text{A} \quad (7.55)$$

Em (7.56), apresenta-se que o valor de pico da tensão sintetizada pelo inversor é igual à tensão de entrada, conforme demonstrado na análise estrutural da topologia.

$$V_{ab,pk} = V_i = 240 \, \text{V} \quad (7.56)$$

O valor de pico da corrente pode ser expresso em função do índice de modulação, conforme (7.57).

$$I_{ab,pk} = \frac{MV_{ab,pk}}{Z_o} \quad (7.57)$$

A determinação numérica do valor de $I_{ab,pk}$ depende, portanto, do índice de modulação,

calculado na subseção seguinte.

7.3.2 Cálculo do Índice de Modulação

A relação entre a tensão eficaz de saída $V_{ab,rms}$ e o índice de modulação M é obtida de (4.76). Isolando-se M e substituindo V_i e $V_{ab,rms}$ obtido em (7.54), determina-se o índice de modulação conforme expresso em (7.58).

$$M \approx 0,955 \quad (7.58)$$

O índice de modulação obtido permanece dentro da faixa linear da modulação SVM ($M \geq 0,5$), assegurando a correta síntese dos cinco níveis de tensão de saída e preservando o equilíbrio entre amplitude fundamental e conteúdo harmônico.

Substituindo o valor de M obtido por (7.58) em (7.57), determina-se o valor de pico da corrente na carga RL, em (7.59), completando a caracterização das grandezas elétricas de saída no ponto de operação considerado.

$$I_{ab,pk} = 6,4 \text{ A} \quad (7.59)$$

Os resultados obtidos confirmam que o inversor mantém a proporcionalidade linear entre a tensão sintetizada e o índice de modulação, mesmo na presença de defasagem entre tensão e corrente. Essa condição garante operação estável sob carga RL e estabelece a base para a análise das potências ativa, reativa e aparente desenvolvida na subseção seguinte.

7.3.3 Cálculo das Potências

O fator de potência da carga resistiva-indutiva é definido pelo cosseno do ângulo de defasagem entre a tensão e a corrente, conforme determinado em (7.60).

$$FP = \cos(\theta_o) = 0,61 \quad (7.60)$$

A potência ativa P_o , correspondente à parcela efetivamente convertida em energia útil na carga, é obtida pela projeção da potência aparente $S_{o,RL}$ no eixo real, conforme (7.61).

$$P_o = S \cdot \cos \theta_o = 491,28 \text{ W} \quad (7.61)$$

A potência reativa Q_o , associada à defasagem entre tensão e corrente e ao armazenamento temporário de energia no campo magnético da carga, é determinada pela projeção ortogonal da potência aparente no eixo imaginário, conforme (7.62).

$$Q_o = S \cdot \sin \theta_o = 631,39 \text{ VAR} \quad (7.62)$$

Os resultados obtidos confirmam um fator de potência da ordem de 0,6, associado a um

ângulo de defasagem próximo de 52° , caracterizando uma condição de carga predominantemente indutiva. Nesse regime, parte da potência fornecida pela fonte é transferida ciclicamente entre o conversor e o campo magnético da carga, compondo a parcela reativa.

7.3.4 Cálculo da Taxa de Distorção Harmônica

Para a componente fundamental da tensão de saída, o valor eficaz é obtido a partir da relação entre o índice de modulação e a tensão de entrada, conforme apresentado em (7.63) e o valor de pico correspondente é determinado em (7.64).

$$V_{o1,rms} = \frac{M \cdot V_i}{\sqrt{2}} = 162,11 \text{ V} \quad (7.63)$$

$$V_{o1,pk} = \sqrt{2} \cdot V_{o1,rms} = 229,26 \text{ V} \quad (7.64)$$

A corrente de pico associada à componente fundamental é calculada em função do módulo da impedância da carga, conforme expresso em (7.65).

$$I_{o1,pk} = \frac{V_{o1,pk}}{Z_o} = 10,42 \text{ A} \quad (7.65)$$

A distorção harmônica total da tensão de saída, THD_{vab} , é determinada a partir da relação apresentada na equação (6.24), utilizando os valores eficazes da tensão sintetizada e de sua componente fundamental, resultando no valor expresso em (7.66).

$$THD_{vab} = \sqrt{\left[\left(\frac{V_{ab,rms}}{V_{o1,rms}} \right)^2 - 1 \right]} \times 100\% = 30,09\% \quad (7.66)$$

O resultado obtido indica que a forma de onda sintetizada apresenta nível de distorção harmônica compatível com a operação sem filtro de saída.

7.4 CONSIDERAÇÕES PARCIAIS

Neste capítulo foi desenvolvido o projeto analítico do inversor VSI 5L-3SSC para as condições de carga resistiva e resistiva-indutiva, com base nas expressões deduzidas anteriormente. Foram determinadas as tensões e correntes eficazes e de pico, as potências ativa, reativa e aparente, bem como as perdas e o rendimento global no ponto nominal de operação.

Os resultados confirmam a proporcionalidade linear entre a tensão sintetizada e o índice de modulação na faixa linear da SVM, assegurando a correta formação dos cinco níveis de tensão. Para a condição de carga RL, a inclusão explícita da impedância complexa permitiu

quantificar a defasagem angular, o fator de potência e as componentes ativa e reativa da potência processada, mantendo coerência com o modelo analítico adotado.

A avaliação das perdas nos dispositivos semicondutores e no autotransformador resultou em rendimento elevado na condição nominal, evidenciando compatibilidade entre os esforços e o dimensionamento magnético dos componentes selecionados.

O conjunto de resultados estabelece base quantitativa consistente para a etapa de validação por simulação e por ensaios experimentais apresentada no capítulo seguinte.

8 RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS DO INVERSOR VSI 5L-3SSC

Este capítulo apresenta a análise do comportamento do inversor VSI 5L-3SSC por meio de simulações computacionais e ensaios experimentais, com o objetivo de confrontar os resultados obtidos com as previsões analíticas desenvolvidas nos capítulos anteriores. Dessa forma, avalia-se a aderência entre o modelo teórico proposto e o desempenho observado do conversor sob diferentes condições de operação.

Inicialmente, são apresentados os resultados obtidos em ambiente de simulação no software PLECS (*Piecewise Linear Electrical Circuit Simulation*), adotando-se os mesmos parâmetros de projeto utilizados nas análises quantitativas. As simulações permitem analisar a síntese das formas de onda de tensão e corrente, o comportamento dinâmico do sistema, a distribuição dos níveis de tensão e a distorção harmônica total, bem como o impacto das condições de carga sobre o desempenho do inversor.

Na sequência, são discutidos os resultados experimentais obtidos a partir de um protótipo laboratorial, operando em condições próximas às consideradas nas simulações. As medições experimentais são então comparadas com os resultados simulados, possibilitando avaliar a coerência entre as formas de onda, os valores eficazes, os níveis de tensão sintetizados e os efeitos das perdas reais sobre o rendimento global do sistema.

Por fim, com base nos resultados analíticos, simulados e experimentais, é realizada uma avaliação comparativa do inversor em relação a outras topologias multiníveis reportadas na literatura, considerando métricas estruturais e de desempenho. Essa análise permite posicionar a topologia proposta frente ao estado da arte, fornecendo subsídios objetivos para a discussão de suas principais vantagens e limitações.

8.1 RESULTADOS DE SIMULAÇÃO

Em ambiente de simulação, foram obtidos resultados relevantes para a avaliação inicial do comportamento do inversor, considerando a modelagem dos dispositivos semicondutores de potência, dos diodos, do autotransformador e de cargas resistiva e resistiva-indutiva ideais.

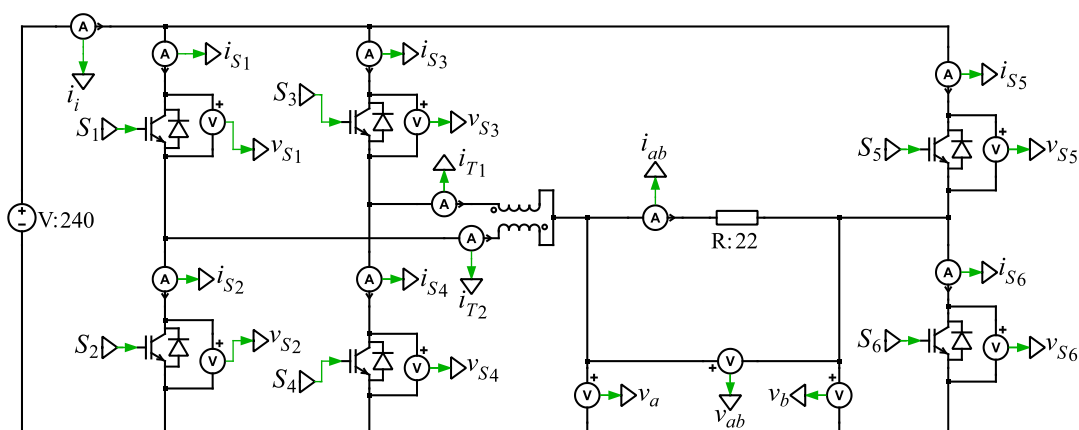
O objetivo desta seção é validar a modelagem analítica desenvolvida nos capítulos anteriores, por meio da análise das formas de onda de tensão e corrente, da correta síntese dos níveis de tensão, do comportamento dinâmico do sistema e dos principais indicadores de desempenho do inversor. As simulações permitem verificar a aderência entre as expressões

deduzidas e o comportamento esperado do conversor, antes da validação experimental.

A topologia do inversor foi implementada no ambiente de simulação PLECS, adotando-se os mesmos parâmetros de projeto apresentados na Tabela 5, de modo a assegurar coerência direta entre as análises analíticas, os resultados simulados e, posteriormente, os ensaios experimentais. A implementação do algoritmo de modulação SVM foi realizada por meio de um bloco dedicado em linguagem C, responsável pela geração dos sinais de comando dos interruptores. O código correspondente ao algoritmo de modulação utilizado encontra-se apresentado no Apêndice A.

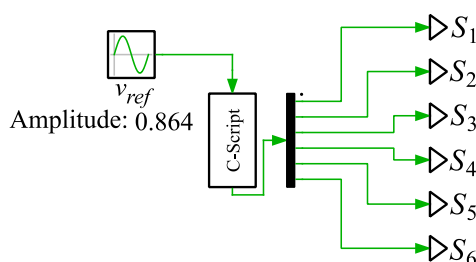
A Figura 113 ilustra o diagrama elétrico completo do inversor implementado no ambiente de simulação, incluindo os dispositivos semicondutores, o autotransformador e os pontos de medição das grandezas elétricas de interesse. Essa representação tem caráter ilustrativo e visa apenas evidenciar a correspondência entre a topologia analisada teoricamente e sua implementação computacional, não sendo objeto de análise quantitativa nesta seção.

Figura 113 – Diagrama elétrico do inversor VSI 5L-3SSC implementado no ambiente de simulação.



A Figura 114 apresenta o diagrama funcional do sistema de modulação SVM empregado nas simulações, destacando a geração do sinal de referência normalizado e a lógica de acionamento dos interruptores.

Figura 114 – Estrutura da modulação SVM implementada no ambiente de simulação.



A partir da implementação do inversor no ambiente de simulação, apresentada

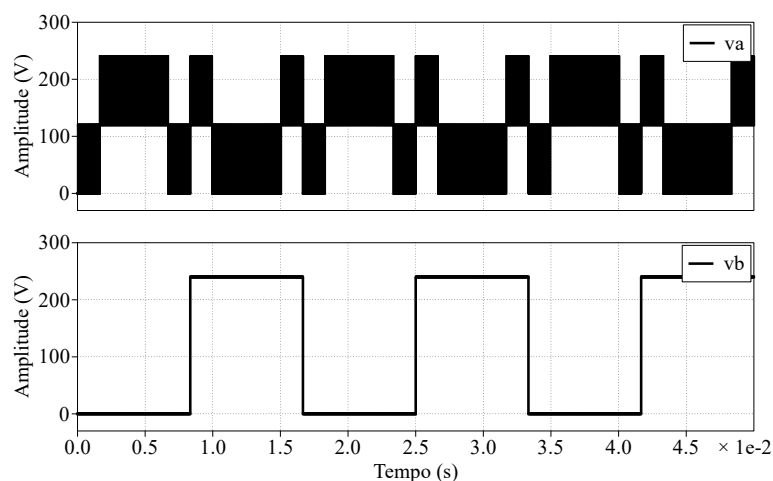
anteriormente, os resultados são analisados separadamente em função das condições de carga consideradas. Inicialmente, são discutidos os resultados obtidos para carga puramente resistiva, com o objetivo de validar as formas de onda, os níveis de tensão sintetizados e os principais parâmetros elétricos previstos analiticamente. Em seguida, são apresentados os resultados correspondentes à carga resistiva-indutiva, permitindo avaliar os efeitos da defasagem entre tensão e corrente sobre o desempenho do inversor.

8.1.1 Resultados sob Carga R

Para a condição de carga puramente resistiva, são apresentados os resultados obtidos em ambiente de simulação, com o objetivo de avaliar a operação do inversor sob os parâmetros de projeto estabelecidos. As formas de onda de tensão e corrente permitem analisar a síntese multinível, o comportamento em regime permanente e as principais características elétricas do sistema, servindo de base para a comparação com os resultados experimentais.

As formas de onda das tensões de polo v_a e v_b , obtidas por simulação para a condição de carga puramente resistiva, são apresentadas na Figura 115.

Figura 115 – Formas de onda das tensões v_a e v_b do VSI 5L-3SSC sob carga R.

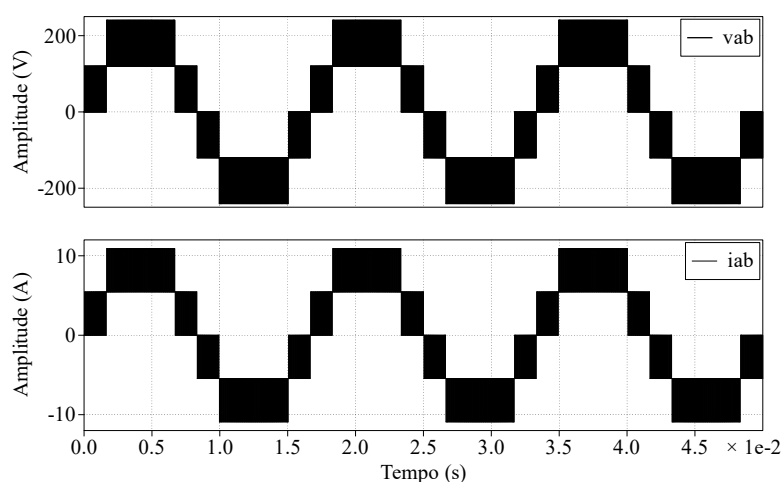


Com base na Figura 115, observa-se que as tensões v_a e v_b assumem apenas dois níveis de tensão. A tensão v_a é comutada em alta frequência e apresenta duplicação da frequência efetiva de comutação, resultado da atuação alternada dos dois ramos da 3SSC. Já a tensão v_b é comutada em baixa frequência e define a polaridade instantânea da tensão de saída. A combinação entre a comutação em alta frequência de v_a e a seleção de polaridade imposta pelos interruptores de baixa frequência associados a v_b é responsável pela síntese dos cinco níveis da tensão v_{ab} . Esse comportamento confirma a separação funcional entre as etapas de alta e baixa

frequência e está em plena concordância com o princípio de operação do inversor.

A Figura 116 apresenta as formas de onda simuladas da tensão de saída v_{ab} e da corrente de carga i_{ab} do inversor sob carga puramente resistiva. A tensão v_{ab} resulta da combinação entre a comutação em alta frequência da 3SSC e a seleção de polaridade imposta pelos interruptores de baixa frequência, originando cinco níveis discretos ao longo do período fundamental. Como a carga é puramente resistiva, a corrente i_{ab} é proporcional à tensão aplicada em cada instante, reproduzindo a mesma sequência de níveis da tensão de saída, com amplitude determinada pelo valor da resistência da carga.

Figura 116 – Formas de onda da tensão v_{ab} e da corrente i_{ab} do VSI 5L-3SSC sob carga R.

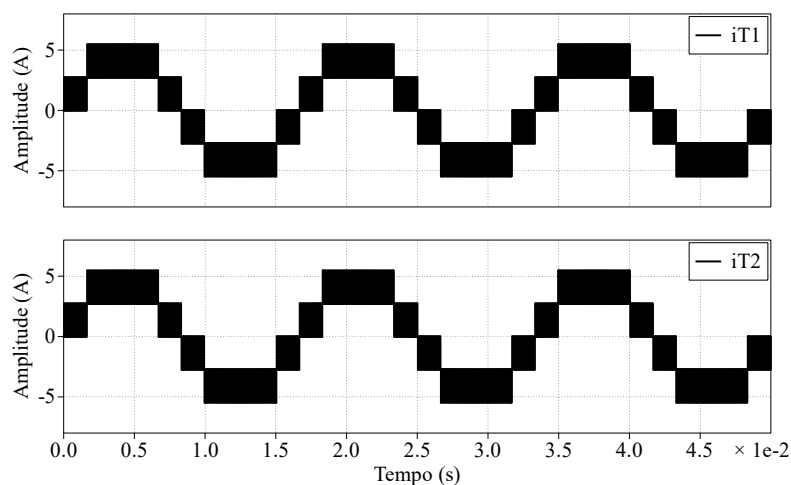


Os resultados evidenciam que os níveis intermediários da tensão são gerados exclusivamente pela comutação dos interruptores de alta frequência, enquanto a etapa de baixa frequência atua apenas na definição da polaridade do sinal de saída. Essa combinação resulta no aumento da frequência efetiva de comutação observada em v_{ab} , sem alteração da frequência fundamental, confirmando o funcionamento esperado da topologia e a coerência com o modelo analítico adotado.

As correntes que percorrem os enrolamentos do autotransformador, i_{T1} e i_{T2} , são apresentadas na Figura 117. Observa-se que ambas permanecem balanceadas ao longo de todo o período fundamental, apresentando mesma amplitude instantânea, com sinais opostos conforme o ramo ativo.

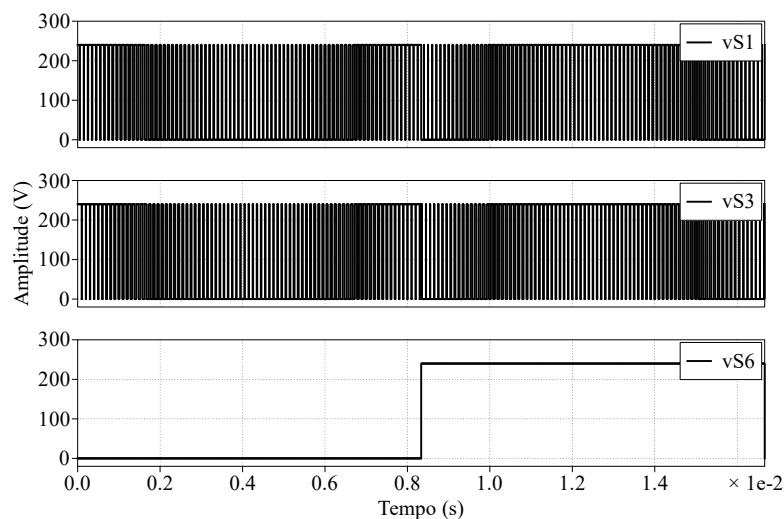
Esse comportamento evidencia que a divisão da corrente de carga entre os ramos da 3SSC ocorre de forma intrínseca à estrutura do conversor, sem necessidade de estratégias adicionais de balanceamento ativo. Como resultado, cada enrolamento conduz aproximadamente metade da corrente de saída, confirmando o princípio de compartilhamento de corrente imposto pelo autotransformador e validando o modelo analítico adotado.

Figura 117 – Formas de onda das correntes i_{T1} e i_{T2} do autotransformador do VSI 5L-3SSC.



A Figura 118 apresenta as formas de onda das tensões nos interruptores de alta frequência S_1 e S_3 e no interruptor de baixa frequência S_6 . Observa-se que os dispositivos de alta frequência estão submetidos a tensões pulsadas entre 0 e a tensão do barramento CC, refletindo o regime de comutação imposto pela modulação SVM.

Figura 118 – Formas de onda das tensões nos interruptores S_1 e S_3 e no interruptor de baixa frequência S_6 do inversor VSI 5L-3SSC.

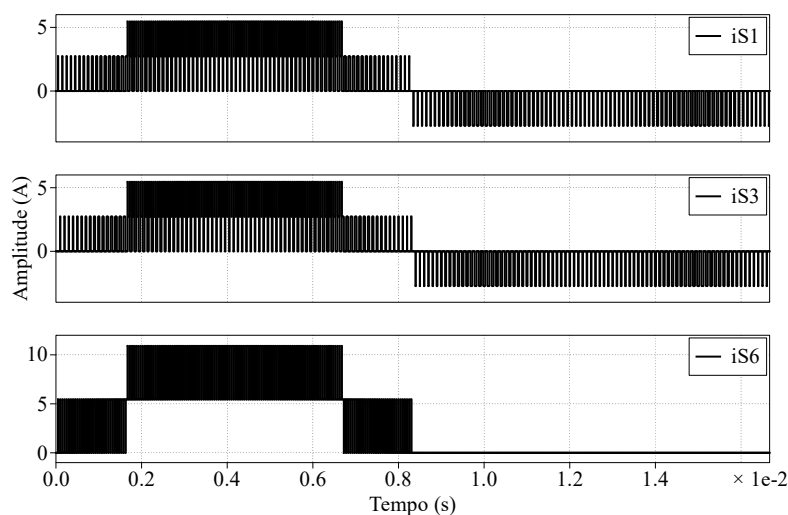


A Figura 119 apresenta as formas de onda das correntes nos interruptores de alta frequência S_1 e S_3 e no interruptor de baixa frequência S_6 . Observa-se que os interruptores de alta frequência conduzem correntes pulsadas associadas à comutação da 3SSC, enquanto o interruptor de baixa frequência conduz corrente apenas durante o semiciclo correspondente à polaridade imposta à tensão de saída.

Nota-se ainda que, nos semiciclos em que as correntes i_{S1} e i_{S3} assumem valores

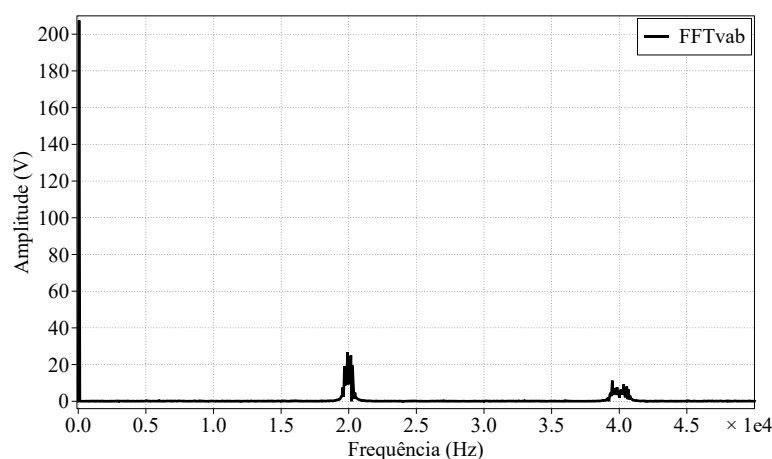
negativos, a condução ocorre pelos diodos antiparalelos D_1 e D_3 , respectivamente, em plena conformidade com o modelo de condução bidirecional adotado. Esses resultados confirmam a correta distribuição das correntes entre interruptores e diodos e a separação funcional entre as etapas de alta e baixa frequência da topologia.

Figura 119 – Formas de onda das correntes nos interruptores S_1 e S_3 e no interruptor de baixa frequência S_6 do inversor VSI 5L-3SSC.



A Figura 120 apresenta o espectro harmônico da tensão v_{ab} obtido por simulação.

Figura 120 – Espectro harmônico da tensão de saída v_{ab} do inversor VSI 5L-3SSC.



Observa-se a predominância da componente fundamental, associada à frequência de operação do inversor, bem como a concentração das componentes harmônicas em torno do dobro da frequência de comutação dos interruptores de alta frequência.

Esse comportamento decorre da estrutura da 3SSC, na qual os dois ramos que operam em alta frequência produzem um efeito de entrelaçamento, resultando na multiplicação da frequência efetiva da ondulação da tensão de saída, sem alteração da frequência fundamental.

A distribuição espectral observada confirma a coerência entre o comportamento simulado e o modelo analítico adotado para a avaliação da distorção harmônica.

Com base nas expressões analíticas deduzidas ao longo do desenvolvimento do modelo e nos resultados obtidos por simulação computacional, procede-se à comparação quantitativa entre os valores calculados e simulados do inversor operando sob carga puramente resistiva.

Essa comparação tem como objetivo verificar a aderência do modelo analítico proposto frente ao comportamento observado em ambiente de simulação, considerando grandezas elétricas associadas à saída do inversor, aos dispositivos semicondutores e ao autotransformador.

A Tabela 15 reúne os principais parâmetros avaliados, permitindo uma análise direta da consistência entre os resultados teóricos e simulados.

Tabela 15 – Comparação entre os valores calculados e simulados do VSI 5L-3SSC sob carga R.

Parâmetro	Símbolo	Calculado	Simulado
Tensão eficaz de saída	$V_{ab,rms}$	155,56 V	155,66 V
Corrente eficaz de saída	$I_{ab,rms}$	7,07 A	7,07 A
Corrente eficaz interruptor S_1	$I_{S1,rms}$	2,29 A	2,30 A
Corrente média interruptor S_1	$I_{S1,avg}$	1,15 A	1,14 A
Corrente de pico interruptor S_1	$I_{S1,pk}$	5,45 A	5,45 A
Tensão de pico interruptor S_1	$V_{S1,pk}$	240 V	240 V
Corrente eficaz diodo D_1	$I_{D1,rms}$	0,98 A	0,98 A
Módulo da corrente média diodo D_1	$ I_{D1,avg} $	0,36 A	0,35 A
Módulo da corrente de pico diodo D_1	$ I_{D1,pk} $	2,72 A	2,73 A
Corrente eficaz interruptor S_6	$I_{S6,rms}$	5,00 A	5,00 A
Corrente média interruptor S_6	$I_{S6,avg}$	3,00 A	3,00 A
Corrente de pico interruptor S_6	$I_{S6,pk}$	10,91 A	10,90 A
Corrente eficaz enrolamento T_1	$I_{T1,rms}$	3,54 A	3,53 A
Corrente de pico enrolamento T_1	$I_{T1,pk}$	5,45 A	5,45 A
Tensão de pico enrolamento T_1	$V_{T1,pk}$	120 V	120 V
Taxa de distorção harmônica de v_{ab}	THD_{vab}	35,45%	35,38%

Observa-se que os valores simulados apresentam excelente concordância com os resultados analíticos para todas as grandezas avaliadas. As pequenas diferenças observadas decorrem das aproximações inerentes ao modelo analítico, bem como da natureza discreta da modulação e da resolução temporal adotada na simulação.

De modo geral, os resultados confirmam a consistência do modelo matemático desenvolvido, validando sua aplicação para a estimativa dos esforços de corrente e tensão nos dispositivos semicondutores, no autotransformador e na carga, sob condição de operação com carga puramente resistiva.

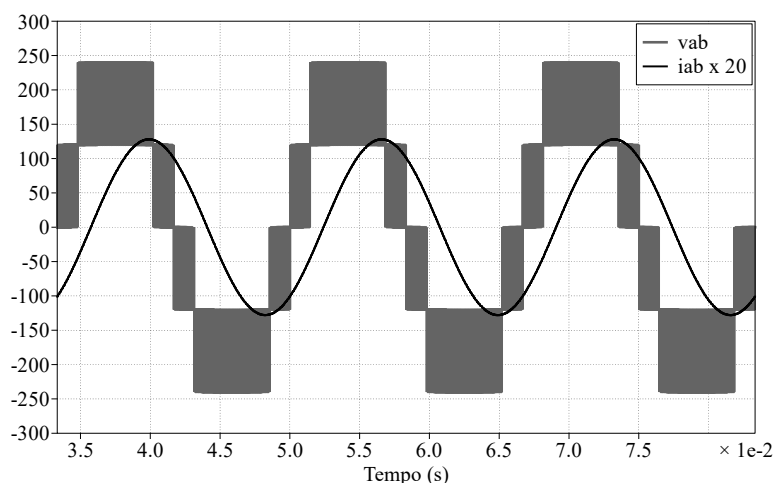
8.1.2 Resultados sob Carga RL

Nesta subseção são apresentados os resultados de simulação do inversor VSI 5L-3SSC operando sob carga resistiva-indutiva, considerando os mesmos parâmetros de projeto empregados nas análises anteriores. A inclusão da componente indutiva permite avaliar o comportamento do conversor em uma condição mais geral de operação, caracterizada pela defasagem entre tensão e corrente e pela circulação de potência reativa.

As simulações têm como objetivo verificar a coerência entre o comportamento previsto pelo modelo analítico e as formas de onda obtidas numericamente, com ênfase na síntese dos níveis de tensão, na forma de onda da corrente de carga, na distribuição das correntes nos ramos da 3SSC e nos esforços impostos aos dispositivos semicondutores. Dessa forma, os resultados apresentados a seguir complementam a análise sob carga puramente resistiva e fornecem subsídios para a validação do desempenho do inversor em regime resistivo-indutivo.

A Figura 121 apresenta as formas de onda simuladas da tensão de saída v_{ab} e da corrente de carga i_{ab} do inversor sob carga RL, considerando $R_o = 22 \Omega$, $L_o = 75 \text{ mH}$ e $M = 0,955$.

Figura 121 – Formas de onda simuladas de v_{ab} e i_{ab} do VSI 5L-3SSC sob carga RL.



A tensão v_{ab} mantém a síntese em cinco níveis discretos ao longo do período fundamental, enquanto a presença da indutância de carga impõe defasagem e suavização da corrente i_{ab} . Esse efeito de suavização decorre do papel filtrante da indutância L_o , que limita a variação instantânea da corrente e promove um comportamento contínuo com predominância da componente fundamental no regime permanente.

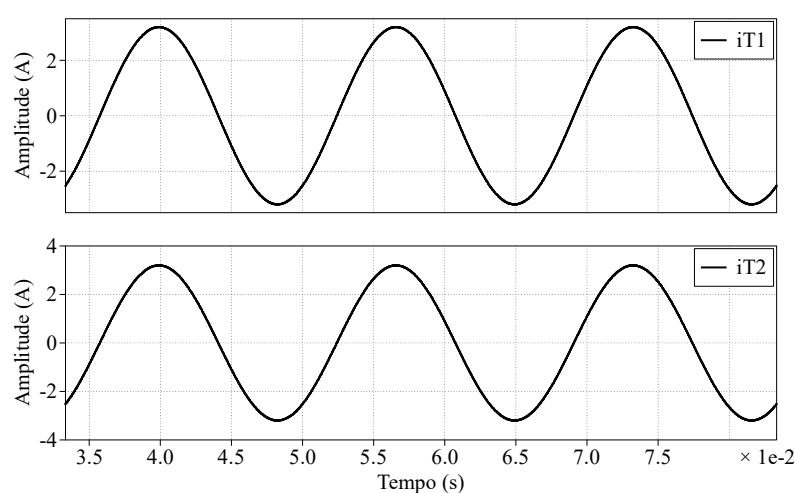
Os resultados confirmam o comportamento esperado do inversor sob carga RL, em conformidade com as hipóteses adotadas na modelagem analítica.

A Figura 122 apresenta as formas de onda simuladas das correntes i_{T1} e i_{T2} que

percorrem os enrolamentos do autotransformador do inversor sob carga resistiva-indutiva. Observa-se que ambas as correntes apresentam comportamento praticamente senoidal, mesma amplitude e defasagem coincidente, evidenciando o compartilhamento equilibrado da corrente de carga entre os dois ramos da 3SSC.

Esse resultado confirma que o autotransformador promove a divisão simétrica da corrente sem a necessidade de estratégias adicionais de balanceamento, mantendo coerência com o princípio de operação adotado na topologia e com a modelagem analítica desenvolvida.

Figura 122 – Formas de onda simuladas das correntes i_{T1} e i_{T2} nos enrolamentos do autotransformador do VSI 5L-3SSC sob carga RL.



Os resultados de simulação sob carga RL evidenciam que o inversor mantém a síntese multinível adequada da tensão de saída, com corrente de carga contínua e defasada em relação à tensão, conforme esperado para a presença da indutância especificada. Observa-se ainda o compartilhamento equilibrado da corrente entre os enrolamentos do autotransformador, sem a necessidade de estratégias adicionais de balanceamento, confirmando o comportamento previsto pela modelagem analítica. Esses resultados validam o desempenho do inversor em regime RL e reforçam a coerência entre a estrutura da topologia, a técnica de modulação adotada e as análises quantitativas previamente desenvolvidas.

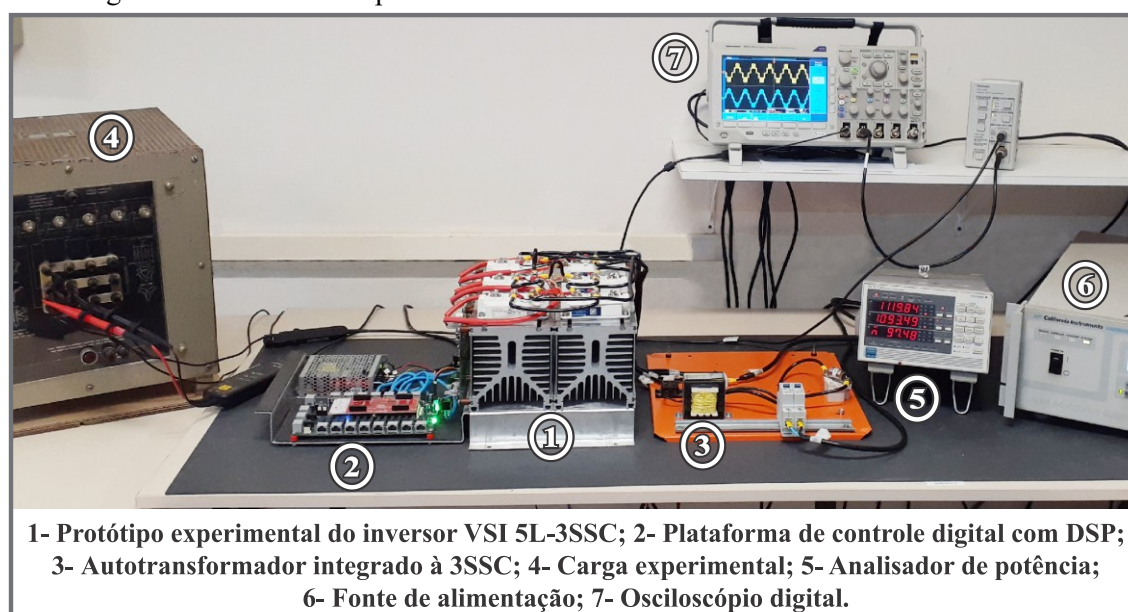
8.2 RESULTADOS EXPERIMENTAIS

Após a validação do comportamento do inversor em ambiente de simulação para diferentes condições de carga, procede-se à análise dos resultados experimentais obtidos a partir do protótipo laboratorial desenvolvido. Os ensaios experimentais têm como objetivo verificar, em condições reais de operação, a fidelidade das análises teóricas e quantitativas apresentadas

nos capítulos anteriores, bem como avaliar a correta síntese multinível da tensão de saída, o comportamento das correntes e o compartilhamento dos esforços de corrente e tensão entre os dispositivos semicondutores.

A Figura 123 apresenta a bancada experimental utilizada nos ensaios, evidenciando o protótipo do inversor, o autotransformador integrado à 3SSC e os principais equipamentos de medição e alimentação empregados.

Figura 123 – Bancada experimental utilizada nos ensaios do inversor VSI 5L-3SSC.



As medições realizadas contemplam tanto carga R quanto carga RL, possibilitando a análise do desempenho do conversor sob diferentes regimes de condução. Dessa forma, torna-se possível verificar a correspondência entre os resultados analíticos, simulados e experimentais, além de identificar eventuais discrepâncias associadas a não idealidades do sistema físico, tais como quedas de tensão nos dispositivos semicondutores, tempos mortos e dispersões paramétricas.

Inicialmente, são apresentados os procedimentos experimentais adotados, incluindo a descrição da instrumentação, das condições de ensaio e dos parâmetros de operação utilizados. Na sequência, discutem-se os resultados experimentais obtidos para carga puramente resistiva e, posteriormente, para carga resistiva-indutiva, com base nas formas de onda medidas, nas análises espectrais e na avaliação das potências, perdas e rendimento do inversor. A interpretação comparativa desses resultados, bem como a análise frente a outras topologias multiníveis monofásicas, é apresentada em capítulo específico subsequente.

8.2.1 Procedimentos Experimentais

Os ensaios experimentais foram conduzidos com o objetivo de avaliar o desempenho do protótipo do inversor VSI 5L-3SSC em condições controladas de operação, reproduzindo os cenários de projeto considerados nas análises teóricas e numéricas. Os testes foram realizados mantendo-se a tensão de entrada constante em $V_i = 240$ V, a frequência de comutação em $f_s = 10$ kHz e a frequência fundamental da tensão de saída em $f = 60$ Hz.

Foram consideradas duas condições de carga: uma carga puramente resistiva, com $R_o = 22$ Ω , potência de saída aproximada de $S_{o,R} \approx 1,1$ kVA e índice de modulação $M = 0,864$; e uma carga resistiva-indutiva, com $R_o = 22$ Ω , $L_o = 75$ mH, potência de saída aproximada de $S_{o,RL} \approx 0,8$ kVA e índice de modulação $M = 0,955$. Em ambos os casos, o índice de modulação foi ajustado de modo a manter a operação do conversor na região linear da modulação SVM, assegurando condições comparáveis entre os ensaios.

A instrumentação empregada foi selecionada de forma a garantir medições precisas e reprodutíveis das grandezas elétricas do conversor. As potências de entrada e saída foram medidas por meio de um analisador de potência digital Yokogawa WT230, permitindo a determinação experimental das perdas totais e do rendimento do inversor. A alimentação CC do sistema foi fornecida por uma fonte programável California Instruments modelo 3001iX, com potência nominal de 3 kVA. Embora o equipamento apresente arquitetura interna modular, a configuração monofásica foi utilizada de forma independente, atendendo plenamente às demandas de potência impostas pelo protótipo experimental e possibilitando o controle rigoroso da tensão de entrada V_i ao longo dos ensaios.

A geração dos sinais de comando foi realizada por meio da placa de controle *Motherboard* DSPMB_Launchxl_F28379D_V1, equipada com interface dedicada para o kit LAUNCHXL-F28379D, baseado no DSP TMS320F28379D, responsável pela implementação da modulação SVM. O acionamento dos dispositivos semicondutores de potência foi realizado por meio de circuitos de acionamento industriais Semikron SKHI 23/17R, garantindo isolamento galvânico, condicionamento adequado dos sinais de comando e funções de proteção integradas. A alimentação dos circuitos de controle e acionamento foi fornecida por uma fonte CC RQ-65C, com saídas reguladas de +5 V, ± 15 V e -5 V.

O estágio de potência foi montado sobre dois dissipadores de calor P3/250 com ventilação forçada, nos quais foram instalados os módulos IGBT SKM150GM12T4G. As temperaturas dos módulos foram monitoradas durante os ensaios por meio de termômetro digital portátil, permitindo correlacionar o comportamento térmico observado com as perdas de

condução medidas experimentalmente.

As formas de onda de tensão e corrente de saída v_{ab} e i_{ab} , bem como as tensões e correntes associadas aos dispositivos semicondutores de potência, foram registradas utilizando um osciloscópio Tektronix TBS 2000B, com largura de banda de 200 MHz, empregando pontas de tensão e corrente isoladas e amplificadas. Os sinais de comando provenientes dos circuitos de acionamento também foram monitorados, possibilitando a verificação dos tempos de condução, da correta sequência de comutação e da aplicação do tempo morto (*dead time*).

Em VSI, a inserção de um tempo morto entre os comandos de condução de interruptores complementares é necessária para evitar a condução simultânea dos dispositivos de um mesmo ramo, condição que resultaria em curto-circuito direto da fonte CC. O valor do tempo morto deve ser suficiente para garantir o completo desligamento de um dispositivo antes da condução do interruptor complementar, considerando os tempos de desligamento dos semicondutores e as características do circuito de acionamento. Nos ensaios realizados, foi adotado um tempo morto de aproximadamente 4 μ s, configurado por meio da substituição dos valores dos resistores associados ao circuito de intertravamento dos circuitos de acionamento SKHI 23/17R, conforme recomendado pelo fabricante. Esse valor mostrou-se adequado para assegurar a operação segura do conversor, sem introduzir distorções significativas na forma de onda da tensão de saída ou penalidades excessivas nas perdas de comutação.

A partir das formas de onda de v_{ab} medidas sem filtragem de saída, foi realizada a análise espectral por meio de FFT, permitindo a obtenção da THD da tensão permitindo a determinação experimental da $THD_{v_{ab}}$ para os pontos de operação ensaiados.

Os detalhes construtivos do protótipo experimental, incluindo a montagem do estágio de potência, a integração das placas de acionamento e da plataforma de controle digital por meio de uma placa adaptadora de interface, bem como a organização da bancada de ensaios, são apresentados no Apêndice B, com o objetivo de documentar os aspectos físicos do sistema e apoiar a reprodutibilidade dos experimentos realizados.

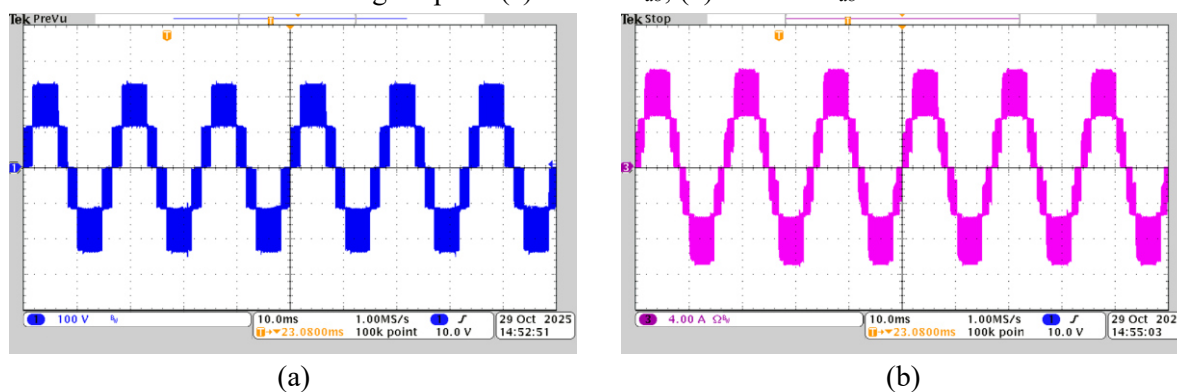
8.2.2 Resultados Experimentais para Carga R

Nesta etapa, o inversor VSI 5L-3SSC foi avaliado experimentalmente operando sob carga puramente resistiva, com $R_o = 22 \Omega$, tensão de entrada $V_i = 240$ V e índice de modulação $M = 0,864$, resultando em uma potência aparente de saída de aproximadamente $S_{o,R} = 1,10$ kVA. As medições apresentadas a seguir foram realizadas em regime permanente, sem filtragem na saída, com o objetivo de avaliar diretamente a síntese multinível da tensão, o comportamento

da corrente de carga e os esforços impostos aos dispositivos semicondutores e ao autotransformador.

As formas de onda experimentais da tensão v_{ab} e da corrente i_{ab} , medidas diretamente nos terminais da carga resistiva, são apresentadas na Figura 124. Observa-se que a tensão de saída apresenta a forma característica multinível sintetizada pelo inversor, enquanto a corrente acompanha diretamente essa forma de onda. Como esperado para uma carga puramente resistiva, não se observa defasagem mensurável entre tensão e corrente, nem suavização da forma de onda de corrente, que reproduz o conteúdo harmônico presente na tensão aplicada.

Figura 124 – Formas de onda experimentais de tensão e corrente de saída do VSI 5L-3SSC sob carga R para: (a) Tensão v_{ab} ; (b) Corrente i_{ab} .

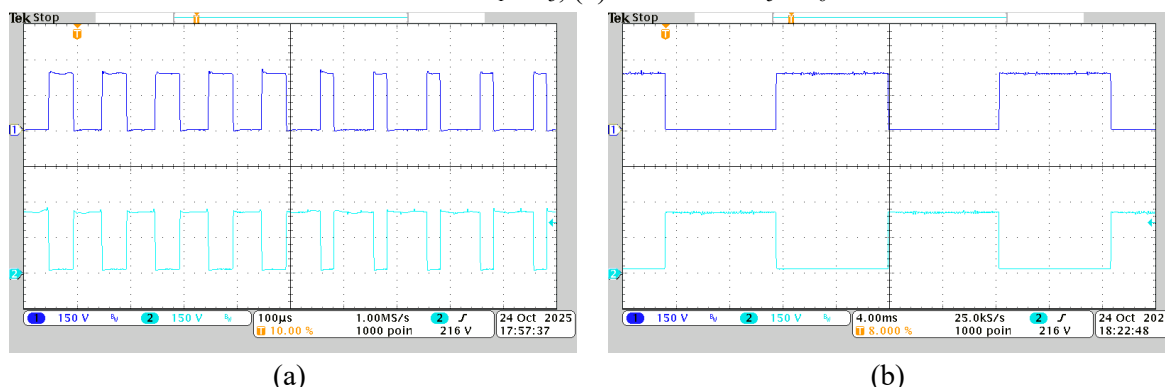


As tensões medidas sobre os interruptores do inversor, responsáveis pela síntese multinível da tensão de saída e pela inversão de semiciclo, são apresentadas na Figura 125. As formas de onda associadas aos interruptores de alta frequência refletem a comutação em alta frequência imposta pela modulação SVM, cuja implementação resulta em pulsos PWM aplicados aos dispositivos.

Em função da simetria estrutural da topologia do inversor e da equivalência funcional entre os interruptores de um mesmo grupo, apenas as tensões medidas sobre um par representativo de interruptores de alta frequência são apresentadas, conforme verificado experimentalmente, uma vez que os demais dispositivos operam sob condições elétricas análogas.

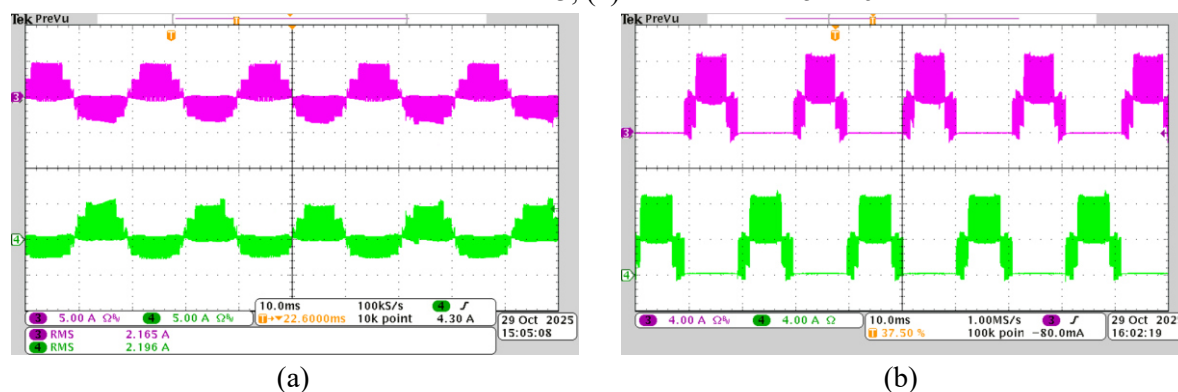
Já os interruptores de baixa frequência operam com comutação na frequência fundamental, sendo responsáveis pela inversão do sentido da tensão aplicada à carga, motivo pelo qual suas tensões também são apresentadas para fins de comparação. Resultados equivalentes foram verificados experimentalmente para os demais interruptores do mesmo grupo funcional.

Figura 125 – Tensões medidas nos dispositivos semicondutores de potência sob carga R: (a) tensões em S_1 e S_3 ; (b) tensões em S_5 e S_6 .



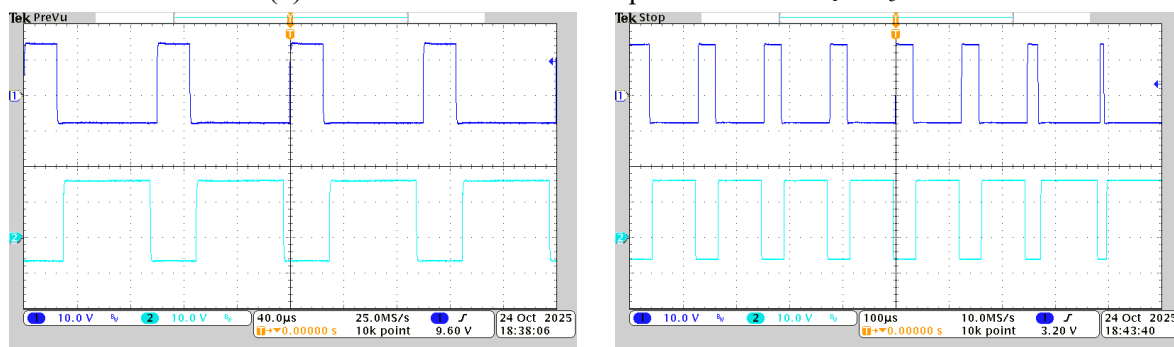
As correntes medidas nos interruptores são apresentadas na Figura 126. São mostradas apenas as correntes em interruptores representativos de alta e baixa frequência, uma vez que os demais dispositivos operam sob condições elétricas equivalentes. Observa-se que os interruptores de alta frequência conduzem correntes pulsadas, moduladas pela estratégia SVM, enquanto os interruptores de baixa frequência apresentam variação associada à corrente de carga, com predominância da componente fundamental.

Figura 126 – Correntes medidas nos dispositivos semicondutores de potência sob carga R: (a) correntes em S_1 e S_3 ; (b) correntes em S_5 e S_6 .



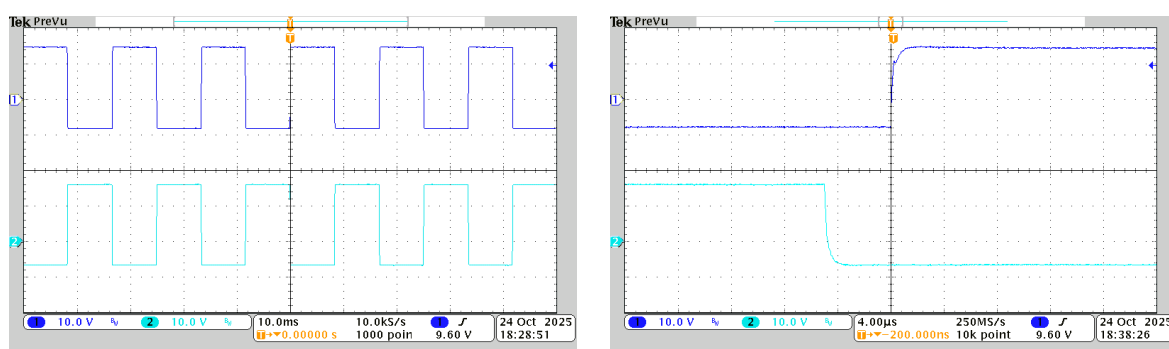
Os sinais de comando aplicados aos dispositivos semicondutores, medidos na saída do driver Semikron SKHI 23/17R, são apresentados na Figura 127. As formas de onda evidenciam a correta geração dos pulsos PWM associados à modulação SVM, bem como a coordenação entre os dispositivos de alta e baixa frequência. O tempo morto configurado experimentalmente é mostrado em detalhe, tendo sido ajustado para aproximadamente $4 \mu\text{s}$, valor definido por meio da substituição dos resistores associados ao circuito de intertravamento do driver, conforme recomendado na respectiva folha de dados do fabricante, de modo a evitar a condução simultânea dos dispositivos de um mesmo ramo.

Figura 127 – Sinais de comando dos interruptores sob carga R: (a) G_1 e G_3 ; (b) G_2 e G_4 ; (c) G_5 e G_6 ; (d) detalhe do intervalo de tempo morto entre G_1 e G_3 .



(a)

(b)

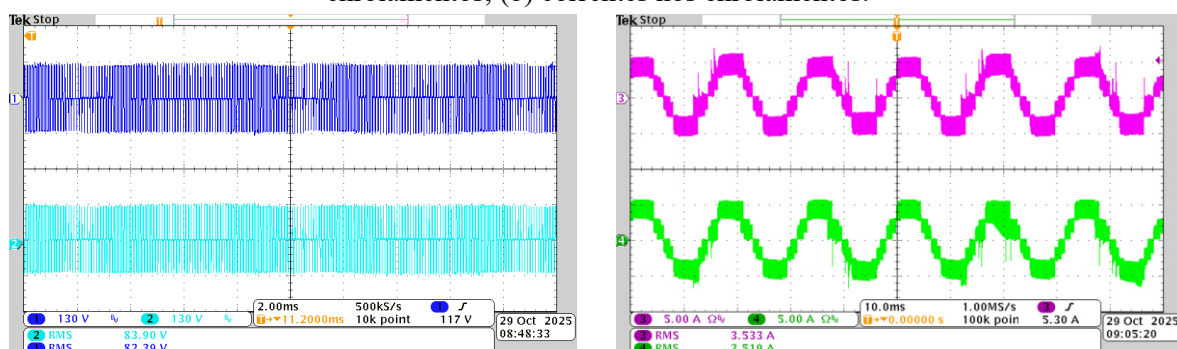


(c)

(d)

As tensões e correntes nos enrolamentos T_1 e T_2 do autotransformador integrado à 3SSC são apresentadas na Figura 128.

Figura 128 – Tensões e correntes nos enrolamentos T_1 e T_2 do autotransformador: (a) tensões nos enrolamentos; (b) correntes nos enrolamentos.



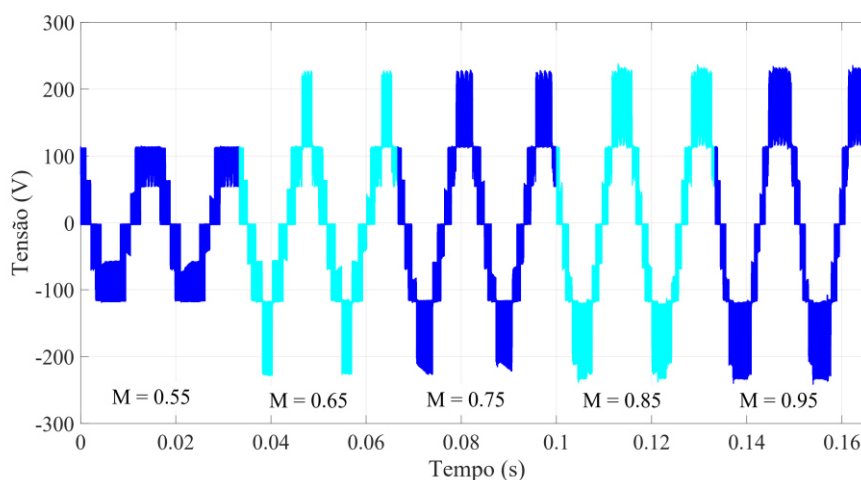
(a)

(b)

Observa-se que as tensões nos enrolamentos apresentam formas de onda pulsadas, associadas à comutação em alta frequência, enquanto as correntes apresentam forma de onda periódica com predominância da componente fundamental, superposta à ondulação de alta frequência, com valores eficazes semelhantes em ambos os enrolamentos, evidenciando o compartilhamento equilibrado de corrente imposto pela estrutura do autotransformador.

Com o objetivo de evidenciar a influência do índice de modulação na síntese multinível da tensão de saída, a Figura 129 apresenta as formas de onda experimentais de v_{ab} obtidas para diferentes valores de M , mantendo-se inalteradas as demais condições de operação e a carga puramente resistiva. Observa-se que a variação do índice de modulação resulta diretamente na alteração da amplitude da tensão sintetizada e na densidade de níveis presentes em cada semiciclo, sem modificar a frequência fundamental da forma de onda.

Figura 129 – Formas de onda experimentais da tensão de saída v_{ab} para diferentes índices de modulação sob carga R.

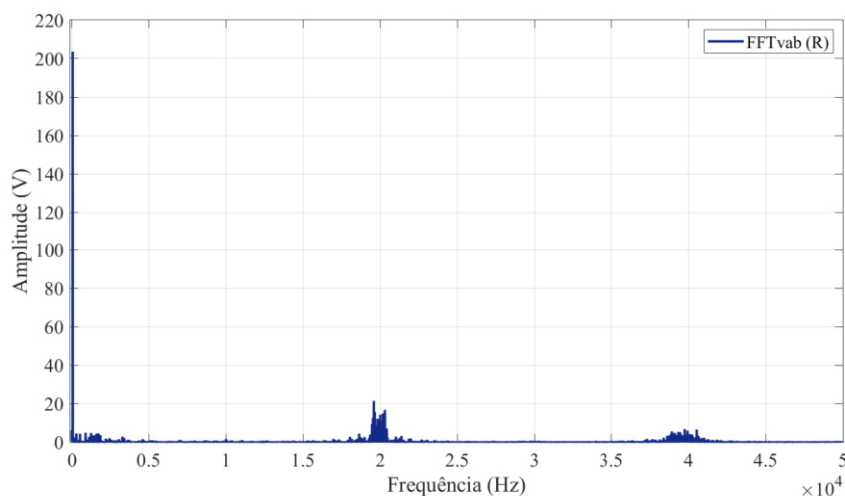


Para valores elevados de M , verifica-se maior aproveitamento do barramento CC e uma aproximação mais pronunciada da envoltória senoidal, enquanto, para valores reduzidos, ocorre diminuição progressiva do número efetivo de níveis sintetizados.

Esse comportamento está em pleno acordo com a análise teórica previamente desenvolvida, segundo a qual valores de M inferiores ao limite mínimo impedem a correta síntese de todos os níveis previstos, resultando na redução da resolução da forma de onda de saída. Assim, os resultados experimentais corroboram diretamente o critério teórico adotado para a definição do intervalo válido de operação do inversor.

Por fim, a análise espectral da tensão de saída v_{ab} , obtida a partir da transformada rápida de Fourier aplicada às formas de onda experimentais, é apresentada na Figura 130. Observa-se a concentração do conteúdo espectral em torno da frequência fundamental e de múltiplos associados à comutação. Destaca-se que, em função da estratégia de modulação SVM aplicada à 3SSC, a frequência efetiva dominante associada aos principais agrupamentos harmônicos é aproximadamente o dobro da frequência de comutação individual dos interruptores de alta frequência, conforme previsto teoricamente e discutido nos capítulos anteriores.

Figura 130 – Espectro de frequência de v_{ab} obtido experimentalmente sob carga R.



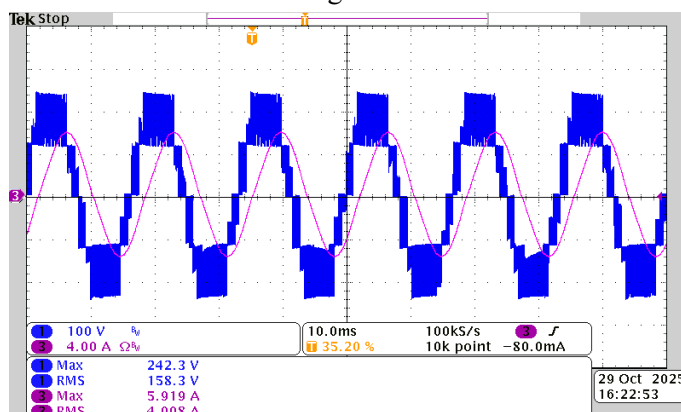
Os resultados experimentais apresentados nesta subseção confirmam a correta operação do inversor sob carga puramente resistiva, evidenciando a síntese multinível da tensão de saída, o comportamento coerente da corrente de carga e a adequada distribuição dos esforços entre os dispositivos semicondutores e o autotransformador integrado. Esses resultados servem de base para a análise comparativa com outras topologias multiníveis, a ser apresentada em seção posterior.

8.2.2.1 Resultados Experimentais para Carga RL

A avaliação experimental do inversor sob carga resistiva-indutiva foi conduzida com o objetivo de analisar o comportamento dinâmico das grandezas elétricas quando a corrente deixa de seguir diretamente a forma multinível da tensão sintetizada, passando a ser influenciada pela presença do elemento indutivo. Para esse ensaio, foi utilizada uma carga RL, mantendo-se as mesmas condições de operação adotadas nos testes com carga puramente resistiva, com destaque para a carga com acréscimo de $L_o = 75$ mH em série com R_o e o índice de modulação $M = 0,955$.

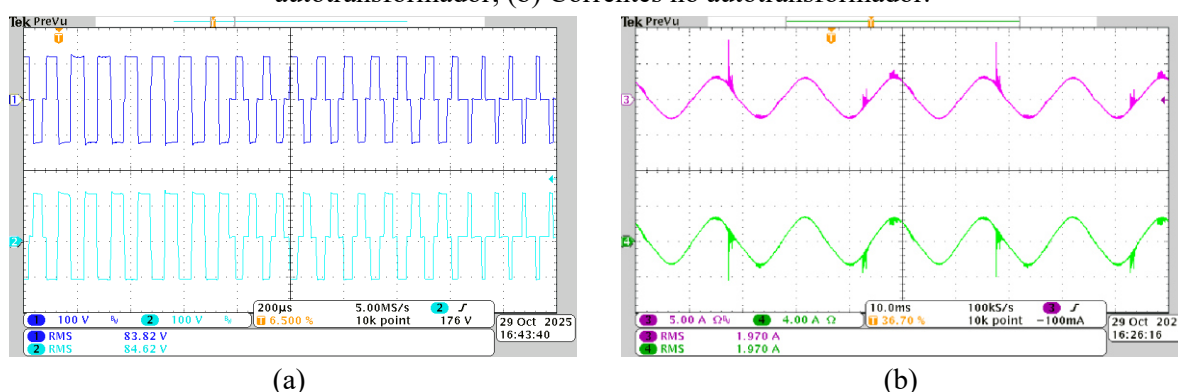
A Figura 131 apresenta as formas de onda experimentais da tensão v_{ab} e da corrente de saída sob carga RL. Observa-se que a tensão sintetizada preserva a característica multinível imposta pela estratégia de modulação SVM, mantendo os níveis discretos esperados ao longo do período fundamental. Em contraste, a corrente apresenta uma forma de onda significativamente mais suave e próxima de uma senóide, resultado direto do efeito filtrante introduzido pela indutância da carga. Além disso, nota-se o defasamento angular entre tensão e corrente, característico de cargas com componente indutiva.

Figura 131 – Formas de onda experimentais da tensão e corrente de saída do VSI 5L-3SSC sob carga RL.



O comportamento elétrico do autotransformador pode ser analisado diretamente pela Figura 132, que apresenta as tensões e correntes nos enrolamentos associados à 3SSC.

Figura 132 – Tensão e corrente no autotransformador para carga RL: (a) Tensões no autotransformador; (b) Correntes no autotransformador.

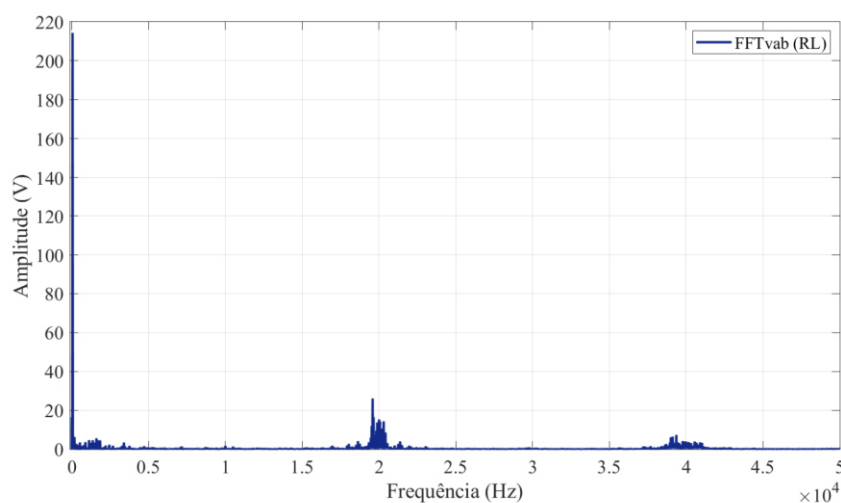


Observa-se que as tensões nos enrolamentos apresentam pulsos de alta frequência compatíveis com a comutação aplicada pelo inversor, enquanto as correntes mantêm comportamento contínuo e equilibrado, consistente com a operação sob carga RL.

Com o intuito de avaliar quantitativamente a qualidade espectral da tensão sintetizada na presença da carga indutiva, a Figura 133 apresenta a FFT da tensão v_{ab} , obtida a partir das medições experimentais. O espectro evidencia a predominância da componente fundamental, bem como a concentração dos harmônicos em torno da frequência de comutação e de seus múltiplos, não se observam componentes de baixa frequência associadas a assimetria ou componente CC mensurável. Esse comportamento confirma que a introdução da indutância não altera o processo de síntese da tensão de saída, uma vez que a sequência de vetores aplicada pelo inversor é definida exclusivamente pela modulação SVM. Assim, a influência da carga RL manifesta-se predominantemente sobre a corrente, enquanto a tensão v_{ab} permanece

essencialmente inalterada.

Figura 133 – Espectro de frequência de v_{ab} obtido experimentalmente sob carga RL.



Os resultados experimentais observados corroboram o comportamento físico esperado do sistema, no qual a tensão de saída é determinada pela estratégia de modulação e pela topologia do inversor, ao passo que a corrente é condicionada pelas características da carga conectada. A presença da indutância contribui para a redução do conteúdo harmônico da corrente e para o aumento da suavidade da forma de onda, sem comprometer a integridade espectral da tensão sintetizada. Esses resultados reforçam a adequação do inversor para operação sob diferentes condições de carga, mantendo desempenho consistente no domínio do tempo e da frequência.

8.2.3 Análise Comparativa dos Resultados Teóricos e Experimentais

Com base nas medições experimentais apresentadas na subseção anterior, realiza-se nesta etapa a comparação quantitativa entre os valores obtidos experimentalmente e aqueles previstos teoricamente a partir das equações deduzidas no Capítulo 6. O objetivo é avaliar a coerência entre o modelo analítico desenvolvido e o comportamento real do inversor, considerando as condições de operação definidas para carga puramente resistiva.

As variáveis analisadas incluem $V_{ab,rms}$, $i_{ab,rms}$, $S_{o,R}$, P_{loss} , η e THD_{vab} . As medições experimentais foram realizadas em regime permanente, utilizando o medidor de potência digital Yokogawa WT230 e a fonte programável California Instruments Model 3001 iX.

A comparação entre os valores teóricos X_{teo} e experimentais X_{exp} foi realizada por meio do desvio percentual definido pela equação (7.67).

$$Desvio(\%) = \frac{|X_{\text{exp}} - X_{\text{teo}}|}{X_{\text{teo}}} \times 100 \quad (7.67)$$

Os resultados dessa comparação são apresentados na Tabela 16, referente à operação do inversor sob carga resistiva. Observa-se boa concordância entre os valores teóricos e experimentais para todas as grandezas avaliadas, com desvios reduzidos para tensão, corrente, potência aparente e rendimento.

Tabela 16 – Comparação entre valores teóricos e experimentais para carga R.

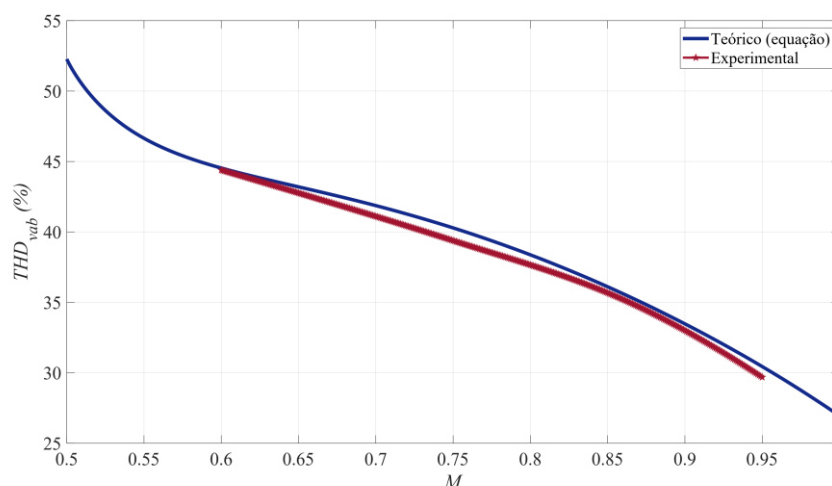
Parâmetro	Símbolo	Teórico	Experimental	Desvio
Tensão eficaz de saída	$V_{ab,rms}$	155,56 V	152,07 V	-2,24%
Corrente eficaz de saída	$I_{ab,rms}$	7,07 A	6,99 A	-1,13%
Potência aparente de saída	$S_{o,R}$	1,10 kVA	1,063 kVA	-3,36%
Perdas totais	P_{loss}	25,51 W	28,20 W	+10,54%
Rendimento	η	97,73%	97,43%	-0,31%
Taxa de distorção	THD_{vab}	35,40%	34,69%	-2,01%

As diferenças entre os valores teóricos e experimentais são compatíveis com as não idealidades do protótipo e do ensaio, destacando-se as quedas de tensão nos dispositivos semicondutores e os efeitos resistivos e parasíticos dos barramentos, conexões e cabos, que impactam $v_{ab,rms}$, $i_{ab,rms}$ e, conseqüentemente, $S_{o,R}$. A discrepância mais pronunciada ocorre nas perdas totais P_{loss} , cujo valor experimental é superior ao estimado, resultado esperado diante de perdas não plenamente contempladas no modelo analítico, como dissipações adicionais em condutores, contatos e efeitos térmicos. Ainda assim, o rendimento η permaneceu muito próximo do valor teórico, e a boa concordância observada para THD_{vab} confirma que a síntese multinível da tensão de saída reproduz de forma consistente o comportamento harmônico previsto sob carga resistiva.

A partir dessa validação global entre os resultados teóricos e experimentais, passa-se à análise específica da distorção harmônica da tensão de saída em função do índice de modulação. Essa avaliação é particularmente relevante, uma vez que THD_{vab} constitui um dos principais indicadores da qualidade da síntese multinível e permite verificar, de forma direta, a influência de M sobre a distribuição espectral da tensão v_{ab} . Para esse fim, são comparados os valores teóricos obtidos a partir das expressões deduzidas no Capítulo 6 com os resultados experimentais extraídos das medições em regime permanente, permitindo discutir tendências, limites de validade do modelo analítico e a coerência física entre previsão e comportamento real do inversor.

A variação da THD da tensão de saída em função do índice de modulação é apresentada na Figura 134, na qual se comparam os resultados teóricos e experimentais medidos sob carga puramente resistiva.

Figura 134 – Curvas teórica e experimental comparativas da THD_{vab} em função de M .



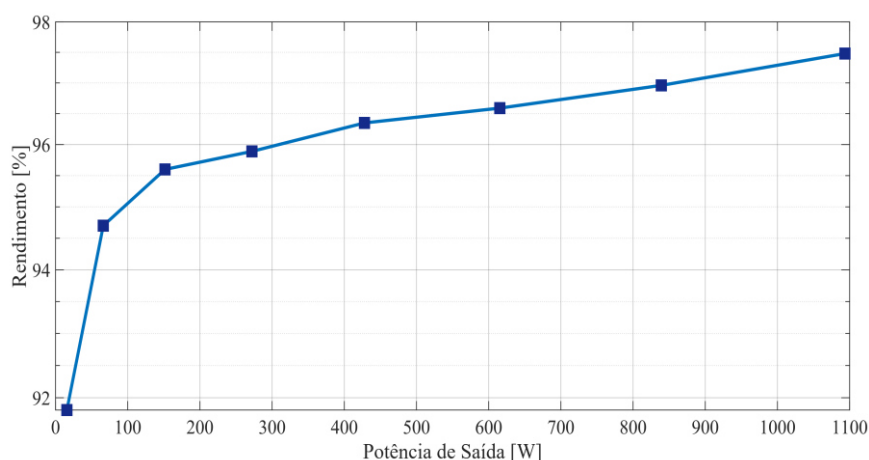
Observa-se que o aumento do índice de modulação reduz progressivamente a THD_{vab} , em função do maior aproveitamento do barramento CC e do incremento da resolução multinível da tensão sintetizada. A boa concordância entre as curvas teórica e experimental ao longo de todo o intervalo analisado confirma a validade do modelo analítico para a previsão do comportamento harmônico do inversor, sendo as pequenas discrepâncias observadas atribuídas a efeitos não idealizados no modelo.

Complementarmente à análise harmônica, avalia-se o desempenho energético do inversor em regime experimental. Enquanto a THD_{vab} reflete a qualidade da síntese multinível imposta pela estratégia de modulação, o rendimento expressa o impacto combinado das perdas fixas e dependentes da carga ao longo da faixa de operação.

A Figura 135 apresenta a variação do rendimento do inversor em função da potência de saída sob carga puramente resistiva. Observa-se que em baixos níveis de potência, o rendimento é limitado pela predominância das perdas pouco dependentes da carga, associadas aos circuitos auxiliares, ao autotransformador e às perdas de condução em operação com cargas baixas. Com o aumento da potência de saída, essas parcelas tornam-se proporcionalmente menos relevantes, resultando em elevação progressiva do rendimento, que se estabiliza em valores superiores a 97% na faixa experimentalmente atingida. Ressalta-se que a potência máxima da topologia não foi alcançada devido às limitações da fonte e dos equipamentos de ensaio. Já em condições próximas ao limite nominal, é esperado um decréscimo do rendimento em função do

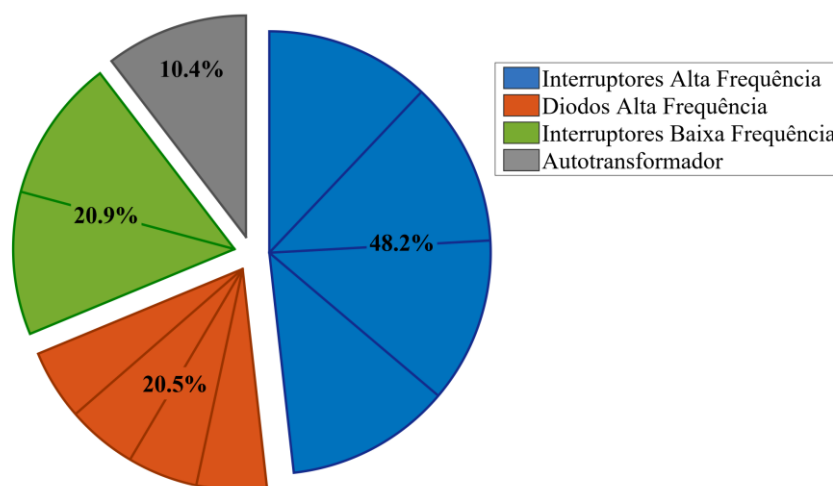
crescimento mais acentuado das perdas ôhmicas e térmicas.

Figura 135 – Rendimento experimental do VSI 5L-3SSC em função da potência de saída sob carga R.



A distribuição percentual das perdas totais do inversor, apresentada na Figura 136, permite identificar de forma clara os principais mecanismos dissipativos sob operação com carga puramente resistiva.

Figura 136 – Distribuição percentual das perdas totais no VSI 5L-3SSC sob carga R.



A distribuição das perdas evidencia o papel dominante dos interruptores de alta frequência no balanço energético do inversor, resultado direto da estratégia de modulação adotada e da concentração das comutações em alta frequência nesse grupo de dispositivos. As perdas associadas aos diodos de alta frequência decorrem dos intervalos de condução impostos pelos estados intermediários da síntese multinível, enquanto os interruptores de baixa frequência apresentam contribuição restrita às perdas de condução na frequência fundamental, em função da ausência de comutação em alta frequência.

No caso do autotransformador integrado à 3SSC, sua participação reduzida nas perdas

totais confirma seu papel estrutural na topologia, atuando no compartilhamento de corrente e na síntese de níveis sem envolvimento em processos significativos de armazenamento de energia. Essa distribuição experimental de perdas evidencia de forma coerente com a separação funcional entre dispositivos de alta e baixa frequência e a contribuição controlada do autotransformador, em plena concordância com as previsões analíticas estabelecidas no Capítulo 6.

De forma global, a boa concordância observada entre os resultados teóricos e experimentais para a THD_{vab} , o rendimento e a repartição interna das perdas valida o modelo analítico proposto e confirma a consistência física das hipóteses adotadas para a topologia do inversor. Essa validação experimental fornece uma base sólida para a análise comparativa com outras topologias multiníveis, a ser desenvolvida na seção seguinte, considerando critérios de contagem de componentes, complexidade estrutural e custo relativo.

8.3 ANÁLISE COMPARATIVA

Com base nas topologias previamente discutidas na revisão bibliográfica e ilustradas na Figura 25 à 33, bem como na estrutura em ponte completa mostrada na Figura 45, estabeleceu-se nesta seção uma avaliação comparativa destinada a quantificar os compromissos entre complexidade estrutural e estresse elétrico de bloqueio. Para esse fim, adota-se a função custo (FC) proposta por Nascimento *et al.* (2023), originalmente empregada na comparação de topologias multiníveis com diferentes combinações de fontes CC, semicondutores, elementos passivos e componentes magnéticos.

Mantém-se a distinção entre os interruptores unidirecionais N_{US} e bidirecionais N_{BS} , bem como os termos associados a diodos, capacitores, circuitos de acionamento, núcleos magnéticos e tensão de bloqueio total. A adaptação introduzida nesta tese consiste na incorporação explícita de um fator de aproveitamento do barramento CC, de modo a refletir a capacidade de cada topologia em converter a tensão de entrada V_i em tensão de pico de saída multinível $V_{o,pk}$ sintetizada antes do filtro.

O fator pode assumir valores inferiores, iguais ou superiores à unidade, conforme a capacidade estrutural de conversão da tensão de entrada. Topologias que produzem tensão de pico inferior à tensão do barramento apresentam $k_{cc} < 1$, enquanto soluções com ganho estrutural podem resultar em $k_{cc} \geq 1$.

Define-se, portanto, o fator de aproveitamento em (7.68).

$$k_{cc} = \frac{V_{o,pk}}{V_i} \quad (7.68)$$

A função custo adaptada é então expressa por (7.69).

$$FC = \frac{N_{Vcc} (N_{US} + 2N_{BS} + N_D + N_C + N_{drv} + N_T + TBV)}{k_{cc} m} \quad (7.69)$$

Na expressão (7.69), m representa o número de níveis sintetizados na tensão de saída; N_{Vcc} corresponde ao número de fontes CC independentes; N_{US} e N_{BS} indicam os números de interruptores unidirecionais e bidirecionais, respectivamente; N_D refere-se ao número de diodos discretos adicionais; N_C representa capacitores estruturais; N_{drv} corresponde aos circuitos de acionamento isolados; N_T indica o número de núcleos magnéticos fisicamente independentes; TBV representa a tensão total de bloqueio adimensional normalizada.

A comparação é conduzida com critérios uniformes de contabilização. A inclusão de k_{cc} permite penalizar estruturas com baixo aproveitamento do barramento CC e, simultaneamente, valorizar topologias que utilizam integralmente ou ampliam a tensão de entrada, tornando a métrica mais representativa do ponto de vista estrutural.

O parâmetro N_{Vcc} considera exclusivamente fontes CC fisicamente independentes. Derivações obtidas por autotransformadores, transformadores ou divisões capacitivas não são contabilizadas como fontes adicionais, desde que não constituam estágios independentes de alimentação.

Os termos N_{US} e N_{BS} correspondem ao número de interruptores explicitamente presentes na estrutura. Interruptores unidirecionais bloqueiam tensão em um único sentido e incluem o diodo antiparalelo intrínseco ao dispositivo. Interruptores bidirecionais são compostos por dois dispositivos ativos em configuração antiparalela ou anti-série; quando formados por dois semicondutores controláveis, ambos são contabilizados individualmente, preservando a coerência com a formulação original da função custo.

O termo N_D inclui apenas diodos discretos adicionais. Diodos intrínsecos aos dispositivos semicondutores de potência não são contabilizados separadamente. O parâmetro N_C refere-se exclusivamente aos capacitores estruturais envolvidos na síntese multinível ou no balanceamento interno, excluindo capacitores do filtro de saída e do barramento CC externo.

A variável N_{drv} corresponde ao número de referenciais independentes requeridos pelos circuitos de acionamento dos dispositivos semicondutores controláveis, sendo interruptores que compartilham o mesmo potencial de emissor ou source contabilizados conjuntamente.

O termo N_T é definido pelo número de núcleos magnéticos fisicamente independentes; um autotransformador ou indutor acoplado com múltiplos enrolamentos em um único núcleo é

contabilizado como uma única unidade magnética.

A avaliação de TBV é realizada em termos normalizados, somando-se as tensões máximas de bloqueio de cada dispositivo semiconductor controlável e normalizando-se pelo valor de V_i . Esse procedimento permite comparar, sob a mesma métrica, topologias com divisão do barramento, síntese multinível por acoplamento magnético ou dispositivos submetidos à tensão total do barramento.

No comparativo são consideradas as seguintes estruturas: a topologia 5L-ANPC-CI, o inversor de cinco níveis baseado em módulo de três braços com indutores acoplados, o inversor tipo- π , o inversor de cinco níveis com quatro semicondutores de potência e o inversor meia-ponte baseado na 3SSC, ilustrados nas Figuras 25 a 29, respectivamente; bem como o inversor meia-ponte de quatro níveis baseado na 4SSC, o inversor 5L-NPC-MSSC, o inversor 5L T-Type-MSSC e a estrutura em ponte completa baseada na associação de duas células, ilustrados nas Figuras 31 a 33 e 45, respectivamente. A referência Hoffmann *et al.* (2025) é incluída exclusivamente para fins de comparação via FC, preservando a coerência narrativa estabelecida na revisão bibliográfica.

A estrutura matemática de (7.69) evidencia que o índice FC cresce com o aumento do número de fontes independentes, da contagem de dispositivos estruturais e do estresse de bloqueio acumulado, sendo reduzido por maior número de níveis e melhor aproveitamento do barramento, desde que o aumento de m não implique crescimento desproporcional dos termos estruturais.

A Tabela 17 consolida os resultados numéricos da aplicação de (7.69) às topologias analisadas, permitindo a comparação direta entre as estruturas consideradas, evidenciando diferenças estruturais associadas à distribuição de bloqueio, contagem de dispositivos e número de núcleos magnéticos. Os resultados consolidados na Tabela 17 indicam que os menores valores de FC são obtidos nas estruturas de Li *et al.* (2012) e no VSI 5L-3SSC. Em ambos os casos, observa-se aproveitamento integral do barramento ($k_{cc} = 1$), presença de uma única fonte CC ($N_{V_{cc}} = 1$) e contagem moderada de dispositivos semicondutores, o que reduz a magnitude da soma estrutural em (7.69).

Embora as topologias de Li *et al.* (2012) e do VSI 5L-3SSC apresentem elevada similaridade estrutural e resultem em valores idênticos de FC, a forma como o elemento magnético participa da síntese multinível e as restrições impostas à estratégia de modulação diferem significativamente. Na topologia proposta por Li *et al.* (2012), a manutenção de condições magnéticas adequadas depende da seleção criteriosa dos estados de comutação, de modo a evitar a presença de componente CC na tensão aplicada aos indutores acoplados, o que

impõe restrições explícitas à estratégia de modulação. No inversor VSI 5L-3SSC, por outro lado, o autotransformador integrado estabelece o compartilhamento de corrente como consequência estrutural do acoplamento magnético, resultando em fluxo médio aproximadamente nulo no núcleo. A igualdade de corrente decorre da própria topologia, reduzindo a dependência de restrições adicionais de controle para evitar saturação magnética e permitindo a aplicação da estratégia de modulação SVM desenvolvida nesta tese.

Tabela 17 – Comparação entre topologias VSI multiníveis com acoplamento magnético segundo a FC adaptada e seus parâmetros estruturais.

Referência	Parâmetros										FC
	m	N_{Vcc}	N_{US}	N_{BS}	N_D	N_C	N_{drv}	N_T	k_{cc}	TBV	
Peraça <i>et al.</i> (2006)	3	1	4	0	0	2	3	1	0,5	4	9,3
Peraça <i>et al.</i> (2007)	4	1	6	0	0	2	4	1	0,5	3	8,0
Peraça <i>et al.</i> (2010)	5	1	8	0	0	0	5	2	1	8	4,6
Floricaeu <i>et al.</i> (2011)	5	1	8	0	0	2	6	1	0,5	4	8,4
Li <i>et al.</i> (2012)	5	1	6	0	0	0	4	1	1	6	3,4
Neto <i>et al.</i> (2012)	5	1	8	0	4	2	7	1	0,5	4	10,4
Cacau <i>et al.</i> (2014)	5	1	4	2	0	2	7	1	0,5	6	9,6
Hu <i>et al.</i> (2016)	5	1	4	0	4	2	4	1	0,5	2	6,8
Costa <i>et al.</i> (2021)	5	1	4	0	2	2	4	1	0,5	3	6,4
Hoffmann <i>et al.</i> (2025)	5	1	12	0	0	2	9	1	0,5	6	12,0
VSI 5L-3SSC	5	1	6	0	0	0	4	1	1	6	3,4

Nas topologias baseadas em NPC, T-Type-MSSC e variantes com maior número de dispositivos ou maior TBV, verifica-se elevação do valor de FC, refletindo aumento do estresse elétrico global acumulado ou maior complexidade estrutural decorrente da divisão de barramento e do acréscimo de elementos passivos.

A função custo definida deve, portanto, ser interpretada como um índice comparativo de complexidade estrutural e estresse elétrico global sob critérios uniformes de contabilização. A ponderação linear unitária adotada na soma estrutural assegura reprodutibilidade e coerência metodológica, embora não represente equivalência física entre os elementos contabilizados. O índice não substitui análise de perdas, rendimento, densidade de potência ou custo industrial absoluto, constituindo ferramenta de comparação relativa entre arquiteturas multiníveis sob premissas explicitamente definidas.

8.4 GENERALIZAÇÃO ESTRUTURAL E AMPLIAÇÃO DO NÚMERO DE NÍVEIS

A metodologia estrutural empregada no desenvolvimento do VSI 5L-3SSC pode ser estendida à síntese de sete níveis de tensão por meio da substituição da 3SSC pela 4SSC. Essa ampliação preserva os fundamentos estabelecidos ao longo desta tese, notadamente o compartilhamento estrutural de corrente e a coerência magnética do elemento acoplado.

A 4SSC é composta por três interruptores principais, três diodos associados e um transformador trifásico com enrolamentos conectados em Y, operando com defasagem elétrica de 120° . Assim como na 3SSC analisada anteriormente, o transformador opera com fluxo médio aproximadamente nulo e não desempenha função predominante de armazenamento de energia, atuando como elemento estrutural de equalização de corrente entre os ramos.

8.4.1 Configuração Estrutural da Ampliação do Número de Níveis

Na configuração proposta, a 4SSC opera em alta frequência e é associada a dois interruptores em baixa frequência responsáveis pela inversão de polaridade da tensão de saída, preservando a mesma filosofia estrutural adotada no inversor VSI 5L-3SSC.

A célula de alta frequência é capaz de sintetizar quatro níveis distintos na semi-onda positiva. Com a inclusão da etapa de inversão de polaridade, obtêm-se sete níveis totais na tensão v_{ab} , caracterizando uma estrutura multinível monofásica de sete níveis.

A topologia resultante pode ser denominada inversor VSI 7L-4SSC (*voltage source inverter seven-level based on the four-state switching cell*), destacando sua natureza fonte de tensão e a utilização da 4SSC como elemento estrutural de alta frequência.

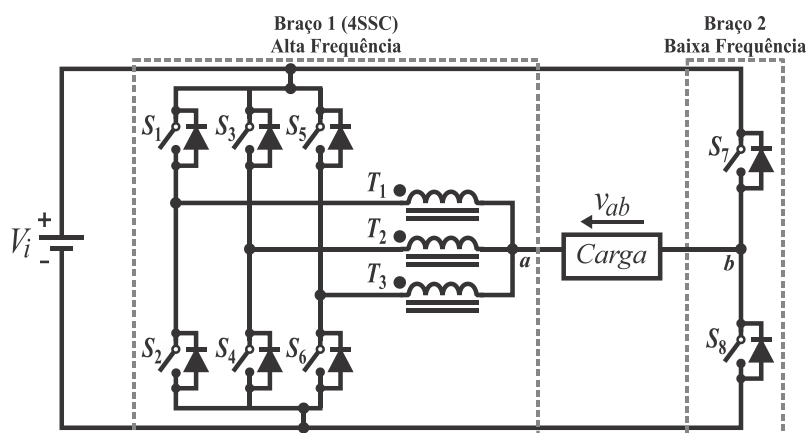
A Figura 137 apresenta a estrutura proposta do inversor VSI 7L-4SSC, evidenciando a associação entre a 4SSC operando em alta frequência e o braço de baixa frequência responsável pela inversão de polaridade.

O transformador associado à 4SSC deve ser concebido como um transformador trifásico de três enrolamentos, integrados em um único núcleo magnético, de forma a assegurar acoplamento magnético elevado entre os ramos da célula. Cada enrolamento corresponde a um braço da 4SSC, compondo um sistema magneticamente simétrico.

Os três enrolamentos devem ser conectados em configuração Y, com ponto comum interno, e apresentar relação de espiras unitária entre si, garantindo que as tensões induzidas e as correntes nos ramos permaneçam proporcionais. A construção deve assegurar simetria geométrica e magnética entre as fases, com mesmo número de espiras, mesmo comprimento

médio de enrolamento e distribuição uniforme no núcleo, de modo a evitar assimetrias de fluxo.

Figura 137 – Topologia do inversor VSI 7L-4SSC.



Do ponto de vista magnético, o núcleo deve operar sem entreferro intencional e com fluxo médio aproximadamente nulo em regime permanente, condição decorrente da própria natureza de comutação da célula. Nessas circunstâncias, o transformador não exerce função predominante de armazenamento de energia, atuando como elemento estrutural de equalização de corrente e de imposição de proporcionalidade entre os ramos da 4SSC, em coerência com os fundamentos estabelecidos nos capítulos anteriores.

8.4.2 Estados de Comutação e Síntese dos Níveis

A Tabela 18 apresenta os estados de comutação admissíveis da 4SSC associada à etapa de inversão de polaridade, bem como as tensões correspondentes nos pontos intermediários a e b e a tensão de saída v_{ab} .

Na semi-onda positiva, com S_8 conduzindo e S_7 bloqueado, o ponto b é mantido em potencial nulo ($v_b = 0$), enquanto a 4SSC sintetiza, no ponto a , quatro níveis discretos: $+V_i$, $+(2/3)V_i$, $+(1/3)V_i$ e 0 , correspondentes às quatro primeiras etapas da Tabela 18. Nessas condições, a tensão de saída coincide com a tensão no ponto a , isto é, $v_{ab} = v_a$.

Na semi-onda negativa, com S_7 conduzindo e S_8 bloqueado, o ponto b é elevado a $+V_i$, e os mesmos quatro níveis sintetizados no ponto a passam a resultar em três níveis negativos e um nível nulo na saída. Assim, obtêm-se os níveis 0 , $-(1/3)V_i$, $-(2/3)V_i$ e $-V_i$, conforme de quinta a oitava etapas.

Dessa forma, a combinação da 4SSC em alta frequência com a etapa de inversão em baixa frequência permite a síntese de sete níveis distintos na tensão v_{ab} : $-V_i$, $-(2/3)V_i$, $-(1/3)V_i$,

0, $(1/3)V_i$, $(2/3)V_i$, V_i . Assim, os vetores de estado associados a cada etapa, definem a sequência de aplicação dentro de cada setor da modulação SVM, preservando a lógica estrutural estabelecida para o inversor de cinco níveis.

Tabela 18 – Etapas de operação do conversor VSI 7L-4SSC, com indicação dos estados de comutação, das tensões nos pontos a e b e dos vetores de estado associados.

Etapa	Alta Frequência						Baixa Frequência		Tensão no ponto a	Tensão no ponto b	Tensão de Saída	Vetor
	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	v_a	v_b	v_{ab}	
1 ^a	1	1	1	0	0	0	0	1	$+V_i$	0	$+V_i$	\vec{V}_0
2 ^a	0	1	1	1	0	0	0	1	$+(2/3)V_i$	0	$+(2/3)V_i$	\vec{V}_1
3 ^a	0	0	1	1	1	0	0	1	$+(1/3)V_i$	0	$+(1/3)V_i$	\vec{V}_2
4 ^a	0	0	0	1	1	1	0	1	0	0	0	\vec{V}_3
5 ^a	1	1	1	0	0	0	1	0	$+V_i$	$+V_i$	0	\vec{V}_4
6 ^a	0	1	1	1	0	0	1	0	$+(2/3)V_i$	$+V_i$	$-(1/3)V_i$	\vec{V}_5
7 ^a	0	0	1	1	1	0	1	0	$+(1/3)V_i$	$+V_i$	$-(2/3)V_i$	\vec{V}_6
8 ^a	0	0	0	1	1	1	1	0	0	$+V_i$	$-V_i$	\vec{V}_7

A definição dos tempos de aplicação dos vetores segue o mesmo procedimento analítico desenvolvido para o VSI 5L-3SSC no Capítulo 5, mantendo a mesma formulação geral para o cálculo dos tempos ativos e nulos em função do índice de modulação e do ângulo elétrico. Assim, preserva-se a rastreabilidade matemática e a coerência com a metodologia de modulação SVM previamente apresentada, sendo apenas ajustada a matriz de níveis e a decomposição vetorial para o conjunto de sete níveis.

8.4.3 Estratégia de Modulação SVM para o Inversor VSI 7L-4SSC

A estratégia de modulação adotada para o VSI 7L-4SSC baseia-se na extensão direta da modulação SVM empregada no VSI 5L-3SSC. O vetor de referência é decomposto, em cada setor, respeitando a hierarquia de níveis sintetizados pela 4SSC.

A sequência de comutação é organizada de forma simétrica dentro do período de comutação, assegurando redução do conteúdo harmônico de baixa ordem, distribuição equilibrada das comutações entre os interruptores de alta frequência, manutenção do fluxo médio aproximadamente nulo no transformador trifásico da 4SSC.

Os tempos de aplicação dos vetores são calculados a partir das mesmas expressões gerais deduzidas anteriormente, substituindo-se apenas os valores dos níveis discretos

correspondentes a $\pm V_i$, $\pm(2/3)V_i$ e $\pm(1/3)V_i$. Essa abordagem garante continuidade metodológica entre as topologias de cinco e sete níveis e evidencia que a ampliação do número de níveis decorre de uma extensão estruturada do procedimento já validado.

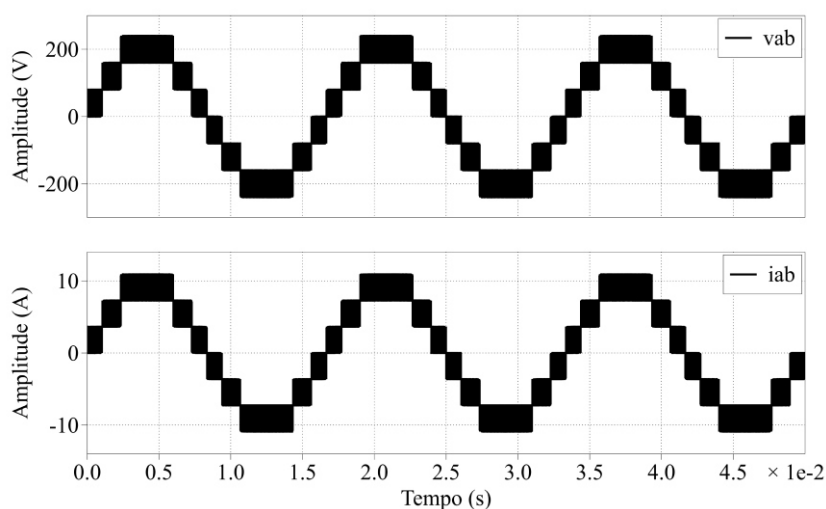
Com isso, a modulação para esse inversor mantém coerência analítica com o desenvolvimento anterior, ao mesmo tempo em que demonstra a escalabilidade do conceito baseado em células magneticamente acopladas.

8.4.4 Resultados de Simulação do Inversor VSI 7L-4SSC

A validação da ampliação estrutural foi realizada por meio de simulação computacional, adotando os mesmos critérios de modelagem empregados para o VSI 5L-3SSC sob carga resistiva no Capítulo 5, preservando parâmetros elétricos, frequência de comutação e metodologia de modulação.

A Figura 138 apresenta as formas de onda da tensão de saída v_{ab} e da corrente de carga i_{ab} para o conversor denominado VSI 7L-4SSC, operando nas condições especificadas. Observa-se, nesta figura, a correta síntese dos sete níveis discretos de tensão na saída, conforme previsto pela Tabela 18 e pela sequência vetorial definida. A corrente de carga acompanha o perfil escalonado da tensão, mantendo coerência com o comportamento esperado para carga puramente resistiva.

Figura 138 – Formas de onda da tensão de saída v_{ab} e da corrente de carga i_{ab} do inversor VSI 7L-4SSC sob carga R.



A simulação evidencia ainda que a ampliação para sete níveis reduz a variação incremental de tensão entre níveis quando comparada à estrutura de cinco níveis sob condições equivalentes de modulação. Como consequência, verifica-se tendência de redução do conteúdo

harmônico de baixa ordem, em conformidade com o comportamento esperado para conversores multiníveis com maior número de níveis discretos.

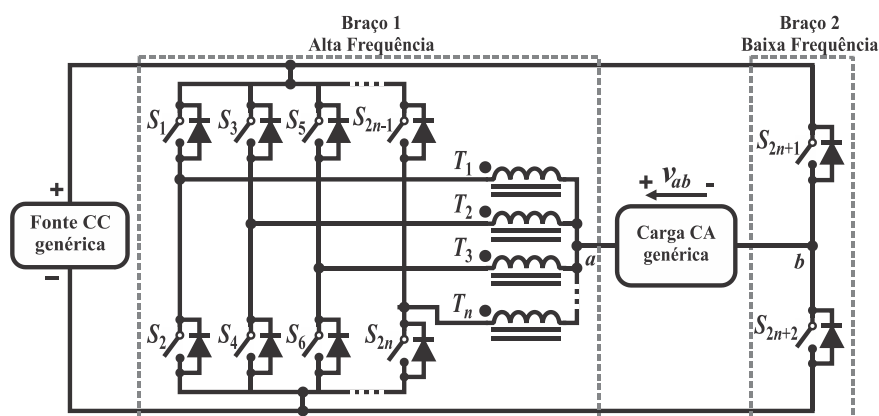
Optou-se por apresentar apenas este conjunto representativo de resultados, uma vez que a consolidação experimental da estrutura de sete níveis e a otimização detalhada do projeto magnético e térmico demandam etapas adicionais de desenvolvimento, não contempladas no escopo desta tese.

8.4.5 Generalização Conceitual para Ampliação do Número de Níveis

A ampliação estrutural pode ser generalizada mediante o aumento do número de enrolamentos do elemento magneticamente acoplado na célula de alta frequência, caracterizando uma MSSC. Nessa configuração, a célula passa a ser composta por $2n$ interruptores S_1 a S_{2n} , associados a um transformador trifásico com n enrolamentos magneticamente acoplados, enquanto a etapa de inversão de polaridade permanece formada por dois interruptores de baixa frequência S_{2n+1} e S_{2n+2} .

A Figura 139 apresenta a estrutura generalizada, destacando o braço de alta frequência responsável pela síntese multinível e o braço de baixa frequência responsável pela inversão de polaridade da tensão de saída.

Figura 139 – Generalização estrutural do número de níveis a partir da associação de uma MSSC operando em alta frequência à etapa de inversão de polaridade.



No braço de alta frequência, os pares complementares S_1 – S_{2n} conectam os n enrolamentos T_1 a T_n , preservando a operação com fluxo médio aproximadamente nulo e o compartilhamento estrutural de corrente entre ramos. A célula sintetiza $n+1$ níveis distintos na semi-onda positiva da tensão no ponto a . Após a inversão de polaridade, obtêm-se os níveis correspondentes na semi-onda negativa, mantendo-se o nível zero comum.

O número total de níveis m na tensão v_{ab} é dado por (7.70). Essa expressão evidencia o crescimento linear do número de níveis com o número de enrolamentos magneticamente acoplados.

$$m = 2n + 1 \quad (7.70)$$

A extensão para valores maiores de n requer análise adicional quanto à modulação, coordenação dos estados de comutação, dimensionamento magnético e impacto nas perdas, não tendo sido objeto de validação experimental nesta tese. Assim, conclui-se que a arquitetura baseada na 3SSC admite generalização sistemática para uma família de inversores multiníveis com $m = 2n + 1$ níveis, mantendo coerência estrutural e magnética.

8.5 CONSIDERAÇÕES PARCIAIS

Os resultados experimentais apresentados neste capítulo evidenciaram o comportamento do inversor VSI 5L-3SSC sob carga R e RL, permitindo a verificação direta das grandezas elétricas medidas no protótipo implementado. As formas de onda de tensão e corrente confirmaram a correta síntese multinível da tensão de saída e a resposta da corrente em conformidade com as características das cargas conectadas, validando o princípio de operação da topologia proposta.

A comparação quantitativa entre os valores teóricos e experimentais indicou desvios reduzidos para tensão eficaz, corrente eficaz, potência aparente, rendimento e THD_{vab} , conforme consolidado na Tabela 16. A maior discrepância observada ocorreu nas perdas totais, cujo valor experimental superou o estimado analiticamente, diferença atribuída a parcelas de perdas adicionais não contempladas no modelo teórico adotado, como efeitos parasitas, perdas nos circuitos auxiliares e contribuições térmicas não modeladas explicitamente.

A análise da THD_{vab} em função do índice de modulação demonstrou redução progressiva da distorção harmônica com o aumento de M , em concordância com as previsões teóricas. As análises espectrais da tensão de saída, obtidas por FFT, evidenciaram a predominância da componente fundamental e a concentração dos harmônicos em torno do dobro da frequência de comutação e de seus múltiplos, tanto para carga puramente resistiva quanto para carga resistiva-indutiva, corroborando a adequação da estratégia de modulação SVM adotada.

O rendimento experimental, medido em função da potência de saída sob carga resistiva, permaneceu superior a 97% na faixa investigada. A distribuição percentual das perdas indicou predominância dos dispositivos semicondutores de alta frequência no balanço energético,

seguida pelas contribuições dos diodos de alta frequência, dos dispositivos de baixa frequência e do autotransformador, em conformidade com o modelo analítico e com o regime de comutação imposto à estrutura.

A aplicação da função custo adaptada às topologias analisadas permitiu a comparação estrutural sob critérios uniformes de contabilização. Os resultados consolidados na Tabela 17 indicaram que o inversor VSI 5L-3SSC apresenta valor de FC equivalente ao menor índice obtido entre as estruturas avaliadas, considerando simultaneamente o número de níveis, o aproveitamento do barramento CC, a contagem de dispositivos semicondutores, o número de núcleos magnéticos e a tensão total de bloqueio normalizada. Esse resultado evidencia o equilíbrio alcançado entre desempenho elétrico e compactidade estrutural.

Adicionalmente, foi demonstrado que a arquitetura proposta admite generalização sistemática por meio da ampliação do número de enrolamentos magneticamente acoplados na célula de alta frequência, caracterizando uma MSSC associada à etapa de inversão de polaridade. A relação geral $m = 2n+1$ estabeleceu de forma explícita o vínculo entre o número de níveis sintetizados e o número de enrolamentos do elemento magnético, preservando o princípio de compartilhamento estrutural de corrente e a coerência magnética discutida ao longo do trabalho. A simulação apresentada para a configuração de sete níveis confirmou a viabilidade conceitual dessa ampliação, mantendo a filosofia de modulação SVM e os princípios de operação adotados para o inversor de cinco níveis. Embora estruturas com maior número de níveis demandem análises específicas quanto à coordenação dos estados de comutação, ao dimensionamento magnético e ao impacto nas perdas, a generalização proposta consolida o caráter escalável dos inversores multiníveis baseados na MSSC.

Os resultados experimentais, analíticos e comparativos apresentados neste capítulo sintetizam, portanto, a verificação prática do comportamento elétrico, energético e estrutural do inversor nas condições de operação analisadas, bem como estabelecem bases consistentes para a ampliação conceitual da topologia sem ruptura dos princípios físicos e estruturais que fundamentam sua concepção.

9 CONCLUSÃO GERAL E PROPOSTAS DE TRABALHOS FUTUROS

Neste capítulo, são apresentadas as conclusões sobre os principais aspectos verificados no decorrer deste trabalho.

9.1 CONCLUSÃO GERAL

Esta tese partiu da constatação de que inversores clássicos de dois níveis apresentam limitações quando submetidos a aplicações que demandam elevada corrente ou maior qualidade de forma de onda, uma vez que a potência processada concentra-se, a cada instante, em um único dispositivo semicondutor de potência. Essa característica implica maiores esforços elétricos e térmicos individuais e pode limitar a escalabilidade estrutural do sistema.

Com base nesse cenário, o trabalho investigou a utilização da 3SSC como elemento estrutural para a síntese de topologias multiníveis monofásicas compactas, explorando o princípio da dualidade entre VSI e CSI. A fundamentação teórica estabeleceu a distinção entre estruturas baseadas em indutores acoplados com armazenamento de energia e aquelas baseadas em autotransformador integrado, demonstrando que, na 3SSC considerada, o elemento magnético opera com fluxo médio aproximadamente nulo e atua como mecanismo estrutural de compartilhamento de corrente entre ramos, sem função predominante de armazenamento de energia.

A partir dessa base conceitual, foram desenvolvidas duas topologias de cinco níveis: os inversores denominados CSI 5L-3SSC e VSI 5L-3SSC. Para o CSI, foram estabelecidas as relações analíticas entre as grandezas dos lados CC e CA, evidenciando a coerência estrutural decorrente da aplicação do princípio da dualidade. Para o VSI, foram conduzidas análises qualitativas e quantitativas abrangendo a descrição dos estados de comutação, a formulação da modulação SVM, a dedução das expressões para tensão eficaz, corrente eficaz, esforços de corrente e tensão, perdas nos dispositivos semicondutores de potência, perdas no autotransformador e rendimento global.

As equações deduzidas mantiveram consistência matemática com as hipóteses adotadas e permitiram prever o comportamento do conversor em regime permanente nas condições analisadas. Essa modelagem fundamentou o dimensionamento e a implementação do protótipo experimental do VSI 5L-3SSC.

Os resultados experimentais confirmaram a síntese de cinco níveis de tensão na saída e a divisão estrutural da corrente entre os ramos da 3SSC conforme previsto analiticamente.

Observou-se concordância entre as grandezas calculadas e medidas dentro das condições experimentais estabelecidas. O rendimento máximo experimental situou-se próximo de 97% nas condições de ensaio descritas, indicando que a inserção do autotransformador integrado não impediu a obtenção de elevados níveis de eficiência no protótipo desenvolvido.

Ao longo da faixa nominal de operação investigada, o inversor apresentou comportamento estável e forma de onda compatível com os critérios de projeto definidos. A divisão estrutural da corrente reduziu a corrente conduzida individualmente por cada ramo da célula, conforme previsto pela análise teórica.

Sob a perspectiva de aplicação, os resultados indicam que as arquiteturas desenvolvidas apresentam potencial para sistemas monofásicos de conversão caracterizados por elevada corrente no lado CA e exigência de qualidade harmônica compatível com filtros de porte reduzido. No caso do VSI 5L-3SSC, a divisão estrutural de corrente e a concentração das componentes associadas à comutação em faixas de alta frequência favorecem sua utilização em aplicações de condicionamento de energia e integração de fontes renováveis com barramentos CC de baixa tensão e elevada corrente. Para o CSI 5L-3SSC, a característica elevadora intrínseca, aliada à redução de dispositivos ativos em alta frequência, sugere viabilidade estrutural para arquiteturas de conversão em estágio único em cenários nos quais a substituição de sistemas CC-CC associados a VSI por uma estrutura CSI possa resultar em simplificação estrutural. A validação experimental completa dessa versão constitui etapa futura, mas a análise desenvolvida estabelece base consistente para sua exploração em sistemas baseados em fontes CC de baixa tensão.

A configuração estrutural do VSI 5L-3SSC, caracterizada pela utilização de uma única 3SSC operando em alta frequência associada a dois interruptores em baixa frequência para inversão de polaridade, resultou em pedido de depósito de patente junto ao Instituto Nacional da Propriedade Industrial (INPI). Esse registro decorre da solução estrutural proposta e formaliza sua proteção intelectual, sem alterar a natureza acadêmica das análises realizadas nesta tese.

De forma consolidada, o trabalho demonstrou, nas condições estudadas, a viabilidade analítica e experimental da topologia VSI 5L-3SSC e a viabilidade estrutural e teórica da topologia CSI 5L-3SSC. Além disso, estabeleceu uma metodologia coerente de síntese estrutural baseada na 3SSC e no princípio da dualidade, aplicável ao desenvolvimento de inversores multiníveis monofásicos compactos.

Adicionalmente, a análise estrutural apresentada demonstrou que a arquitetura pode ser sistematicamente generalizada por meio do aumento do número de enrolamentos

magneticamente acoplados na célula de alta frequência, caracterizando uma MSSC associada à etapa de inversão de polaridade. Foi estabelecida uma relação geral, evidenciando que o número de níveis pode ser ampliado de forma linear com o número de enrolamentos, preservando o princípio de compartilhamento estrutural de corrente e a coerência magnética do elemento acoplado. A configuração de sete níveis foi validada por simulação, mantendo a mesma filosofia de modulação SVM adotada para o inversor de cinco níveis. Estruturas com maior número de níveis, entretanto, requerem análises específicas quanto à coordenação dos estados de comutação, ao dimensionamento magnético e ao impacto nas perdas globais, não tendo sido objeto de validação experimental.

Assim, as contribuições desta tese concentram-se na proposição e consolidação de uma metodologia de síntese estrutural baseada na 3SSC, na modelagem e análise detalhadas do inversor VSI 5L-3SSC e na validação experimental de seu desempenho, bem como na formalização da correspondência estrutural entre as versões VSI e CSI de cinco níveis. A divisão estrutural da corrente reduz o esforço individual nos dispositivos semicondutores de potência e amplia a capacidade potencial de processamento de corrente da topologia. O trabalho delimita os limites analíticos, estruturais e experimentais das estruturas desenvolvidas, constituindo base consistente para aplicações monofásicas de elevada corrente e para extensões multiníveis fundamentadas no mesmo princípio estrutural.

9.2 PROPOSTAS DE TRABALHOS FUTUROS

A continuidade desta pesquisa pode abranger a implementação e validação experimental completa do inversor CSI 5L-3SSC, permitindo confrontar as previsões analíticas com medições reais e avaliar seu desempenho elétrico, magnético e térmico em condições práticas de operação.

Para ambas as topologias desenvolvidas, investigações adicionais podem explorar estratégias de controle distintas daquelas adotadas nesta tese, incluindo abordagens preditivas ou adaptativas, com o objetivo de analisar possíveis impactos sobre perdas de comutação, desempenho dinâmico e robustez frente a variações de carga e do barramento CC.

Outra linha de investigação consiste na modelagem térmica detalhada dos dispositivos semicondutores de potência e do conjunto magnético associado à 3SSC, integrando modelos elétricos e térmicos para avaliação mais precisa das perdas em regime permanente e transitório, contribuindo para o refinamento do projeto térmico e para o aumento da densidade de potência.

A ampliação do número de níveis, cuja viabilidade conceitual foi estabelecida nesta tese

por meio da generalização estrutural baseada na MSSC e exemplificada pela configuração de sete níveis com 4SSC, pode ser aprofundada mediante análises quantitativas mais abrangentes e validação experimental específica, avaliando-se o impacto da expansão sobre a complexidade estrutural, coordenação dos estados de comutação, dimensionamento magnético e perdas globais.

Adicionalmente, a extensão das topologias para configurações trifásicas pode ser investigada com o objetivo de avaliar sua escalabilidade estrutural e comportamento em níveis superiores de potência, bem como sua integração a sistemas de conversão associados a fontes renováveis ou aplicações industriais de elevada corrente.

Essas direções constituem desdobramentos naturais do trabalho desenvolvido e demandam investigação específica para validação quantitativa em cada caso, mantendo a coerência estrutural e analítica estabelecida nesta tese.

REFERÊNCIAS BIBLIOGRÁFICAS

- ACEVEDO-BUENO, D. A.; SILVA, J. C. L. d.; SILVA, E. R. C. d.; VITORINO, M. A. Five-level reduced hybrid inverter with coupled inductors. *In: 2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2017, 1-5 Oct. 2017. p. 5273-5279. DOI: 10.1109/ECCE.2017.8096885.
- AJAMI, A.; JANNATI OSKUEE, M. R.; MOKHBERDORAN, A.; VAN DEN BOSSCHE, A. Developed cascaded multilevel inverter topology to minimise the number of circuit devices and voltage stresses of switches. **IET Power Electronics**, 7, n. 2, p. 459-466, 2014.
- ALRADHAWI, N. J. J.; KOC, S.; GHAZY, K. H. B. M.; KHIAMI, A. M. Single-phase multilevel inverter with a coupled inductor. **IEEE Access**, 13, p. 40671-40681, 2025.
- ANAND, V. P.; KHAN, M. M.; AMEEN, E.; AMUTHAN, V. *et al.* Performance improvement of solar module system using flat plate reflectors. *In: IEEE International Conference on Advances in Electrical Engineering (ICAEE)*, 2014, Vellore, India. p. 1-4. DOI: 10.1109/ICAEE.2014.6838547.
- ANTUNES, F. L. M.; BRAGA, H. A. C.; BARBI, I. Application of a generalized current multilevel cell to current-source inverters. **IEEE Transactions on Industrial Electronics**, 46, n. 1, p. 31-38, 1999.
- ARAÚJO, S. V.; ENGLER, A.; SAHAN, B.; ANTUNES, F. L. M. LCL filter design for grid-connected NPC inverters in offshore wind turbines. *In: IEEE International Conference on Power Electronics*, 7., 2007, Daegu, Korea (South). p. 1133-1138. DOI: 10.1109/ICPE.2007.4692556.
- AZMI, S. A.; AHMED, K. H.; FINNEY, S. J.; WILLIAMS, B. W. Comparative analysis between voltage and current source inverters in grid-connected application. *In: IET Conference on Renewable Power Generation (RPG)*, 2011, Edinburgh. 6-8 Sept. 2011. p. 1-6. DOI: 10.1049/cp.2011.0138.
- BABAEI, E. A cascade multilevel converter topology with reduced number of switches. **IEEE Transactions on Power Electronics**, 23, n. 6, p. 2657-2664, 2008.
- BABAEI, E.; BUCCELLA, C.; SAEEDIFARD, M. Recent advances in multilevel inverters and their applications—Part I. **IEEE Transactions on Industrial Electronics**, 63, n. 11, p. 7145-7147, 2016a.
- BABAEI, E.; BUCCELLA, C.; SAEEDIFARD, M. Recent advances in multilevel inverters and their applications—Part II. **IEEE Transactions on Industrial Electronics**, 63, n. 12, p. 7777-7779, 2016b.
- BABAEI, E.; HOSSEINI, S. H. New cascaded multilevel inverter topology with minimum number of switches. **Energy Conversion and Management**, 50, n. 11, p. 2761-2767, 2009.
- BAI, Z.; ZHANG, Z. Conformation of multilevel current source converter topologies using the duality principle. **IEEE Transactions on Power Electronics**, 23, p. 2260-2267, 2008.
- BAI, Z.; ZHANG, Z.; ZHANG, Y. A generalized three-phase multilevel current source inverter with carrier phase-shifted SPWM. *In: IEEE Power Electronics Specialists Conference*, 2007, Orlando, FL, USA. 17-21 June 2007. p. 2055-2060. DOI: 10.1109/PESC.2007.4342322.
- BAKER, R. H. High-voltage converter circuit. United States: Massachusetts Institute of Technology. US 4,203,151 A 1980.
- BAKER, R. H.; BANNISTER, L. H. Electric power converter. United States: Massachusetts Institute of Technology. US 3,867,643 A 1975.

- BALESTERO, J. P. R.; SANTELO, T. N.; DE SEIXAS, F. J. M.; BASCOPE, G. V. T. Buck PWM dc-to-dc converter with three-state switching cell. *In: Recife-PE: COBEP congress, 2005.*
- BALESTERO, J. P. R.; TOFOLI, F. L.; TORRICO-BASCOPE, G. V.; SEIXAS, F. J. M. d. A DC-DC converter based on the three-state switching cell for high current and voltage step-down applications. **IEEE Transactions on Power Electronics**, 28, n. 1, p. 398-407, 2013.
- BARBI, I.; MARTINS, D. C. *Conversores CC-CC básicos não isolados*. Florianópolis: Edição dos Autores, 2000.
- BARBOSA, E. J.; JUNIOR, V. M. C.; FREITAS, R. A.; FERNANDES, T. A. *et al.* Coupled-inductor-based dc-ac multilevel converter with reduced number of switches. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, 12, n. 3, p. 2470-2480, 2024.
- BARBOSA, P.; STEIMER, P.; STEINKE, J.; WINKELNKEMPER, M. *et al.* Active-neutral-point-clamped (ANPC) multilevel converter technology. *In: IEEE European Conference on Power Electronics and Applications, 2005, Dresden, Germany.* DOI: 10.1109/EPE.2005.219713.
- BARRETO, L. H. S. C.; PRAÇA, P. P.; OLIVEIRA, D. S.; SILVA, R. N. A. L. High-voltage gain boost converter based on three-state commutation cell for battery charging using PV panels in a single conversion stage. **IEEE Transactions on Power Electronics**, 29, n. 1, p. 150-158, 2014.
- BASCOPE, G. V. T.; BARBI, I. Generation of a family of non-isolated DC-DC PWM converters using new three-state switching cells. *In: 2000 IEEE 31st Annual Power Electronics Specialists Conference. Conference Proceedings (Cat. No.00CH37018), 2000, 2. 23-23 June 2000.* p. 858-863 vol.852. DOI: 10.1109/PESC.2000.879927.
- BASCOPE, R. P. T.; BASCOPE, G. V. T.; BRITO JR, F. J. B.; DAHER, S. Multi-state and interleaved converters with passive impedances for current sharing. **Eletrônica de Potência**, 19, n. 3, p. 252 - 259, 2014.
- BASCOPE, R. P. T.; NETO, J. A. F.; BASCOPE, G. V. T. Multi-state commutation cells to increase current capacity of multi-level inverters. *In: 2011 IEEE 33rd International Telecommunications Energy Conference (INTELEC), 2011, 9-13 Oct. 2011.* p. 1-9. DOI: 10.1109/INTLEC.2011.6099806.
- BLAABJERG, F.; CHEN, Z.; KJAER, S. B. Power electronics as efficient interface in dispersed power generation systems. **IEEE Transactions on Power Electronics**, 19, n. 5, p. 1184-1194, 2004.
- BRAGA, H. A. C.; BARBI, I. A new technique for parallel connection of commutation cells: analysis, design, and experimentation. **IEEE Transactions on Power Electronics**, 12, n. 2, p. 387-395, 1997.
- BRUCKNER, T.; BEMET, S. Loss balancing in three-level voltage source inverters applying active NPC switches. *In: IEEE Annual Power Electronics Specialists Conference (IEEE Cat. No. 01CH37230), 32., 2001, Vancouver, BC, Canada. 2.* p. 1135-1140.
- CACAU, R. G. d. A.; TORRICO-BASCOPE, R. P.; NETO, J. A. F.; TORRICO-BASCOPE, G. V. Five-level T-type inverter based on multistate switching cell. **IEEE Transactions on Industry Applications**, 50, n. 6, p. 3857-3866, 2014.
- CALAIS, M.; BORLE, L. J.; AGELIDIS, V. G. Analysis of multicarrier PWM methods for a single-phase five level inverter. *In: IEEE Annual Power Electronics Specialists Conference (IEEE Cat. No. 01CH37230), 32., 2001, Vancouver, BC, Canada. 3.* p. 1351-1356.

- CÂMARA, R. A. d.; CRUZ, C. M. T.; TORRICO-BASCOPE, R. P. Retificador boost baseado na célula de comutação de três estados para aplicações em nobreaks. **Eletrônica de Potência**, p. 275-283, 2010.
- CAMARGO, R. F.; BOTTERÓN, F.; PINHEIRO, H.; GRÜNDLING, H. A. *et al.* Discrete control of three-phase four-leg PWM inverter. *In: IEEE PES Conf. Rec.*, 2002, IEEE
- CAPELLA, G. J.; POU, J.; CEBALLOS, S.; ZARAGOZA, J. *et al.* Current-balancing technique for interleaved voltage source inverters with magnetically coupled legs connected in parallel. **IEEE Transactions on Industrial Electronics**, 62, n. 3, p. 1335-1344, 2015.
- CEGLIA, G.; GUZMAN, V.; SANCHEZ, C.; IBANEZ, F. *et al.* A new simplified multilevel inverter topology for DC-AC conversion. **IEEE Transactions on Power Electronics**, 21, n. 5, p. 1311-1319, 2006.
- CHOUDHARY, A.; KUMAR, R.; LETHA, S. S.; BAKHSH, F. I. *et al.* Review of recent trends of advancements in multilevel inverter topologies with reduced power switches and control techniques. **IET Power Electronics**, 2024.
- COLLI, V. D.; CANCELLIERE, P.; MARIGNETTI, F.; STEFANO, R. D. Voltage control of current source inverters. **IEEE Transactions on Energy Conversion**, 21, n. 2, p. 451-458, 2006.
- CORZINE, K. A.; BAKER, J. R. Multi-level voltage-source duty-cycle modulation: analysis and implementation. *In: Conference Record of the 2001 IEEE Industry Applications Conference. 36th IAS Annual Meeting (Cat. No. 01CH37248)*, 2001, 4. IEEE, p. 2352-2359.
- COSTA, A. E. L. d.; JACOBINA, C. B.; ROCHA, N.; SILVA, E. R. C. d. *et al.* A four-switch five-level inverter. **IEEE Transactions on Industrial Electronics**, 68, n. 12, p. 12109-12118, 2021.
- DOWELL, P. L. Effects of eddy currents in transformer windings. **Proceedings of the Institution of Electrical Engineers**, 113, n. 8, p. 1387-1394, 1966/08/01 1966.
- ERICKSON, R. W.; MAKSIMOVIC, D. *Fundamentals of power electronics*. Springer Science & Business Media, 2007.
- EWANCHUK, J.; SALMON, J.; VAFAKHAH, B. A five-/nine-level twelve-switch neutral-point-clamped inverter for high-speed electric drives. **IEEE Transactions on Industry Applications**, 47, n. 5, p. 2145-2153, 2011.
- FERREIRA, M. B.; OLIVEIRA, E. L.; MACIEL, W. H.; BRAGA, H. A. C. 3SSC inverter applied to a photovoltaic system. *In: 6th IEEE Workshop on the Electronic Grid (eGRID)*, 2021, p. 1-8. DOI: 10.1109/eGRID52793.2021.9662154.
- FLORICAU, D.; FLORICAU, E.; GATEAU, G. New multilevel converters with coupled inductors: properties and control. **IEEE Transactions on Industrial Electronics**, 58, n. 12, p. 5344-5351, 2011.
- FOREST, F.; GELIS, B.; HUSELSTEIN, J. J.; COUGO, B. *et al.* Design of a 28 V-to-300 V/12 kW multicell interleaved flyback converter using intercell transformers. **IEEE Transactions on Power Electronics**, 25, n. 8, p. 1966-1974, 2010.
- FOREST, F.; LABOURÉ, E.; MEYNARD, T. A.; SMET, V. Design and comparison of inductors and intercell transformers for filtering of PWM inverter output. **IEEE Transactions on Power Electronics**, 24, n. 3, p. 812-821, 2009.
- FRANQUELO, L. G.; RODRIGUEZ, J.; LEON, J. I.; KOURO, S. *et al.* The age of multilevel converters arrives. **IEEE Industrial Electronics Magazine**, 2, n. 2, p. 28-39, 2008.

- FREELAND, S. Techniques for the practical application of duality to power circuits. **IEEE Transactions on Power Electronics**, 7, n. 2, p. 374-384, 1992.
- GAUTAM, S. P.; SAHU, L. K.; GUPTA, S. Reduction in number of devices for symmetrical and asymmetrical multilevel inverters. **IET Power Electronics**, 9, n. 4, p. 698-709, 2016.
- GNANASAMBANDAM, K.; RATHORE, A. K.; EDPUGANTI, A.; SRINIVASAN, D. *et al.* Current-fed multilevel converters: an overview of circuit topologies, modulation techniques, and applications. **IEEE Transactions on Power Electronics**, 32, n. 5, p. 3382-3401, 2016.
- GOMES, A. C.; MACIEL, W. H.; VICENTE, E. M.; VICENTE, P. d. S. *et al.* Development of a small-signal model for the DC-DC buck converter based on the three-state switching cell. **IEEE Latin America Transactions**, 17, n. 04, p. 573-581, 2019.
- GRUNOW, P.; LUST, S.; SAUTER, D.; HOFFMANN, V. *et al.* Weak light performance and annual yields of PV modules and systems as a result of the basic parameter set of industrial solar cells. *In: 19th European Photovoltaic Solar Energy Conference*, 2004, sn, 2190-2193.
- GUPTA, K. K.; JAIN, S. Comprehensive review of a recently proposed multilevel inverter. **IET Power Electronics**, 7, n. 3, p. 467-479, 2014/03/01 2014.
- GUPTA, K. K.; RANJAN, A.; BHATNAGAR, P.; SAHU, L. K. *et al.* Multilevel inverter topologies with reduced device count: a review. **IEEE Transactions on Power Electronics**, 31, n. 1, p. 135-151, 2016.
- HART, D. W. *Power electronics*. 1st ed. New York: McGraw-Hill, 2010.
- HOFFMANN, V. G.; ZIMANN, F. J.; RECH, C.; BATSCHAUER, A. L. Desenvolvimento de um inversor ANPC de 5 níveis de tensão utilizando célula de comutação multiestado. **Eletrônica de Potência**, 30, p. e202540, 07/15 2025.
- HOLMES, D. G.; LIPO, T. A. *Pulse width modulation for power converters: principles and practice*. John Wiley & Sons, 2003.
- HU, Y.; XIE, Y.; FU, D.; CHENG, L. A new single-phase π -type 5-level inverter using 3-terminal switch-network. **IEEE Transactions on Industrial Electronics**, 63, n. 11, p. 7165-7174, 2016.
- HURLEY, W. G.; WOLFLE, W. H.; BRESLIN, J. G. Optimized transformer design: inclusive of high-frequency effects. **IEEE Transactions on Power Electronics**, 13, n. 4, p. 651-659, 1998.
- IRENA. *Renewable energy statistics 2025*. The international renewable energy agency, Abu Dhabi. 2025.
- KHAN, A. A.; EBERLE, W.; WANG, L.; AKBAR, F. *et al.* Coupled-inductor buck-boost inverter with reduced current ripple. **IEEE Transactions on Power Electronics**, 35, n. 8, p. 7933-7946, 2020.
- KOURO, S.; MALINOWSKI, M.; GOPAKUMAR, K.; POU, J. *et al.* Recent advances and industrial applications of multilevel converters. **IEEE Transactions on Industrial Electronics**, 57, n. 8, p. 2553-2580, 2010.
- KUMARI, S.; VERMA, A. K.; N, S.; YARAGATTI, U. R. *et al.* An eight-switch five-level inverter with zero leakage current. **IET Power Electronics**, 14, n. 3, p. 590-601, 2021.
- LEE, S.-H.; SONG, S.-G.; PARK, S.-J.; MOON, C.-J. *et al.* Grid-connected photovoltaic system using current-source Inverter. *Solar Energy*, 82, p. 411-419, 2008. p. 5. DOI: 10.1016/j.solener.2007.10.006.

- LEON, J. I.; PORTILLO, R.; FRANQUELO, L. G.; VAZQUEZ, S. *et al.* New space vector modulation technique for single-phase multilevel converters. *In: IEEE International Symposium on Industrial Electronics*, 2007, Vigo, Spain. p. 617-622. DOI: 10.1109/ISIE.2007.4374667.
- LESNICAR, A.; MARQUARDT, R. An innovative modular multilevel converter topology suitable for a wide power range. *In: IEEE Bologna Power Tech Conference Proceedings*, 2003, Bologna, Italy. 3. p. 6.
- LI, Z.; WANG, P.; LI, Y.; GAO, F. A novel single-phase five-level inverter with coupled inductors. **IEEE Transactions on Power Electronics**, 27, n. 6, p. 2716-2725, 2012.
- LINDEMANN, A. A new IGBT with reverse blocking capability. *In: EPE European Conference on Power Electronics and Applications*, 2001, Graz, Austria. p. 27-29.
- LUONG, H.-T.; NGUYEN, M.-K.; TRAN, T.-T. Single-phase five-level Z-source T-type inverter. **IET Power Electronics**, 11, n. 14, p. 2367-2376, 2018.
- MARTINS, D. C.; BARBI, I. *Eletrônica de potência: introdução ao estudo dos conversores CC-CA*. Edição dos Autores, 2008.
- MASSON, G.; KAIZUKA, I.; BOSCH, E.; PLAZA, C. *et al.* *Trends in photovoltaic applications*. IEA PVPS TCP, 2022.
- MCLYMAN, W. T. Transformer and Inductor Design Handbook, 3rd Ed. **IEEE Electrical Insulation Magazine**, 21, p. 61-61, January 01, 2005 2005.
- MCMURRAY, W. Fast response stepped-wave switching power converter circuit. : Google Patents 1971.
- MEYNARD, T. A.; FOCH, H. Multi-level conversion: high voltage choppers and voltage-source inverters. *In: IEEE PESC'92 Record. Annual IEEE Power Electronics Specialists Conference*, 23., 1992, Toledo, Spain. p. 397-403.
- MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. *Power electronics: converters, applications, and design*. 3. ed. ed. New York: John wiley & sons, 2003.
- MOHR, M.; FUCHS, F. W. Comparison of three phase current source inverters and voltage source inverters linked with DC to DC boost converters for fuel cell generation systems. *In: IEEE European Conference on Power Electronics and Applications*, 2005, Dresden, Germany. p. 10. DOI: 10.1109/EPE.2005.219458.
- MUNAWAR, S.; IQBAL, M. S.; ADNAN, M.; AKBAR, M. A. *et al.* Multilevel inverters design, topologies, and applications: research issues, current, and future directions. **IEEE Access**, 12, p. 149320-149350, 2024.
- NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped PWM inverter. **IEEE Transactions on Industry Applications**, IA-17, n. 5, p. 518-523, 1981.
- NAITO; TAKEI; NEMOTO; HAYASHI *et al.* 1200V reverse blocking IGBT with low loss for matrix converter. *In: IEEE Proceedings of the International Symposium on Power Semiconductor Devices and IC's*, 16., 2004, Kitakyushu, Japan. DOI: 10.1109/wct.2004.239842.
- NASCIMENTO, A. J. P.; MENEZES, B. F. d.; MESQUITA, S. J. d.; COSTA, K. R. *et al.* Bidirectional isolated asymmetrical multilevel inverter. **IEEE Transactions on Circuits and Systems II: Express Briefs**, 70, n. 1, p. 151-155, 2023.
- NETO, J. A. F.; BASCOPE, R. P. T.; CRUZ, C. M.; CACAU, R. G. A. *et al.* Comparative evaluation of three single-phase NPC inverters. *In: 2012 10th IEEE/IAS International*

Conference on Industry Applications, 2012, 5-7 Nov. 2012. p. 1-8. DOI: 10.1109/INDUSCON.2012.6453691.

NIK ISMAIL, N. F.; RAHIM, N. A.; SHEIKH RAIHAN, S. R.; AL-TURKI, Y. Parallel inductor multilevel current source inverter with energy-recovery scheme for inductor currents balancing. **IET Power Electronics**, 9, n. 11, p. 2298-2304, 2016.

OMER, P.; KUMAR, J.; SURJAN, B. S. A review on reduced switch count multilevel inverter topologies. **IEEE Access**, 8, p. 22281-22302, 2020.

PACHECO, J. O.; CACAU, R. G. A.; BRITO, F. J. B.; TORRICO-BASCOPE, R. P. AC-DC cuk converter with PFC based on three-state switching cell. In: *2013 Brazilian Power Electronics Conference*, 2013, 27-31 Oct. 2013. p. 15-22. DOI: 10.1109/COBEP.2013.6785089.

PAJNIĆ, M.; PEJOVIĆ, P.; ALEKSIĆ, O. Design and analysis of a novel coupled inductor structure with variable coupling coefficient. **IET Power Electronics**, 11, n. 6, p. 961-967, 2018/05/01 2018.

PENG, F. Z. A generalized multilevel inverter topology with self voltage balancing. **IEEE Transactions on Industry Applications**, 37, n. 2, p. 611-618, 2001.

PERAÇA, M. T. *Conversores utilizando células de comutação de quatro estados*. 2008. Tese (Doutorado em Engenharia Elétrica) - Centro Tecnológico, Universidade Federal de Santa Catarina, Santa Catarina. Disponível em: <https://repositorio.ufsc.br/xmlui/handle/123456789/91188>.

PERAÇA, M. T.; BARBI, I. The generation of DC-DC converters using new three-terminal multiple-state cells. In: *IEEE Power Electronics Specialists Conference*, 36., 2005, Dresden, Germany. p. 2657-2663. DOI: 10.1109/PESC.2005.1582008.

PERAÇA, M. T.; BARBI, I. Three-level half-bridge inverter based on the three-state switching cell. In: *IEEE/IAS International Conference on Industry Applications (VI INDUSCON)*, 2006, p. 1-8.

PERAÇA, M. T.; BARBI, I. Four-level half-bridge inverter based on the Y- Δ four-state switching cell. In: *9th. Brazilian Power Electron. Conf.(COBEP 2007)*, 2007, p. 907-912.

PERAÇA, M. T.; BATISTA, F. A. B.; MARCELINO, L. M. Inversor de cinco níveis baseado na célula de comutação de três estados. In: *2010 9th IEEE/IAS International Conference on Industry Applications - INDUSCON 2010*, 2010, 8-10 Nov. 2010. p. 1-6. DOI: 10.1109/INDUSCON.2010.5739993.

PINHEIRO, H.; BOTTERÓN, F.; RECH, C.; SCHUCH, L. *et al.* Modulação space vector para inversores alimentados em tensão: uma abordagem unificada. *Sba Controle & Automação Sociedade Brasileira de Automatica*, 16, p. 13-24, 2005. DOI: 10.1590/S0103-17592005000100002.

RASHID, M. H. *Power electronics handbook: devices, circuits, and applications*. 4 ed. Pensacola, USA: Butterworth-heinemann, 2017.

RODRIGUEZ, J.; FRANQUELO, L. G.; KOURO, S.; LEON, J. I. *et al.* Multilevel converters: an enabling technology for high-power applications. *Proceedings of the IEEE*, 97, p. 1786-1817, 2009. p. 11. DOI: 10.1109/JPROC.2009.2030235.

RODRIGUEZ, J.; LAI, J.-S.; PENG, F. Z. Multilevel inverters: a survey of topologies, controls, and applications. **IEEE Transactions on Industrial Electronics**, 49, n. 4, p. 724-738, 2002.

ROUTIMO, M.; SALO, M.; TUUSA, H. Comparison of voltage-source and current-source

- shunt active power filters. **IEEE Transactions on Power Electronics**, 22, n. 2, p. 636-643, 2007.
- SALEM, A.; KHANG, H. V.; ROBBERSMYR, K. G.; NORAMBUENA, M. *et al.* Voltage source multilevel inverters with reduced device count: topological review and novel comparative factors. **IEEE Transactions on Power Electronics**, 36, n. 3, p. 2720-2747, 2021.
- SALMON, J.; KNIGHT, A. M.; EWANCHUK, J. Single-phase multilevel PWM inverter topologies using coupled inductors. **IEEE Transactions on Power Electronics**, 24, n. 5, p. 1259-1266, 2009.
- SANTELO, T. N.; BALESTERO, J. P. R.; SEIXAS, F. J. M. d.; BASCOPE, G. V. T. Three-state switching cell for single-stage PFC rectifier. *In: Proc. Global Congress on Engineering and Technology Education*, 2005, p. 1521-1525.
- SHANONO, I. H.; ABDULLAH, N. R. H.; MUHAMMAD, A. A survey of multilevel voltage source inverter topologies, controls, and applications. **International Journal of Power Electronics and Drive Systems (IJPEDS)**, 2018.
- SUBRAMANIAN, N.; STONIER, A. A. An extensive investigation on intelligent-based control techniques for the performance improvement in multilevel inverters. **IEEE Access**, 13, p. 103329-103357, 2025.
- SUROSU, T. N. Review of novel multilevel current-source inverters with H-bridge and common-emitter based topologies. *In: IEEE Energy Conversion Congress and Exposition*, 2010, Atlanta, GA, USA. p. 4006-4011. DOI: 10.1109/ECCE.2010.5617804.
- SUROSU, T. N. Novel H-bridge multilevel current-source PWM inverter with inductor-cells. *In: IEEE Conference Proceedings IPEC*, 2011, Singapore. 27-29 Oct. 2010. p. 445-450. DOI: 10.1109/IPECON.2010.5697037.
- SUROSU, T. N. Multilevel current waveform generation using inductor cells and H-bridge current-source inverter. **IEEE Transactions on Power Electronics**, 27, n. 3, p. 1090-1098, 2012.
- TAKONGMO, M.; ZHANG, C.; SALMON, J. Coupled inductors for high-frequency drives with parallel-connected inverter legs. **IEEE Transactions on Power Electronics**, 37, n. 6, p. 7055-7066, 2022.
- TOFOLI, F. L.; TAVARES, D. d. A.; SALDANHA, J. I. d. A. Survey on topologies based on the three-state and multi-state switching cells. **IET Power Electronics**, 12, n. 5, p. 967-982, 2019/05/01 2019.
- TOLBERT, L. M.; PENG, F. Z.; HABETLER, T. G. Multilevel PWM methods at low modulation indices. **IEEE Transactions on Power Electronics**, 15, n. 4, p. 719-725, 2000.
- TOMASZUK, A.; KRUPA, A. Step-up DC/DC converters for photovoltaic applications—theory and performance. **Electrical Review**, 89, p. 51-57, 2013.
- TORRICO-BASCOPE, G. V. *Nova família de conversores CC-CC PWM não isolados utilizando células de comutação de três estados*. 2001. Tese (Doutorado) - Centro Tecnológico, Universidade Federal de Santa Catarina, Florianópolis, Brasil.
- TORRICO-BASCOPE, G. V.; BARBI, I. Generation of a family of non-isolated DC-DC PWM converters using new three-state switching cells. *In: IEEE Annual Power Electronics Specialists Conference. Conference Proceedings (Cat. No.00CH37018)*, 31., 2000, Galway, Ireland. 2. 23 June 2000. p. 858-863. DOI: 10.1109/PESC.2000.879927.
- TYMERSKI, R.; VORPERIAN, V. Generation and classification of PWM DC-to-DC

- converters. **IEEE Transactions on Aerospace and Electronic Systems**, 24, n. 6, p. 743-754, 1988.
- UEDA, F.; MATSUI, K.; ASAO, M.; TSUBOI, K. Parallel-connections of pulsewidth modulated inverters using current sharing reactors. **IEEE Transactions on Power Electronics**, 10, n. 6, p. 673-679, 1995.
- VÁZQUEZ, N.; LÓPEZ, H.; HERNÁNDEZ, C.; VÁZQUEZ, E. *et al.* A different multilevel current-source inverter. **IEEE Transactions on Industrial Electronics**, 57, n. 8, p. 2623-2632, 2010.
- VEERESH, H.; KUSAGUR, A. ZCS/ZVS push pull DC-DC converter. **International Journal of Latest Technology in Engineering**, 4, p. 73-79, 2015.
- WITULSKI, A. F. Introduction to modeling of transformers and coupled inductors. **IEEE Transactions on Power Electronics**, 10, n. 3, p. 349-357, 1995.
- YANG, H.; LUO, H.; SUN, P.; LI, C. *et al.* Comprehensive analysis on carrier-based PWM modulations for advanced composited clamping five-level converter. *In: IEEE Applied Power Electronics Conference and Exposition-APEC*, 2014, Fort Worth, TX, USA. p. 2338-2343. DOI: 10.1109/APEC.2014.6803630.
- ZHANG, Z. C.; OOI, B. T. Multimodular current-source SPWM converters for a superconducting magnetic energy storage system. **IEEE Transactions on Power Electronics**, 8, n. 3, p. 250-256, 1993.
- ZHOU, W.; CHEN, Q.; LUO, D.; JIANG, R. *et al.* Global energy consumption analysis based on the three-dimensional network model. **IEEE Access**, 8, p. 76313-76332, 2020.
- ZHU, G.; MCDONALD, B. A.; WANG, K. Modeling and analysis of coupled inductors in power converters. **IEEE Transactions on Power Electronics**, 26, n. 5, p. 1355-1363, 2011.
- ZMOOD, D. N.; HOLMES, D. G. Improved voltage regulation for current-source inverters. **IEEE Transactions on Industry Applications**, 37, n. 4, p. 1028-1036, 2001.

Apêndice A - ALGORITMO DA MODULAÇÃO SVM PARA O INVERSOR VSI 5L-3SSC

A.1 Declaração de Variáveis

```
#define Vref Input(0)
/* Variáveis temporais */
static float ta, tb;
static int tempo_atual;
/* Variáveis de setor e vetor */
static int setor, vetor;
/* Parâmetros temporais */
static int p_simul = 10; // passo de simulação (0,1 µs)
static int Ts = 100; // período de comutação em µs
/* Matriz de vetores por setor */
static int V[4][5];
/* Vetor auxiliar para divisão temporal */
static float tmp[6];
/* Estados dos interruptores */
static int S1, S2, S3, S4, S5, S6;
/* Índice auxiliar */
static int i = 0;
```

A.2 Inicialização da Sequência de Comutação

```
tempo_atual = Ts;
/* Setor I */
V[0][0] = 1;
V[0][1] = 3;
V[0][2] = 2;
V[0][3] = 3;
V[0][4] = 1;
/* Setor II */
V[1][0] = 1;
V[1][1] = 0;
V[1][2] = 2;
V[1][3] = 0;
V[1][4] = 1;
/* Setor III */
V[2][0] = 5;
V[2][1] = 4;
V[2][2] = 6;
V[2][3] = 4;
V[2][4] = 5;
/* Setor IV */
V[3][0] = 5;
V[3][1] = 7;
V[3][2] = 6;
V[3][3] = 7;
V[3][4] = 5;
```

A.3 Identificação do Setor e Cálculo dos Tempos de Aplicação

```
if (tempo_atual >= Ts) { tempo_atual = 0;}
/*Identificação do setor conforme Vref normalizado em [-1,1]*/
if ((Vref < -0.5) && (Vref >= -1)) {
    setor = 3;
```

```

    ta = -Ts * (1 + 2 * Vref);
    tb = 2 * Ts * (1 + Vref);
    S5 = 1;
    S6 = 0;}
else if ((Vref >= -0.5) && (Vref < 0)) {
    setor = 2;
    ta = Ts * (1 + 2 * Vref);
    tb = -2 * Ts * Vref;
    S5 = 1;
    S6 = 0;}
else if ((Vref >= 0) && (Vref <= 0.5)) {
    setor = 0;
    ta = Ts * (1 - 2 * Vref);
    tb = 2 * Ts * Vref;
    S5 = 0;
    S6 = 1;}
else if ((Vref > 0.5) && (Vref <= 1)) {
    setor = 1;
    ta = -Ts * (1 - 2 * Vref);
    tb = 2 * Ts * (1 - Vref);
    S5 = 0;
    S6 = 1;}

```

A.4 Definição dos Intervalos Temporais

```

tmp[0] = 0;
tmp[1] = tb / 4;
tmp[2] = tmp[1] + ta / 2;
tmp[3] = tmp[2] + tb / 2;
tmp[4] = tmp[3] + ta / 2;
tmp[5] = Ts;

```

A.5 Seleção do Vetor Ativo e Conversão em Estados de Comutação

```

i = 0;
while (i < 5) {
    if ((tempo_atual >= tmp[i]) && (tempo_atual < tmp[i+1])) {
        vetor = V[setor][i];
        /* Conversão do vetor para estados das chaves */
        if (vetor == 0) { S1=1; S2=0; S3=1; S4=0; }
        if (vetor == 1) { S1=0; S2=1; S3=1; S4=0; }
        if (vetor == 2) { S1=1; S2=0; S3=0; S4=1; }
        if (vetor == 3) { S1=0; S2=1; S3=0; S4=1; }
        if (vetor == 4) { S1=1; S2=0; S3=1; S4=0; }
        if (vetor == 5) { S1=0; S2=1; S3=1; S4=0; }
        if (vetor == 6) { S1=1; S2=0; S3=0; S4=1; }
        if (vetor == 7) { S1=0; S2=1; S3=0; S4=1; }
        i = i + 1;}
tempo_atual = tempo_atual + p_simul;
/* Atualização das saídas */
Output(0) = S1;
Output(1) = S2;
Output(2) = S3;
Output(3) = S4;
Output(4) = S5;
Output(5) = S6;

```

Apêndice B - MONTAGEM E IMPLEMENTAÇÃO DO PROTÓTIPO EXPERIMENTAL

Este apêndice apresenta os aspectos construtivos e o processo de implementação do protótipo experimental do inversor VSI 5L-3SSC, com o objetivo de documentar os principais componentes utilizados, as etapas de montagem e a organização da bancada experimental. Essas informações têm caráter complementar aos resultados discutidos no corpo principal do trabalho e visam fornecer subsídios para a reprodutibilidade do sistema desenvolvido.

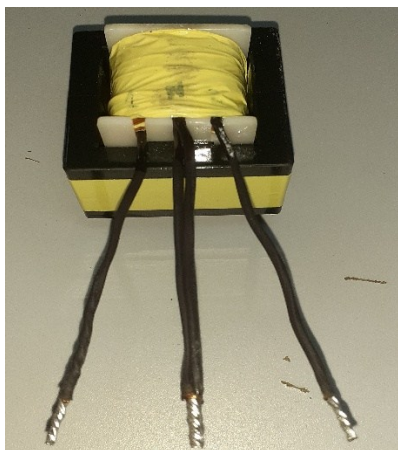
B.1 Componentes do Protótipo Experimental

A Figura 140 apresenta os principais componentes utilizados na implementação do protótipo experimental. Observam-se os dissipadores de calor com ventilação forçada, os módulos semicondutores de potência, bem como os circuitos eletrônicos auxiliares empregados no acionamento e condicionamento dos sinais de controle. Esses elementos constituem a base física do sistema experimental adotado nos ensaios apresentados.

Figura 140 – Componentes principais utilizados na implementação do protótipo experimental do inversor VSI 5L-3SSC.



(a) Dissipadores de calor P3/250 com ventilação forçada, módulos IGBT SKM150GM12T4G e circuitos de acionamento SKHI 23/17R.



(b) Autotransformador com núcleo NEE 65/33/39.



(c) Placa de controle Motherboard DSPMB_Launchxl_F28379D_V1 com kit LAUNCHXL-F28379D, baseada no DSP TMS320F28379D.

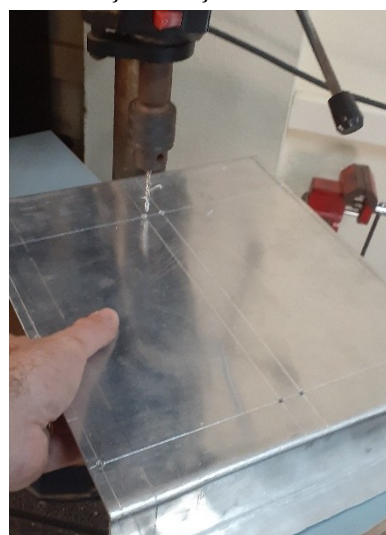
B.2 Montagem do Estágio de Potência

A Figura 141 apresenta a montagem inicial do estágio de potência, com a fixação dos módulos semicondutores sobre os dissipadores térmicos e a integração dos ventiladores de refrigeração forçada. Essa configuração assegura condições térmicas adequadas para a operação do inversor durante os ensaios experimentais. Os módulos de IGBTs foram acoplados aos dissipadores térmicos com aplicação de pasta de interface térmica de alto desempenho, conforme as recomendações dos fabricantes de módulos semicondutores. Essa prática reduz a resistência térmica de contato entre o encapsulamento dos dispositivos de potência e o dissipador, promovendo melhor transferência de calor para o conjunto de refrigeração e contribuindo para a operação térmica adequada durante os ensaios.

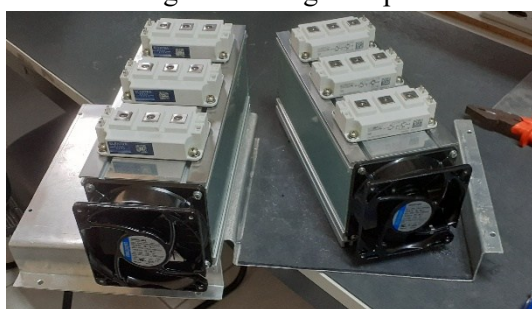
Figura 141 – Montagem do estágio de potência com os módulos semicondutores fixados aos dissipadores térmicos e sistema de ventilação forçada.



(a) Dissipadores de calor com ventilação forçada, um deles já usinado com furações, roscas e acabamento final para a montagem do estágio de potência.



(b) Preparação da chapa metálica utilizada na fixação conjunta dos dissipadores de calor e das placas de acionamento, envolvendo dobra, furação e acabamento.



(c) Montagem dos dissipadores de calor, com os módulos IGBTs previamente instalados, sobre a chapa metálica de suporte do estágio de potência.

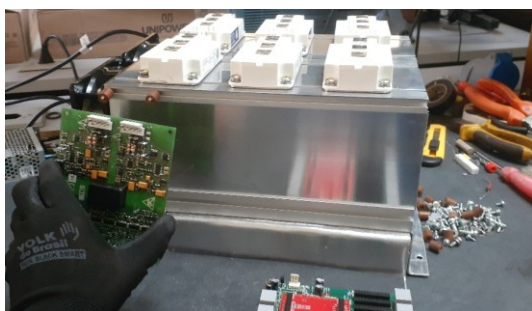


(d) Montagem final dos dissipadores de calor, com os módulos IGBTs instalados, sobre a chapa metálica de suporte do estágio de potência.

B.3 Integração das Placas de Acionamento e Controle

A integração entre o estágio de potência, os circuitos de acionamento dos dispositivos semicondutores de potência e a plataforma de controle digital foi realizada de modo a assegurar compatibilidade elétrica, robustez da interconexão e confiabilidade operacional do sistema. A Figura 142 apresenta o conjunto formado pelo estágio de potência, pelos circuitos de acionamento e pela placa de controle digital, ainda em configuração de bancada, previamente à conexão definitiva das cargas e da fonte de alimentação.

Figura 142 – Integração do estágio de potência com as placas de acionamento e a plataforma de controle digital do inversor VSI 5L-3SSC.



(a) Montagem e fixação dos circuitos de acionamento SKHI 23/17R, responsáveis pelo disparo dos módulos IGBTs do estágio de potência.



(b) Montagem da placa de controle DSPMB_Launchxl_F28379D_V1 sobre a chapa metálica de suporte, utilizando material isolante emborrachado para prevenção de curto-circuitos.

Os circuitos de acionamento empregados são baseados em circuitos de acionamento industriais SKHI 23/17R, montados diretamente junto ao estágio de potência, permitindo reduzido comprimento das interconexões com os módulos IGBT e adequada imunidade a interferências eletromagnéticas. A plataforma de controle digital utilizada disponibiliza os sinais PWM por meio de conectores RJ45, empregando buffers de coletor aberto com transmissão dos sinais em corrente, arquitetura originalmente destinada ao acionamento direto de LEDs de optoacopladores.

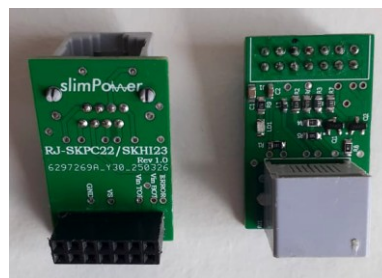
Entretanto, os circuitos de acionamento SKHI 23/17R apresentam entradas em nível lógico de tensão, selecionáveis em 5 V ou 15 V, não sendo compatíveis com excitação direta por sinais transmitidos em corrente. Dessa forma, foi desenvolvida e empregada uma placa adaptadora de interface, responsável pela conversão dos sinais PWM transmitidos em corrente para sinais em tensão compatíveis com as entradas dos circuitos de acionamento, bem como

pela adequação física da interconexão entre a plataforma de controle digital e os circuitos de acionamento. A Figura 143 ilustra a conexão da placa adaptadora ao circuito de acionamento, evidenciando a solução adotada para a interface entre controle e potência.

Figura 143 – Conexão da placa adaptadora de interface aos circuitos de acionamento SKHI 23/17R.



(a) Conexão da placa adaptadora ao conector de entrada do circuito de acionamento.



(b) Placa adaptadora de interface RJ45 para interligação entre a plataforma de controle digital e o circuito de acionamento.

Além da adequação da interface de sinais, foram realizadas configurações específicas nos circuitos de acionamento de modo a atender às condições de operação do protótipo experimental. O tempo de intertravamento entre os interruptores complementares foi ajustado por meio da seleção dos resistores associados aos pinos de configuração do interlock, resultando em um tempo morto aproximado de $4 \mu\text{s}$, valor compatível com os tempos de comutação dos dispositivos empregados e suficiente para evitar condução simultânea. Esse ajuste foi realizado a partir da configuração padrão de fábrica, assegurando operação segura sem introduzir penalidades excessivas nas perdas de comutação.

Adicionalmente, os circuitos de acionamento foram configurados de acordo com a topologia recomendada para módulos IGBT duplos, garantindo compatibilidade elétrica com o arranjo do estágio de potência e adequado fornecimento de corrente de gate durante os processos de comutação. Essas adaptações contribuem para a correta operação dos dispositivos semicondutores e para a repetibilidade dos ensaios experimentais realizados.

B.4 Montagem Final e Preparação para os Ensaios

Após a conclusão da montagem do estágio de potência e da integração das placas de acionamento e controle, procedeu-se à organização final do protótipo experimental em bancada, de modo a viabilizar a realização dos ensaios experimentais em condições controladas. Nesta etapa, foram implementados o cabeamento definitivo de potência, as conexões de comando provenientes da plataforma de controle digital e a instrumentação necessária para aquisição das

grandezas elétricas do conversor.

A disposição dos elementos em bancada foi definida com o objetivo de assegurar adequada separação física entre os circuitos de potência e de controle, reduzir a influência de interferências eletromagnéticas e facilitar o acesso aos pontos de medição durante os ensaios. O arranjo final contempla o estágio de potência montado sobre os dissipadores com ventilação forçada, a plataforma de controle digital, os circuitos de acionamento, a fonte de alimentação auxiliar e os dispositivos de instrumentação empregados na caracterização experimental.

A Figura 144 apresenta a configuração final do protótipo do inversor montado em bancada, já com o cabeamento de potência e conexões de comando. Essa configuração foi empregada na realização dos testes sob cargas resistiva e resistiva-indutiva.

Figura 144 – Protótipo do inversor VSI 5L-3SSC montado em bancada, com cabeamento de potência e comando para os ensaios experimentais.

