

Universidade Federal de Juiz de Fora
Faculdade de Engenharia
Programa de Pós-Graduação em Engenharia Elétrica

Luiz Antônio Corrêa Júnior

**Sistema para Geração de Modelos Caixa Preta de Amplificadores de
Potência de RF**

Juiz de Fora

2024

Luiz Antônio Corrêa Júnior

**Sistema para Geração de Modelos Caixa Preta de Amplificadores de
Potência de RF**

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Juiz de Fora, na área de concentração em Engenharia de Telecomunicações, como requisito parcial para obtenção do título de Doutor em Engenharia Elétrica.

Orientador: Daniel Discini Silveira

Coorientador: Ulysses Roberto Chaves Vitor

Juiz de Fora

2024

Ficha catalográfica elaborada através do Modelo Latex do CDC da UFJF
com os dados fornecidos pelo(a) autor(a)

Corrêa Júnior, Luiz Antônio.

Sistema para Geração de Modelos Caixa Preta de Amplificadores de
Potência de RF / Luiz Antônio Corrêa Júnior. – 2024.

79 f. : il.

Orientador: Daniel Discini Silveira

Coorientador: Ulysses Roberto Chaves Vitor

Tese de Doutorado – Universidade Federal de Juiz de Fora, Faculdade
de Engenharia. Programa de Pós-Graduação em Engenharia Elétrica, 2024.

1. Identificação de Sistemas. 2. Amplificadores de Potência. 3. FPGA.
I. Discini Silveira, Daniel, Sistema para Geração de Modelos Caixa Preta
de Amplificadores de Potência de RF

Luiz Antônio Corrêa Júnior

**Sistema para Geração de Modelos Caixa Preta de Amplificadores de
Potência de RF**

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Juiz de Fora, na área de concentração em Engenharia de Telecomunicações, como requisito parcial para obtenção do título de Doutor em Engenharia Elétrica.

Aprovada em:

Luiz Antônio Corrêa Júnior

Sistema para Geração de Modelos Caixa Preta de Amplificadores de Potência de RF

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Juiz de Fora como requisito parcial à obtenção do título de Doutor em Engenharia Elétrica. Área de concentração: Sistemas Eletrônicos

Aprovada em 19 de agosto de 2024.

BANCA EXAMINADORA

Prof. Dr. Daniel Discini Silveira - Orientador

Universidade Federal de Juiz de Fora

Prof. Dr. Ulysses Roberto Chaves Vitor - Coorientador

Universidade Federal de Juiz de Fora

Prof. Dr. Álvaro Augusto Machado de Medeiros

Universidade Federal de Juiz de Fora

Prof. Dr. Alexandre Bessa dos Santos

Universidade Federal de Juiz de Fora

Profa. Dra. Úrsula Do Carmo Resende

Centro Federal de Educação Tecnológica de Minas Gerais

Prof. Dr. Marcelo Eduardo Vieira Segatto

Universidade Federal do Espírito Santo

Juiz de Fora, 12/07/2024.



Documento assinado eletronicamente por **URSULA DO CARMO RESENDE RESENDE, Usuário Externo**, em 19/08/2024, às 16:28, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Marcelo Eduardo Vieira Segatto, Usuário Externo**, em 19/08/2024, às 16:29, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Daniel Discini Silveira, Professor(a)**, em 19/08/2024, às 16:29, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Ulysses Roberto Chaves Vitor, Professor(a)**, em 19/08/2024, às 16:30, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Alvaro Augusto Machado de Medeiros, Professor(a)**, em 19/08/2024, às 16:31, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Alexandre Bessa dos Santos, Professor(a)**, em 19/08/2024, às 16:32, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



A autenticidade deste documento pode ser conferida no Portal do SEI-Ufjf (www2.ufjf.br/SEI) através do ícone Conferência de Documentos, informando o código verificador **1858734** e o código CRC **4F70A129**.

AGRADECIMENTOS

Primeiramente, agradeço a Deus, que pela interseção de Nossa Senhora Aparecida, padroeira do Brasil, me abençoa e abençoou durante essa trajetória.

Aos meus pais, Luiz e Imaculada, todo o meu agradecimento. Eles sempre acreditaram em mim, e durante toda a minha trajetória acadêmica me apoiaram e nunca me deixaram sozinho. Aos meus irmãos, Rodrigo e Lincoln, que sempre me apoiaram nos momentos em que eu precisava.

A minha amada esposa, Ana, que esteve ao meu lado durante o mestrado e o doutorado, me dando todo o seu apoio, sem o qual, a minha caminhada seria mais difícil. Ao meu filho, Luiz Eduardo, que deixou a minha trajetória mais leve.

Minha gratidão especial ao meu orientador, Prof. Dr. Daniel Discini. Obrigado por sua dedicação e profissionalismo. Também ao meu coorientador Prof. Dr. Ulysses Roberto. Que foi de grande importância para conclusão deste trabalho.

Gostaria de agradecer também ao Programa de Pós-graduação em Engenharia Elétrica da Universidade Federal de Juiz de Fora (PPEE/UFJF) pelo apoio para a realização desse projeto.

“O homem precisa de conhecimento, precisa de verdade, porque sem ela não se mantém de pé, não caminha. Sem verdade, a fé não salva, não torna seguros os nossos passos.”
(V.S. Papa Francisco, Lumen Fidei, 2013)

RESUMO

Esta tese, desenvolvida no âmbito do programa de pós-graduação em Engenharia Elétrica da UFJF, descreve um sistema implementado em FPGA de baixo custo para a avaliação de Amplificadores de Potência. Descreve também uma plataforma capaz de realizar a estimação de alterações induzidas no canal. FPGAs possuem elevada velocidade e, as de menor custo, possuem uma memória limitada. Este trabalho tem como objetivo a construção de um equipamento utilizando recursos limitados, na intenção de que as metodologias utilizadas possam ser replicadas em outros estudos em diferentes contextos. Modelos de caixa-preta são obtidos a partir dos dados de entrada/saída de um sistema e neste trabalho amplificadores de potência são descritos matematicamente por esta abordagem. Esta descrição, devido a não-linearidade do dispositivo, é feita através do modelo de Hammerstein, que é um modelo não-linear. O trabalho começa com uma breve visão sobre os conceitos básicos envolvidos na tese. A implementação de sistemas eletrônicos é comparada com a de outros autores e é apresentada as vantagens da metodologia utilizada nesta Tese. É descrito como se comportam sinais e sistemas no domínio discreto, é feito um resumo sobre o que é um FPGA e após isso são analisadas figuras de mérito, ferramentas para medir a qualidade dos modelos. Para alcançar o objetivo de construção de uma plataforma de baixo custo, esta Tese apresenta três capítulos dedicados à construção da plataforma. No capítulo 3 a plataforma em FPGA capaz de gerar sinais com diversas modulações digitais que serão utilizadas na identificação de sistemas. Um algoritmo de estimação eficiente é construído utilizando o método de Mínimos Quadrados. Todo o processo de construção está presente no capítulo 4. A identificação de dois Amplificadores de potência é mostrada no capítulo 5 e a curva resultante é analisada, onde os resultados mostram que o modelo criado representa bem um amplificador real. As conclusões sobre o trabalho e as pesquisas futuras são apresentadas no último capítulo. A hipótese de que é possível construir uma plataforma de baixo custo para identificação de sistemas utilizando FPGAs é comprovada à medida que o passo a passo da construção da plataforma é descrito durante o trabalho. Nesse sentido, ao final, são apresentadas conclusões pertinentes para pesquisas futuras com base nos dados coletados e analisados durante a pesquisa.

Palavras-chave: Identificação de Sistemas. Amplificadores de Potência. FPGA.

ABSTRACT

This thesis, developed within the scope of the postgraduate program in Electrical Engineering at UFJF, describes a system implemented in a low-cost FPGA for the evaluation of Power Amplifiers. It also describes a platform capable of estimating changes induced in the channel. FPGAs have high speed and, the lower cost ones, have limited memory. This work aims to build equipment using limited resources, with the intention that the methodologies used can be replicated in other studies in different contexts. Black-box models are obtained from the input/output data of a system and in this work power amplifiers are described mathematically by this approach. This description, due to the non-linearity of the device, is made through the Hammerstein model, which is a non-linear model. The work begins with a brief overview of the basic concepts involved in the thesis. The implementation of electronic systems is compared with that of other authors and the advantages of the methodology used in this Thesis are presented. It describes how signals and systems behave in the discrete domain, summarizes what an FPGA is, and then analyzes figures of merit, tools to measure the quality of models. To achieve the goal of building a low-cost platform, this Thesis presents three chapters dedicated to the construction of the platform. To achieve the objective of building a low-cost platform, the FPGA platform capable of generating signals with various digital modulations that will be used in system identification is presented in chapter 3. An efficient estimation algorithm is constructed using the Least Squares method. The entire construction process is present in chapter 4. The identification of two power amplifiers is shown in chapter 5 and the resulting curve is analyzed, where the results show that the created model represents a real amplifier well. Conclusions about the work and future research are presented in the last chapter. The hypothesis that it is possible to build a low-cost platform for identifying systems using FPGAs is proven as the step-by-step construction of the platform is described during the work. In this sense, at the end, pertinent conclusions are presented for future research based on the data collected and analyzed during the research.

Key-words: System identification. Power Amplifier. FPGA.

LISTA DE ILUSTRAÇÕES

Figura 1 – Sistema genérico de telecomunicações e sua representação por um modelo equivalente.	14
Figura 2 – Sistema de medidas utilizado para identificação.	15
Figura 3 – Sistema para medida de sinais em RF	17
Figura 4 – Modulação e demodulação no domínio das frequências.	26
Figura 5 – Diagrama de blocos da transformada de Hilbert.	27
Figura 6 – Transformada de Hilbert no domínio das frequências.	28
Figura 7 – Janelamento de Tukey	30
Figura 8 – Constelação QPSK	32
Figura 9 – Constelação 16-QAM	33
Figura 10 – Constelação 64-QAM	33
Figura 11 – Portadoras OFDM no espectro das frequências	34
Figura 12 – Sinal ISDB-t no espectro das frequências	35
Figura 13 – Esquema da seção do transmissor, mostrando os componentes utilizados.	37
Figura 14 – Placa FPGA com os componentes do transmissor	37
Figura 15 – Oscilador local e o seu filtro de linha	38
Figura 16 – Filtro na saída do modulador	39
Figura 17 – Esquemático da seção do receptor, exibindo as placas utilizadas.	40
Figura 18 – Alterações no circuito da placa FPGA.	40
Figura 19 – Placa FPGA com os componentes do receptor	41
Figura 20 – Acoplador na entrada do receptor	42
Figura 21 – Sistema de Medidas: 1-TSW1406, 2-TSW3085, 3-ADF4350, 4-atenuador, 5-filtro de saída, 6-filtro de entrada, 7-acoplador, 8-atenuador, 9-TSW1266, 10-TSW1405	43
Figura 22 – Erro medido pelo CXA	43
Figura 23 – Sinal Enviado e Sinal Recebido.	45
Figura 24 – Demodulação inicial.	46
Figura 25 – Sinal demodulado inicial	47
Figura 26 – Sinal com a resolução aumentada.	48
Figura 27 – Mapa 2D para pequenas variações de fase e frequência	48
Figura 28 – Sinal com a resolução aumentada e frequência, fase e atraso acertados.	49
Figura 29 – Sinal com a resolução inicial.	49
Figura 30 – Mapas 2D para pequenas variações de fase e frequência	50
Figura 31 – Sinal demodulado final no domínio do tempo	50
Figura 32 – Sinal demodulado final no espectro das frequências	51
Figura 33 – Diagrama de blocos de um modelo linear.	54
Figura 34 – Diagrama de blocos de um modelo não linear.	55
Figura 35 – Erro medido pelo CXA	57

Figura 36 – Sinal senoidal centrado em 500 MHz observado no Keysight CXA N9000Aa	58
Figura 37 – Espectro do sinal de 42MHz transmitido e recebido	59
Figura 38 – Sistema para medida de sinais em RF	60
Figura 39 – Sistema para envio e recebimento de sinais	61
Figura 40 – Amplificador, pré-amplificador e atenuador montados juntos com o sistema de medida	61
Figura 41 – <i>Driver</i> Linear aplicado na saída do DAC	62
Figura 42 – Amplificador <i>single</i>	63
Figura 43 – Amplificador <i>dual</i>	64
Figura 44 – Amplificador <i>single</i> com modelo linear	66
Figura 45 – Amplificador <i>single</i> com polinômio	67
Figura 46 – Amplificador <i>single</i> com série de Hammerstein	68
Figura 47 – Amplificador <i>Dual</i> com modelo linear	70
Figura 48 – Amplificador <i>Dual</i> com polinômio	71
Figura 49 – Amplificador <i>Dual</i> com série de Hammstein	72

LISTA DE ABREVIATURAS E SIGLAS

16-QAM	<i>Sixteen Quadrature Amplitude Modulation</i>
64-QAM	<i>Sixty Four Quadrature Amplitude Modulation</i>
ADC	<i>Analog-to-Digital Converter</i>
ASIC	<i>Application Specific Integrated Circuit</i>
DAC	<i>Digital-to-Analog Converter</i>
DSP	<i>Digital Signal Processor</i>
DQPSK	<i>Differential Quadrature Phase-Shift Keying</i>
DUT	<i>Device Under Test</i>
EVM	<i>Error Vector Magnitude</i>
FFT	<i>Fast Fourier Transform</i>
FPGA	<i>Field Programmable Gate Array</i>
HD	<i>High Definition</i>
LIT	Linear Invariante no Tempo
MAE	<i>Mean Absolute Error</i>
MFEIT	<i>Multifrequency Electrical Impedance Tomography</i>
MQ	Mínimos Quadrados
NMSE	<i>Normalized Mean Square Error</i>
NRMSE	<i>Normalized Root Mean Square Error</i>
QPSK	<i>Quadrature Phase-Shift Keying</i>
RO	<i>Roll-Off</i>
SCPI	<i>Standard Commands for Programmable Instruments</i>
TDC	<i>Time-to-Digital Converters</i>

LISTA DE SÍMBOLOS

Σ	Somatório
\int	Integral
$E[\cdot]$	Operador esperança matemática
$ \cdot $	Módulo
I	Sinal em fase
Q	Sinal em quadratura

SUMÁRIO

1	INTRODUÇÃO	14
1.1	ESBOÇO DA TESE	18
1.2	REVISÃO BIBLIOGRÁFICA	19
2	CONCEITOS INICIAIS	22
2.1	SINAIS NO TEMPO CONTINUO E NO TEMPO DISCRETO	22
2.2	CANAL DE TRANSMISSÃO	22
2.3	SISTEMAS LINEARES E INVARIANTES NO TEMPO	23
2.4	TRANSFORMADA DE VOLTERRA	24
2.5	MODULAÇÃO E DEMODULAÇÃO DIGITAL	25
2.6	TRANSFORMADA DE HILBERT	26
2.7	FPGA	28
2.8	CORRELAÇÃO CRUZADA	29
2.9	JANELAMENTO	29
2.10	MEDIDAS DE DESEMPENHO	30
2.10.1	NMSE	30
2.10.2	NRMSE	31
2.10.3	MAE	31
2.11	MODULAÇÕES UTILIZADAS	32
2.11.1	QPSK E DPSK	32
2.11.2	16-QAM E 64-QAM	32
2.11.3	OFDM	34
2.11.4	ISDB-T	34
2.12	RESUMO DO CAPÍTULO	35
3	IMPLEMENTAÇÃO DE UM MODULADOR EM FPGA	36
3.1	COMPONENTES DO SISTEMA DE MEDIDAS	36
3.1.1	TRANSMISSOR	36
3.2	OSCILADOR	38
3.3	FILTRO	38
3.3.1	RECEPTOR	39
3.4	ACOPLADOR	41
3.5	SISTEMA DE MEDIDAS	42
3.6	RESUMO DO CAPÍTULO	44
4	IMPLEMENTAÇÃO DO ESTIMADOR	45

4.1	JANELAMENTO E SINAL RECEBIDO	45
4.2	PROCESSAMENTO DO SINAL RECEBIDO	46
4.3	IMPLEMENTAÇÃO DO ESTIMADOR	51
4.3.1	MODELAGEM CAIXA PRETA	51
4.3.2	ESTIMADOR IDEAL	52
4.4	RESUMO DO CAPÍTULO	56
5	VALIDAÇÃO DA PLATAFORMA	57
5.1	DESEMPENHO DA PLATAFORMA	57
5.1.1	VAZAMENTO ESPECTRAL POR JANELAMENTO	57
5.1.2	QUALIDADE PARA O SINAL DE 42 MHz	58
5.2	APLICAÇÃO DA PLATAFORMA NA IDENTIFICAÇÃO DE DUTs	59
5.3	DRIVER LINEAR	62
5.4	AMPLIFICADOR <i>SINGLE</i>	62
5.5	AMPLIFICADOR <i>DUAL</i>	63
5.6	IDENTIFICAÇÃO DE AMPLIFICADORES E POTÊNCIA	64
5.7	RESUMO DO CAPÍTULO	73
6	CONCLUSÕES, TRABALHOS FUTUROS	74
6.1	CONCLUSÃO	74
6.2	TRABALHOS FUTUROS	75
	REFERÊNCIAS	76

1 INTRODUÇÃO

Com o avanço da tecnologia, os sistemas de telecomunicações têm se tornado cada vez mais exigentes em termos de velocidade de transmissão de dados [1]. Da mesma forma, nas últimas duas décadas, houve um esforço global para desenvolver a televisão digital e atender à crescente demanda por transmissões em alta definição (HD) [2]. Esses avanços têm impactado significativamente a forma como nos comunicamos e como consumimos conteúdo audiovisual. Este trabalho estuda a transmissão de sinais de televisão digital através de dispositivos que provocam alterações no canal (DUTs). A caracterização matemática destes dispositivos é importante para melhorar a transmissão de dados.

Nesse sentido, durante a transmissão, um sinal de alta velocidade utiliza um canal [3]. Dentro desse canal, podem ser inseridos dispositivos, para aumentar a potência do sinal, como amplificadores de potência que alteram o sinal transmitido. Essa alteração pode ser representada por um modelo discreto, o qual descreverá um sistema real através de uma formulação matemática [4], onde o dispositivo é totalmente descrito através dos coeficientes estimados no estimador. A Figura 1 representa essa modelagem na qual um bom modelo minimiza o erro, ou seja, para um determinado sinal de entrada a saída do modelo será similar a saída do mesmo sinal aplicado a um sistema real.

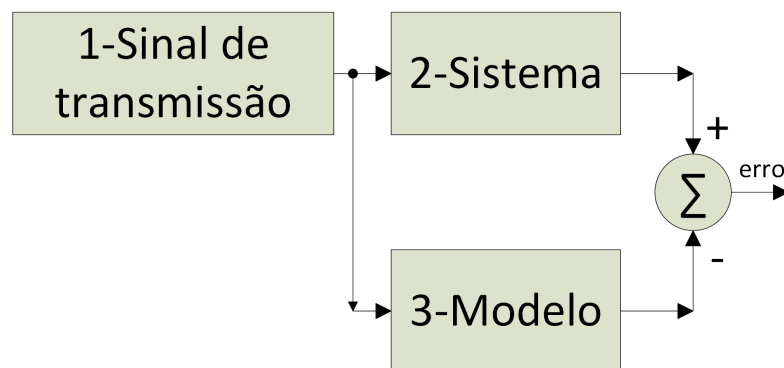


Figura 1 – Sistema genérico de telecomunicações e sua representação por um modelo equivalente.

Em um contexto de testes e medições, o DUT (*Device Under Test*) é conectado a um equipamento de teste que aplica estímulos e registra respostas, possibilitando a análise de características como resposta em frequência, ganho, distorção, entre outros parâmetros relevantes. A avaliação de um DUT é fundamental para garantir a qualidade e a eficiência dos produtos eletrônicos antes de serem lançados no mercado.

Em um sistema de telecomunicações, o canal pode ser: o ar, guias condutoras, dielétricos ou outro meio pelo qual o sinal é enviado. Os dispositivos a serem identificados (DUT) podem ser os amplificadores de potência, os filtros, os transformadores, entre outros. Esses componentes compõem um sistema de transmissão de informação. Nesse sentido,

este trabalho tem por objetivo a construção de uma plataforma utilizando FPGA, que possibilita o modelamento matemático de amplificadores de potência. Este utiliza, neste trabalho, sinais de televisão digital, que demandam grandes larguras de banda.

Para atingir o objetivo de construção de uma plataforma de identificação, iniciou-se o desenvolvimento de uma plataforma que pudesse garantir o envio e recebimento de dados em alta velocidade na frequência de *broadband*. Essa plataforma utiliza FPGAs, os quais são bastante utilizados em trabalhos atuais para transmissão de dados em alta velocidade [5], [6], [7], [8], [9] e [10]. À vista disso, o trabalho utilizou placas FPGA de baixo custo em comparação com estes trabalhos, permitindo, assim, a popularização dos experimentos em laboratórios com menores orçamentos.

A FPGA consegue processar dados em alta velocidade e possui flexibilidade em sua programação. Por isso, o primeiro objetivo deste trabalho é a construção de uma plataforma em FPGA de baixo custo capaz de gerar sinais em RF com fidelidade. Se faz necessário a utilização de metodologias de avaliação de desempenho do sistema construído, e para isso medidas de desempenho como NMSE (*Normalized Mean Square Error*), MAE (*Mean Square Error*) e NRMSE (*Normalized Root Mean Square Error*) são utilizadas.

O segundo objetivo deste trabalho é a criação de uma plataforma para a identificação de sistemas. Um método bastante utilizado para caracterização de dispositivos é a medida da entrada e saída dos mesmos dentro de uma frequência apropriada para criação de um modelo matemático destes [11], [12]. Por isso, optou-se pelo FPGA, que garante a taxa de transmissão desejada no trabalho. Os sistemas a serem identificados no trabalho são amplificadores de potência que provocam uma distorção não-linear no sinal transmitido [13]. Para obtenção dos coeficientes do modelo, foi utilizado um algoritmo computacional, no qual os dados de entrada e saída obtidos pelo FPGA foram utilizados. Nesse sentido, a Figura 2 descreve como funciona o sistema de medidas deste trabalho, no qual um sinal é enviado e recebido para construção de um modelo matemático.

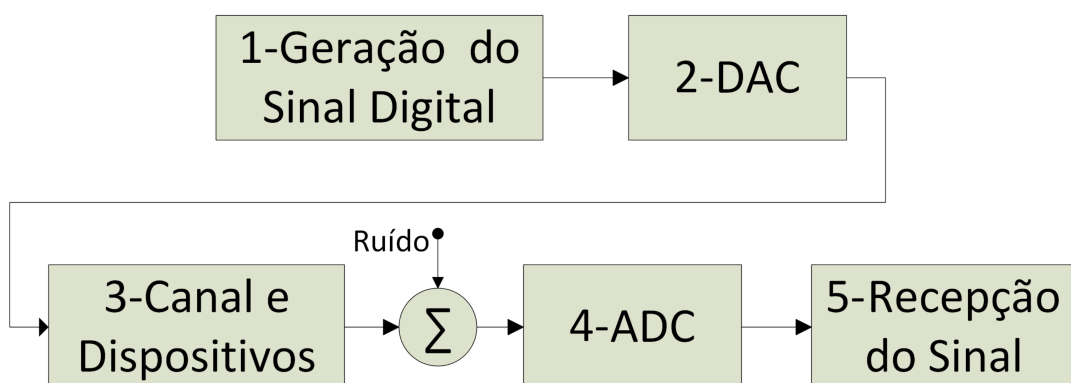


Figura 2 – Sistema de medidas utilizado para identificação.

Os dados obtidos na recepção do sinal, apresentada na Figura 2, são processados no computador para geração de um modelo que deve representar o sistema com fidelidade. Esse modelo é obtido através de uma modelagem Caixa-Preta que utiliza o algoritmo de Mínimos Quadrados (MQ) para a obtenção dos coeficientes.

À vista disso, um modelo linear é construído a partir de um sinal na amostra n atual em relação às amostras passadas $n - 1, n - 2 \dots n - M$ com os coeficientes $a_0, a_1, a_2 \dots a_M$, no qual estes são obtidos pelo algoritmo de MQ e a saída y se relaciona linearmente com as entradas x como descrito na equação 1.1 [4].

$$y[n] = a_0x[n] + a_1x[n - 1] + \dots + a_Mx[n - M] \quad (1.1)$$

Já em um modelo não linear, como nas séries de Volterra, a saída y possui coeficientes não-lineares como descrito pela equação 1.2 [5] [12], onde p define a ordem do modelo não-linear.

$$y[n] = \sum_{m=0}^{M-1} \sum_{l=0}^{L-1} \sum_{p=0}^{P-1} a_{m,l,p} x[n - m] |x[n - m - l]|^p \quad (1.2)$$

Assim sendo, para a realização deste trabalho é necessário uma modelagem não-linear para a descrição do amplificador, comparando com o modelo linear e demonstrando este modelo não é suficiente para descrever esse tipo de equipamento através da análise utilizando medidas de desempenho que serão descritas no decorrer da tese.

Dessa maneira, para alcançar todos os marcos deste trabalho, podem ser utilizados uma combinação de equipamentos caros [14], mas neste trabalho foi proposto a criação de uma plataforma de baixo custo. Durante a construção da plataforma, foi utilizada uma combinação de ADCs, DACs e FPGAs. A conhecida flexibilidade de FPGAs permite a construção da plataforma, assim como a utilização de SDRs ou de sistemas dedicados como em [15] e [16]. Em relação ao sistema construído, este possui uma seção dedicada a transmissão e uma a recepção como mostrado na Figura 3.

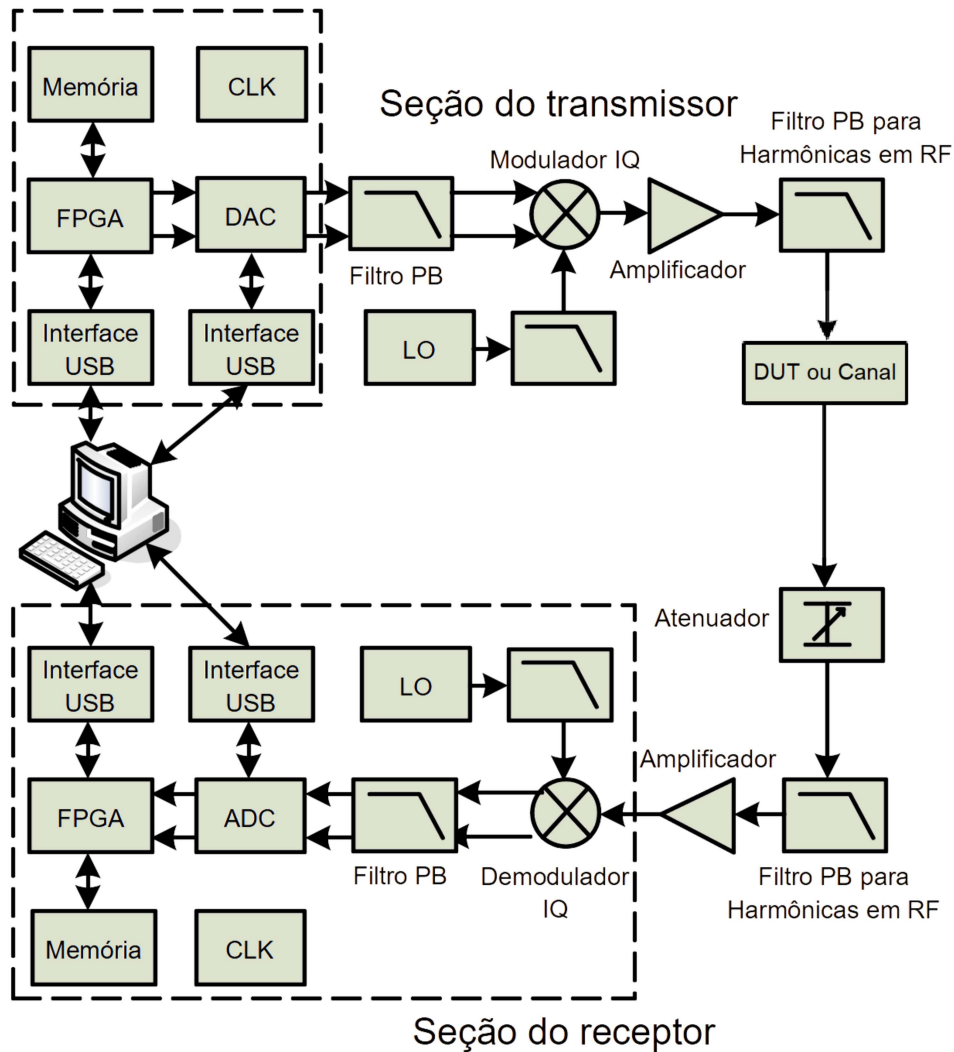


Figura 3 – Sistema para medição de sinais em RF

Na Figura 3, é descrito que o transmissor e o receptor possuem uma memória interna, possibilitando o envio e o recebimento de dados através do computador. O receptor e transmissor possuem osciladores locais (LO) isolados, sendo necessário a sincronização destes para uma correta recepção de dados como será visto no decorrer do trabalho. Alguns filtros são inseridos na plataforma afim de eliminar ruídos fora das frequências de interesse e o DUT é inserido entre o transmissor e o receptor.

O procedimento de envio do sinal é descrito na seção do transmissor pelos seguintes passos: um sinal personalizável é gerado no PC e é transmitido pelo FPGA na seção do transmissor; o sinal é convertido para analógico através do DAC e filtrado; o sinal é convertido via o modulador IQ para frequência de interesse; o sinal RF é novamente filtrado para remover as frequências harmônicas e enviado pelo DUT. Feito isso, o processo de captura é realizado na seção do receptor, na qual ocorre o processo contrário da seção de transmissão, onde o sinal é amostrado e convertido para digital pelo ADC; em seguida, ele

é enviado para o FPGA, e finalmente processado no PC. Utilizando esse mesmo esquema, algumas plataformas comerciais podem ser utilizadas para se chegar nos mesmos objetivos. Dessa forma, o objetivo deste trabalho é a construção de uma plataforma para identificação de sistemas. Nesse sentido, para validação da plataforma, uma aplicação real é proposta: a identificação de amplificadores de potência RF. Para esse fim, a operação é realizada através da comparação dos dados de entrada e de saída [17].

Utilizando a plataforma construída para recepção do sinal ISDB-T, é realizada uma demodulação digital para detecção coerente, já que o receptor e transmissor utilizados possuem Osciladores Locais (LO) independentes. Os sinais são enviados por meio de um processo de janelamento para se contornar a falta de memória em uma plataforma FPGA de baixo custo. Todos esses processos e os resultados são descritos em detalhes no decorrer da tese. Como comparação, para mostrar que esta é uma solução de baixo custo, compara-se o uso de placas FPGAs com equipamentos comerciais utilizados por Silveira [17] na Tabela 1 com as placas FPGA utilizadas neste trabalho.

Tabela 1 – Equipamentos para geração de sinal em alta frequência

Equipamento	preço
Rohde & Schwarz FSC6.16	U\$SD 15.130,00
Keysight N9000B/503 CXA	U\$SD 20.048
TSW 3085 e TSW 1266	U\$SD 795,32
TSW 1406 e TSW 1405	U\$SD 419,70

Assim, este trabalho aborda o desenvolvimento de uma plataforma baseada em FPGA para modelar amplificadores de potência. Esses amplificadores desempenham um papel crucial na transmissão de sinais de televisão digital. O objetivo principal é garantir o envio e recebimento eficiente de dados em alta velocidade, mantendo a fidelidade na frequência de transmissão (*broadband*). É buscado alcançar esse objetivo com um baixo custo de implementação como demonstrado na Tabela 1.

Além disso, os dados coletados através dessa plataforma são utilizados para construir um modelo matemático não-linear. No entanto, são enfrentados desafios relacionados à memória limitada de um FPGA de baixo custo. Para superar essas limitações, são aplicadas técnicas de janelamento do sinal. Acredita-se que essas abordagens possam ser benéficas para outros pesquisadores em diversas áreas, proporcionando recursos valiosos para futuros desenvolvimentos e avanços científicos com a garantia de um custo de desenvolvimento baixo.

1.1 ESBOÇO DA TESE

Esta tese é separada em 6 capítulos, nos quais são descritos os seguintes tópicos:

Capítulo 1: A introdução aborda o problema da transmissão de dados, detalha-se minuciosamente a estrutura da tese e se realiza uma abrangente revisão da literatura existente na área.

Capítulo 2: Neste capítulo, são descritos detalhadamente os conceitos fundamentais relacionados a sistemas discretos e contínuos. Além disso, aborda-se o tema das alterações induzidas no canal de transmissão e explora-se como um modelo pode ser caracterizado tanto por sistemas lineares quanto não-lineares. Também fornece-se uma explicação completa sobre o que é um FPGA e são discutidos os periféricos utilizados no contexto do trabalho. Por fim, é realizada uma minuciosa caracterização das medidas de desempenho empregadas ao longo da pesquisa.”

Capítulo 3: Apresentação da plataforma de geração e recepção de sinais implementados em FPGA e dos conceitos envolvidos na modulação digital, descrição dos periféricos responsáveis pela conversão dos dados e descrição de como os dados recebidos são salvos em uma tabela para posterior análise em computador.

Capítulo 4: Descrição da implementação do estimador, conceituação do que é um estimador Caixa-Preta, descrição da implementação do estimador para sistemas lineares e não-lineares e descrição de como os dados devem ser organizados dentro do algoritmo e como foi realizada a construção do mesmo para ser utilizado na estimação do modelo representado pelo canal e os seus dispositivos.

Capítulo 5: Identificação da alteração induzida no canal, descrição de como os coeficientes são estimados e validação do modelo pelas figuras de mérito.

Capítulo 6: Apresentação das conclusões e de algumas considerações sobre trabalhos futuros.

1.2 REVISÃO BIBLIOGRÁFICA

Esta seção, apresentará algumas referências bibliográficas disponíveis na área de construção de instrumentos, identificação de sistemas e geração de sinais.

Xu (2021) [18], propõe um instrumento de medição baseado em FPGA para avaliação da qualidade de energia (PQ) em relação a harmônicos e inter-harmônicos. A arquitetura é construída para estimar com precisão as amplitudes dos harmônicos, otimizando o uso de recursos no FPGA. A validação experimental demonstrou sua aplicabilidade na estimativa de harmônicos.

Em Machado (2019) [19], apresenta o desenvolvimento de um outro instrumento, um conversor tempo-digital (TDC) baseado em FPGAs. Esse instrumento utiliza recursos de roteamento do FPGA como elementos de atraso, resultando em alta precisão e insensibilidade a variações de temperatura e tensão. A plataforma FPGA oferece vantagens como

fácil implementação, baixo custo e tempo de desenvolvimento reduzido. O estudo também destaca tendências e áreas de pesquisa futura relacionadas aos TDCs baseados em FPGA.

Outro instrumento foi criado por Betta (2013) [20], descrevendo o desenvolvimento de um sistema com ênfase na implementação em FPGA. Destacam-se a fonte de corrente multifrequência ajustável, o circuito de medição de sinal de referência e os filtros baseados na teoria de Butterworth. O sistema é avaliado quanto ao desempenho e à precisão, demonstrando potencial para aplicações biomédicas.

Em [21], discute técnicas modernas de implementação de um modulador digital de banda larga em um kit FPGA para uso em laboratórios de comunicações de engenharia elétrica. O modulador proposto tem baixo custo e pode gerar sinais com base em diversos esquemas de modulação. Além da implementação, mostra-se procedimentos de teste para validar o desempenho dos moduladores digitais.

Os DUTs utilizados neste trabalho são amplificadores de potência RF que operam em *broadband*. Esses amplificadores desempenham um papel crucial na transmissão de sinais de televisão digital, especificamente no padrão ISDB-T. O ISDB-T é um padrão de televisão digital originado no Japão e amplamente adotado em países da América do Sul, com destaque para o Brasil.

O sistema ISDB-T utiliza uma técnica de modulação chamada Multiplexação Ortogonal por Divisão de Frequência (OFDM). Essa técnica divide o espectro de frequência em vários subcanais, cada um transportando dados independentes. Os dados são modulados usando diferentes esquemas de modulação, incluindo DQPSK, QPSK, 16-QAM e 64-QAM [22], [23], [24].

Nesse sentido, este trabalho se fundamenta nas considerações de Eballa (2022) [25], o qual demonstra uma aplicação do ISDB-T na transmissão de dados para áreas rurais nas Filipinas. O autor se baseou, também, nas considerações de Gonsiorosk (2023) [2], através da demonstração dos testes desse padrão no Brasil, e as considerações de Olmedo (2021) [26] o qual descreve a análise da figura de mérito para as modulações digitais do padrão ISDB-T.

Além disso os métodos de estimação indireta são bastante utilizados para estimação caixa-preta de dispositivos de telecomunicação [27] [28]. Essa metodologia permite a descrição do modelo através dos dados de entrada e saída do dispositivo a ser identificado. Essa técnica é bastante utilizada para estimação dos coeficientes de modelos de amplificadores de potência como será demonstrado nos próximos parágrafos descritos nesta seção.

Diante das considerações de Galaviz (2020) [29], que utiliza FPGAs para a implementação da identificação de um sinal de 10 MHz de largura de banda, de Silveira (2007) [30], que identifica sinais com largura de 2,5 MHz utilizando modelos baseados em séries de Volterra, de Li (2021) [7], que identifica um sinal de 20 MHz utilizando

FPGAs da Texas Instruments, mais caras do que as usadas neste trabalho. Considera-se os estudos de Ubostad (2010) [31], que trata da identificação de um amplificador de potência utilizando um 16-QAM de 3,84 MHz (tipo de sinal também usado para a validação da plataforma construída neste trabalho, além do ISDB-T mencionado), bem como de Li (2022) [5], que desenvolve um sinal de 5G com subportadoras 64-QAM usando FPGAs, de Pham (2018) [8], de Li (2022) [6], de Nunes (2018) [9] e de Nunes (2016) [10], que constroem plataformas de geração e identificação de sinais utilizando FPGAs, este trabalho fundamenta seus objetivos. Destaque-se que, no presente estudo, utiliza-se uma FPGA de baixo custo, o que representa um desafio adicional, mas também uma inovação significativa em termos de acessibilidade e economia. As soluções adotadas aqui poderão servir de referência valiosa para outros pesquisadores em diferentes áreas, proporcionando recursos úteis para futuros desenvolvimentos.

A fim de fundamentar a utilização do FPGA, contrasta-se a proposta apresentada com os trabalhos de Li (2023) [32], o qual apresenta uma plataforma baseada em GPU para modelagem e pre-distorção de amplificadores para sinais de 5G é construída. A taxa de amostragem de 614.4 MSa/Sec e largura de banda de 50 MHz. Da mesma forma, Li(2023) [33] identifica o mesmo sinal utilizando plataformas comerciais dedicadas.

Considerando a significativa relevância da pesquisa relacionada aos sinais ISDB-T e a aplicabilidade dos FPGAs na criação de instrumentos de medição, bem como na identificação de amplificadores de potência, torna-se essencial aprofundar o estudo desses tópicos. Este trabalho apresenta uma análise detalhada sobre a construção de uma plataforma capaz de transmitir e identificar sinais de televisão digital que passam por um amplificador operando nas frequências de broadcast.

Além disso, são explorados os desafios intrínsecos à identificação dos coeficientes desses amplificadores, levando em conta as não-linearidades inerentes aos dispositivos desse tipo. Este estudo se diferencia dos demais pela aplicação de metodologias inovadoras para contornar as limitações da placa FPGA de baixo custo utilizada. Foram implementadas técnicas avançadas de captura de dados, incluindo janelamento e concatenação de informações para fins de identificação. Também foi desenvolvido um algoritmo de detecção coerente altamente eficiente. Essas abordagens e considerações podem ser aplicadas por outros pesquisadores em várias áreas da engenharia, fornecendo recursos valiosos para futuros desenvolvimentos. Tais metodologias foram necessárias devido à impossibilidade de captura contínua do sinal, exigindo a aplicação dessas técnicas para contornar as dificuldades da utilização de um equipamento de baixo custo.

2 CONCEITOS INICIAIS

Neste capítulo, serão revisados alguns conceitos utilizados para a construção desse trabalho.

2.1 SINAIS NO TEMPO CONTINUO E NO TEMPO DISCRETO

Um sinal contínuo possui uma representação infinita no tempo. Um sinal real no espaço é um sinal contínuo. A representação de um sinal contínuo por um sinal discreto através da amostragem não é perfeita, e ocasiona distorções em um sinal. Podem haver ruídos impulsivos, ruídos de fundo, além de erros de quantização. Uma ferramenta útil para análise de um sinal é a sua representação através da transformada de Fourier. A análise do sinal é mais fácil no espectro das frequências. Em um sinal discretizado, e que permita armazenamento de dados, é possível obter esta representação através de algoritmos de FFT (*Fast Fourier Transform*) implementados computacionalmente [3]. Para um sinal contínuo pode-se utilizar equipamentos específicos que fazem a análise do sinal no espectro como o Keysight CXA N9000A [34].

A representação discreta de um sinal contínuo pela amostragem ocasiona uma mudança no espectro do sinal no domínio das frequências. Para evitar que isso aconteça, utiliza-se o critério de Nyquist para se amostrar um sinal contínuo. Esse critério define que a frequência de amostragem deve ser maior do que duas vezes a largura de banda de um sinal contínuo [35]. A equação que define esse critério pode ser vista em (2.1).

$$\omega_s > 2B \quad (2.1)$$

A compreensão da representação do sinal discreto e contínuo é importante neste trabalho, pois é utilizado um gerador de sinais digitais para através de um DAC se obter um sinal contínuo. Após esse processo, utiliza-se um ADC para o processo contrário.

2.2 CANAL DE TRANSMISSÃO

Um canal, basicamente, é a estrutura por onde o sinal irá ser transmitido [3]. Dispositivos inseridos no canal podem ser: amplificadores de potência, filtros, transformadores, etc. Esses componentes compõem um sistema de transmissão de dados. A ideia do trabalho é fazer uso de um Amplificador de Potência, o qual é uma estrutura conhecida, para realizar uma alteração canal, e assim, mostrar a capacidade do algoritmo de se identificar um dispositivo inserido no canal (DUT).

Para que a identificação do canal seja realizada de forma eficiente, é necessário desenvolver uma plataforma que funcione nas condições específicas exigidas pelo sinal

transmitido. No contexto deste trabalho, estamos lidando com o sinal ISDB-T, portanto, a plataforma deve ser projetada para operar dentro dos parâmetros estabelecidos para este tipo de sinal.

2.3 SISTEMAS LINEARES E INVARIANTES NO TEMPO

Um sistema linear invariante no tempo (LIT) é aquele onde as suas características são fixas no tempo [35]. Na equação (2.2), $h(t)$ é um sistema LIT, $x_1(t)$ representa a entrada e $y_1(t)$ a saída.

$$y_1(t) = x_1(t) * h(t) \quad (2.2)$$

Na equação (2.3), $h(t)$ é um sistema LIT, $x_2(t)$ representa outra entrada e $y_2(t)$ a saída dessa nova entrada submetida ao mesmo sistema LIT.

$$y_2(t) = x_2(t) * h(t) \quad (2.3)$$

Em (2.4), as entradas $x_1(t)$ e $x_2(t)$ são somadas, resultando em $x_3(t)$.

$$x_3(t) = x_1(t) + x_2(t) \quad (2.4)$$

Na equação (2.5), $y_3(t)$ é o resultado da entrada $x_3(t)$ submetida ao sistema LIT $h(t)$.

$$y_3(t) = x_3(t) * h(t) \quad (2.5)$$

Para um sistema LIT o tempo onde a entrada ocorreu não importa, portanto, para esse tipo de sistema, a equação (2.6) é verdadeira.

$$y_3(t) = y_1(t) + y_2(t) \quad (2.6)$$

Ligando-se dois sistemas LITs, $H_1(j\omega)$ e $H_2(j\omega)$, a resposta $H(j\omega)$ será o resultado da multiplicação desses dois sistemas LIT como descrito na equação (2.7).

$$H(j\omega) = H_1(j\omega) \times H_2(j\omega) \quad (2.7)$$

2.4 TRANSFORMADA DE VOLTERRA

A série de Volterra é um modelo matemático que é usado para descrever o comportamento de sistemas não lineares. Esta leva em conta a entrada no sistema em todos os outros momentos, o que permite capturar o efeito de memória de dispositivos como capacitores, indutores, fenômenos biomédicos, amplificadores de potência, etc.

Uma série de Volterra denota uma função não linear e invariante no tempo. Estas são frequentemente usadas na identificação de sistemas. As séries de Volterra, que são usadas para provar o teorema de Volterra, são uma soma infinita de integrais convolucionais multidimensionais como descrito na equação 2.8.

$$y(t) = h_0 + \sum_{n=1}^N \int_a^b \dots \int_a^b h_n(\tau_1, \dots, \tau_p) \prod_{j=1}^p x(t - \tau_j) d\tau_j \quad (2.8)$$

A equação 2.8 descreve a série de Volterra no tempo contínuo, onde h_n são os coeficientes da equação não-linear, p determina a ordem da equação, τ os atrasos. Da mesma forma têm-se esta série no tempo discreto descrita na equação 2.9

$$y[n] = h_0 + \sum_{p=1}^p \sum_{\tau_1=a}^b \dots \sum_{\tau_p=a}^b h_p(\tau_1, \dots, \tau_p) \prod_{j=1}^p x(n - \tau_j) \quad (2.9)$$

O núcleo $h_p(\tau_1, \dots, \tau_p)$ das séries de Volterra são simétricos. Por exemplo: $h(1, 2, 3, 4)$ é igual ao $h(4, 3, 2, 1)$. Por isso pode-se reescrever a equação como a equação 2.10

$$y[n] = h_0 + \sum_{\tau_1=0}^M \sum_{\tau_2=\tau_1}^M \dots \sum_{\tau_p=\tau_{p-1}}^M h_p(\tau_1, \dots, \tau_p) \prod_{j=1}^p x(n - \tau_j) \quad (2.10)$$

Se considerar reescrever a equação de acordo com a equação 2.10 para se diminuir o número de termos como na equação 2.11 [36].

$$y[n] = \sum_{m=0}^{M-1} \sum_{l=0}^{L-1} \sum_{p=0}^{P-1} a_{m,l,p} x[n-m] |x[n-m-l]|^p \quad (2.11)$$

Se considera reescrever a equação de acordo com a equação 2.11. A modelagem Hammerstein é baseada na série de Volterra, que é uma série de funções matemáticas que descrevem a relação entre a entrada e a saída de um sistema não linear. No qual se considera os produtórios apenas no mesmo atraso [36].

$$y[n] = \sum_{m=0}^{M-1} \sum_{p=0}^{P-1} a_{m,p} x[n-m] |x[n-m]|^p \quad (2.12)$$

2.5 MODULAÇÃO E DEMODULAÇÃO DIGITAL

A modulação digital é uma técnica de processamento de sinais que é usada para transmitir informações digitais por meio de um canal de comunicação. Ela é amplamente utilizada em diversas áreas, incluindo a indústria de telecomunicações, onde é usada para transmitir sinais de rádio e televisão digital, bem como para comunicações de dados em redes de computadores. A modulação de um sinal $X(\omega)$ é feita pela multiplicação deste por uma portadora senoidal como na equação 2.13 [37].

$$S_m(\omega) = X(\omega) \cos(\omega_m) \quad (2.13)$$

O processo de demodulação começa pela multiplicação do sinal modulado por uma portadora com a mesma frequência de modulação ω_m como descrito na equação 2.14.

$$S_{m2}(\omega) = S_m(\omega) \cos(\omega_m) \quad (2.14)$$

O resultado desta multiplicação é mostrado na equação 2.15

$$S_{m2}(\omega) = X(\omega) \cos^2(\omega_m) \quad (2.15)$$

Pode-se deduzir a equação 2.16 a partir da equação 2.15

$$S_{m2}(\omega) = \frac{X(\omega) + X(\omega) \cos(2\omega_m)}{2} \quad (2.16)$$

Têm-se a partir daí uma cópia do sinal em banda base e outra em $(2\omega_m)$. Pode-se utilizar um filtro passa-baixas $H(\omega)$ para se extrair o sinal em banda base como na equação 2.17.

$$S_{dm}(\omega) = S_{m2}H(\omega) \quad (2.17)$$

Obtém-se ao término da demodulação o resultado descrito pela equação 2.18 [37].

$$S_{dm}(\omega) = \frac{X(\omega)}{2} \quad (2.18)$$

A Figura 4 descreve este processo no domínio das frequências.

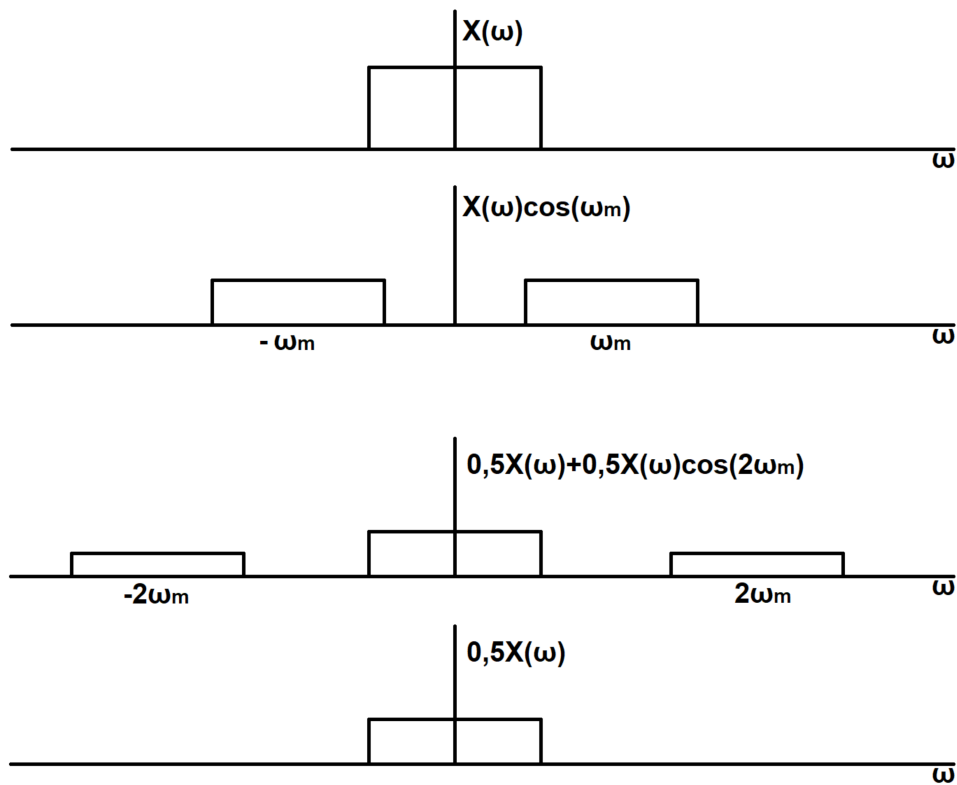


Figura 4 – Modulação e demodulação no domínio das frequências.

O processamento digital de sinais é algo importante nesta tese, pois os dados recebidos no FPGA são processados e analisados no computador, justificando assim a utilização de modulações digitais.

2.6 TRANSFORMADA DE HILBERT

A transformada de Hilbert é uma técnica de processamento de sinais que é usada para analisar sinais. Ela é uma transformada integral que mapeia uma função real em uma

outra função complexa, que é a transformada de Hilbert da função original. Devido ao componente complexo, ela é muito utilizada em transmissões que possuem componentes em fase e em quadratura. A transformada é dada pela equação 2.19 [38].

$$S_r[n] = x[n] + jx_i[n] \quad (2.19)$$

Na equação 2.19, $x[n]$ é o sinal, $x_i[n]$ é o sinal transformado, $S_r[n]$ o resultado. O componente complexo é uma abstração útil, mas na prática é preciso utilizar outro método para se obter um sinal defasado em 90 graus em relação ao outro. Por isso é utilizada uma função cosseno e seno como mostrado na Figura 5.

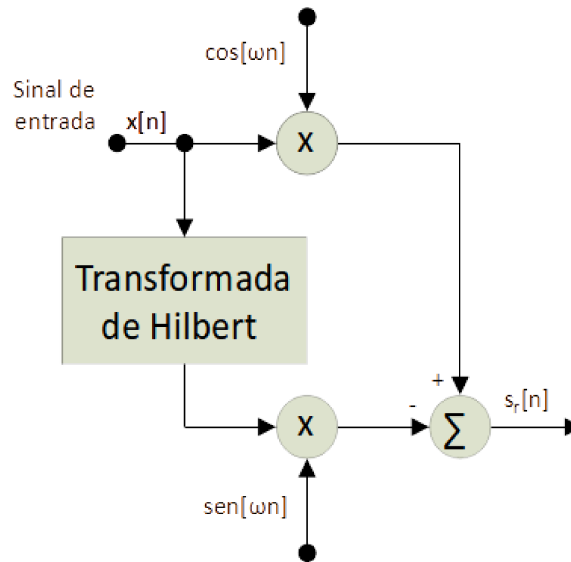


Figura 5 – Diagrama de blocos da transformada de Hilbert.

A Figura 5 indica o procedimento como a transformada de Hilbert pode ser feito para um sistema real. Com esta metodologia é possível deslocar o sinal pelo espectro das frequências, possibilitando assim o processamento do sinal recebido na plataforma desenvolvida neste trabalho. A Figura 6 demonstra no espectro das frequências o que foi descrito na Figura 5.

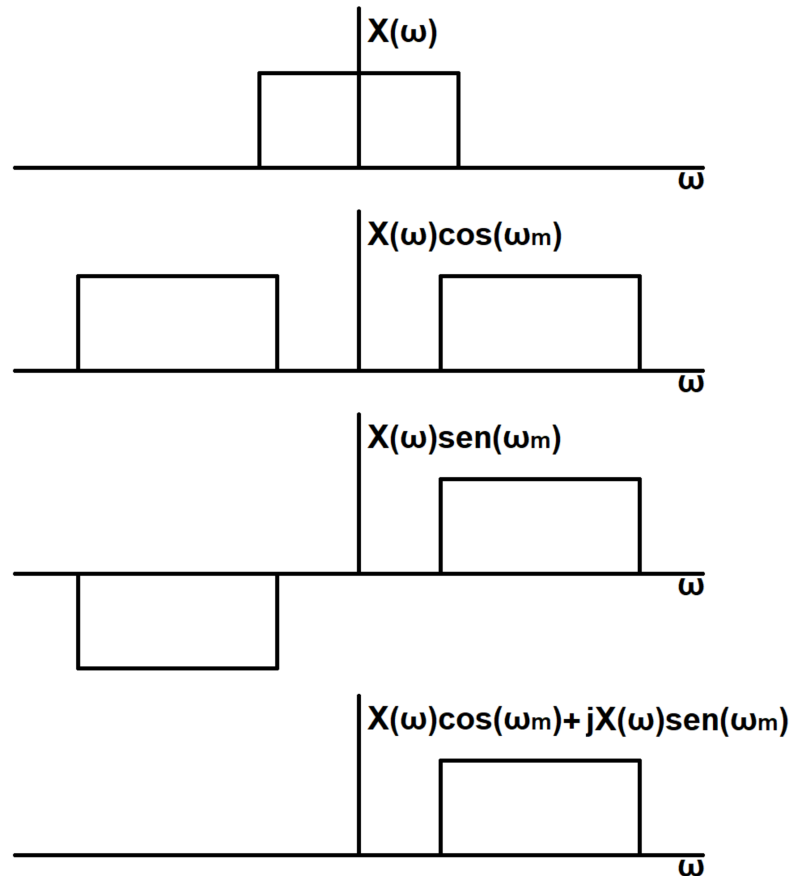


Figura 6 – Transformada de Hilbert no domínio das frequências.

O processamento digital pela transformada de Hilbert permite o deslocamento simples do sinal no espectro das frequências, facilitando o processamento digital em, por exemplo, ajuste fino de uma frequência e fase na recepção.

2.7 FPGA

O sistema é construído para transmissão e captura de um sinal de televisão digital ISDB-T. Para criar a ferramenta que permite a identificação deste tipo de sinal, foi necessário utilizar uma plataforma capaz de realizar operações em alta velocidade, bem como operações de conversão analógico-digital e digital-analógico.

Uma das opções par realizar operações em alta velocidade é a utilização de um Circuito Integrado Específico de Aplicação (ASIC). No entanto, essa plataforma é cara e permite apenas a definição dos componentes e conexões antes da fabricação do circuito integrado, o que reduz a sua flexibilidade e aumenta o tempo do projeto.

Uma segunda solução a ser analisada seria a utilização de microcontroladores, programados via linguagem C, como o DSP TMS320C6713 e o Tiva TM4C123GH6PM. Essas plataformas conseguem processar sinais digitais com uma frequência de amostragem

de 600 kHz e 1 MHz, respectivamente [39] [40], porém esta velocidade ainda seria insuficiente para transmissão de um sinal ISDB-T, que possui largura de banda em 6 MHz.

A melhor combinação encontrada neste trabalho foi uma combinação de duas placas da Texas Instruments, TSW1406 e TSW3085 para o transmissor. E para a recepção a combinação de outras placas Texas Instruments, TSW1405 e TSW1266. Estas placas possuem uma limitação de 32768 pontos na sua memória interna.

2.8 CORRELAÇÃO CRUZADA

A função de correlação cruzada é utilizada para definir o atraso onde dois sinais apresentam uma maior similaridade [41]. Esta função é implementada computacionalmente utilizando a equação 2.20.

$$r_{xy}[m] = E\{x[n+m]y^*[n]\} \quad (2.20)$$

Onde $r_{xy}[m]$ determina a correlação de dois sinais (x e y^*) para vários atrasos m . O maior valor de r determina onde os dois sinais possuem a maior similaridade.

2.9 JANELAMENTO

Para várias aplicações em processamento de sinais o janelamento é interessante. Neste trabalho foi utilizado a janela Tukey que, a depender do ro (*roll-off*) apresenta uma grande preservação do sinal no domínio do tempo.

A janela de Tukey [42] [43] tenta combinar a preservação do sinal no domínio do tempo mostrado pelo janelamento retangular com a redução das alterações no domínio das frequências. A equação 2.21 define a implementação deste janelamento, onde ro é um fator que determina o intervalo que a janela ficará em 1.

$$J(x) = \begin{cases} \frac{1}{2}\{1 + \cos(\frac{2\pi}{ro}[x - \frac{ro}{2}])\}, & 0 \leq x < \frac{ro}{2} \\ 1, & \frac{ro}{2} \leq x < 1 - \frac{ro}{2} \\ \frac{1}{2}\{1 + \cos(\frac{2\pi}{ro}[x - 1 + \frac{ro}{2}])\}, & 1 - \frac{ro}{2} \leq x \leq 1 \end{cases} \quad (2.21)$$

A implementação desta janela para r nos valores de: 0, 0,25, 0,5, 0,75 e 1 pode ser vista na Figura 7.

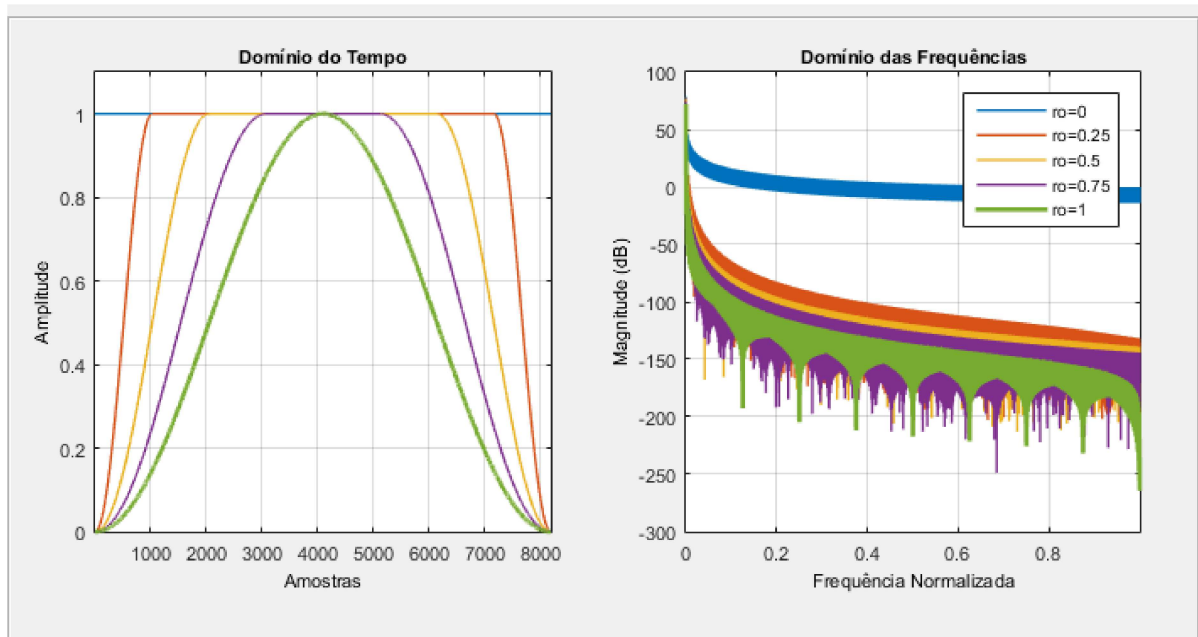


Figura 7 – Janelamento de Tukey

Vê-se na Figura 7. que para r igual a 0 a janela Tukey é igual à retangular e para o valor de 0 ela é igual a Hanning. Dependendo da aplicação, escolhe-se entre preservação do sinal no tempo discreto ou vazamento espectral ajustando o valor de ro . Onde para menores valores preserva-se o sinal e para valores mais altos a interferência nas frequências é atenuada.

A técnica de janelamento é fundamental para superar as limitações do uso de uma FPGA de baixo custo neste projeto. Nas seções finais, será examinado se a aplicação dessa técnica resulta em vazamento espectral na plataforma desenvolvida.

2.10 MEDIDAS DE DESEMPENHO

Faz-se necessário medidas de desempenha para se avaliar a qualidade da transmissão e recepção dos sinais no trabalho. Para isso, três figuras de mérito são utilizadas: NMSE, MAE e NRMSE. As próximas subseções discutem estas ferramentas de avaliação de desempenho.

2.10.1 NMSE

O Erro Quadrático Médio Normalizado (NMSE) é uma medida bastante utilizada para se verificar a similaridade de dois sinais [44] [45]. Nessa medida a diferença dos dois

sinais é calculada ponto a ponto como demonstrado na equação 2.22.

$$\text{NMSE(dB)} = 10 \log \left\{ \frac{\sum_{k=1}^N |y(k) - \hat{y}(k)|^2}{\sum_{k=1}^N |y(k)|^2} \right\} \quad (2.22)$$

Para a avaliação da qualidade do modelo construído para identificação de sistemas o NMSE é útil como pode ser visto nas avaliações de desempenho presentes neste trabalho. Quanto menor o valor da NMSE maior será a similaridade dos dois sinais.

2.10.2 NRMSE

A raiz do erro Quadrático Médio (NRMSE), assim como NMRSE é uma medida utilizada para se verificar a similaridade de dois sinais [44] [45]. Nessa medida a diferença dos dois sinais é normalizada e calculada ponto a ponto como demonstrado na equação 2.23, diferindo-se do NMSE pela escala não ser logarítmica e pela raiz quadrada.

$$\text{NRMSE(dB)} = \sqrt{\frac{\sum_{k=1}^N |y(k) - \hat{y}(k)|^2}{\sum_{k=1}^N |y(k)|^2}} \quad (2.23)$$

O cálculo do NRMSE é utilizado como medida de desempenho para avaliação de desempenho da plataforma proposta neste trabalho.

2.10.3 MAE

O Erro Médio Absoluto (MAE) é uma medida utilizada para se verificar a similaridade de dois sinais [46]. Nessa medida a diferença dos dois sinais é calculada ponto a ponto de forma absoluta como demonstrado na equação 2.24.

$$\text{MAE} = \frac{\sum_{k=1}^N |y(k) - \hat{y}(k)|}{N} \quad (2.24)$$

O cálculo do MAE é utilizado como medida de desempenho na seção 5.6. Para a comparação de dois sistemas utilizando a MAE é importante que a normalização do sinal seja a mesma, pois essa figura mede o erro absoluto. Quanto menor o valor da MAE maior será a similaridade dos dois sinais.

2.11 MODULAÇÕES UTILIZADAS

Os sinais gerados na plataforma proposta neste trabalho possuem modulações digitais. Estas são essenciais para transmitir informações digitais de forma eficiente e resistente a ruídos. Elas permitem acomodar várias transmissões simultâneas, são flexíveis e compatíveis com sistemas de comunicação modernos. Nas próximas seções serão detalhadas estas modulações.

2.11.1 QPSK E DPSK

QPSK é uma técnica de modulação que transmite informações pela fase absoluta de cada símbolo. Cada símbolo QPSK representa dois bits de informação e possui quatro possíveis estados de fase: 0 , π , $+\pi/2$ e $-\pi/2$. A largura de banda do QPSK é reduzida pela metade em comparação com a modulação BPSK, já que existe o sinal em quadratura [47] [3]. Seu diagrama de constelação mostra os quatro pontos no plano complexo. A Figura 8 ilustra esta constelação.

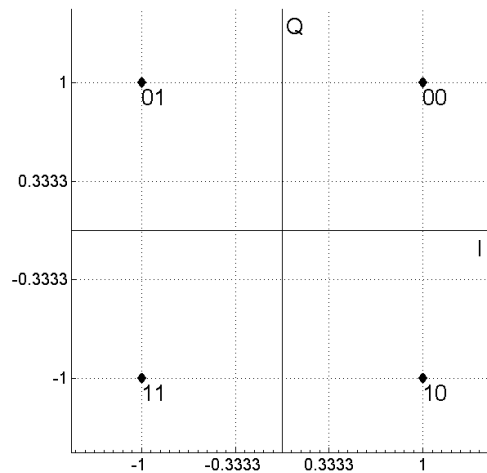


Figura 8 – Constelação QPSK

DQPSK, comparado ao QPSK, transmite informações com base na mudança de fase relativa em relação ao símbolo anterior. Cada símbolo DQPSK também representa dois bits de informação. Os estados de fase são obtidos deslocando uma cadeia de bits em fase em $\pi/4$ ou $\pi/2$.

2.11.2 16-QAM E 64-QAM

Acrescentando um sinal em quadratura é possível transmitir 2 bits por símbolo, como visto na Figura 8 do sinal QPSK. Uma metodologia para se aumentar essa quantidade de bits é pela adição de outros níveis de tensão no sinal para a representação de mais

possibilidades. Por exemplo, para a codificação 16-QAM, demonstrada na Figura 9 utiliza-se além dos níveis 1 e -1, os níveis 0.33 e -0.33. Essa adição permite a representação de 4 bits por símbolo.

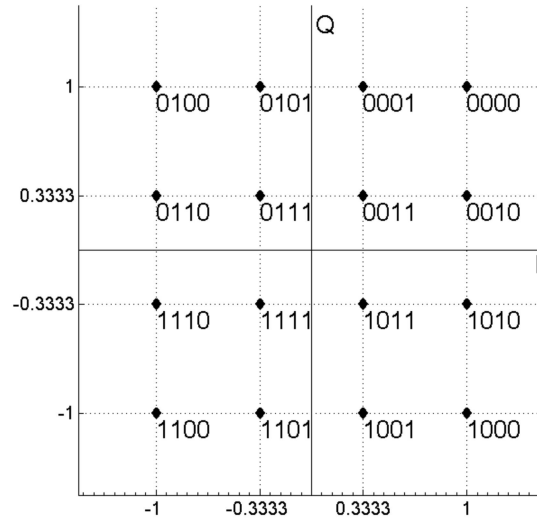


Figura 9 – Constelação 16-QAM

Adicionando-se mais níveis pode-se chegar à modulação 64-QAM como visto na Figura 10

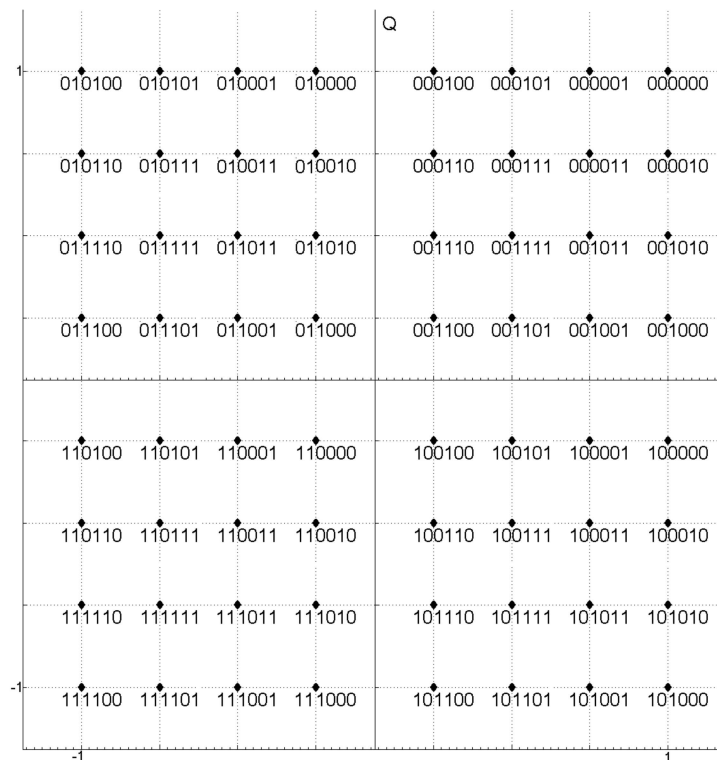


Figura 10 – Constelação 64-QAM

2.11.3 OFDM

A Modulação por Divisão Ortogonal de Frequência (OFDM) é uma técnica de transmissão digital amplamente utilizada em comunicações. A OFDM divide o fluxo de bits de entrada em várias subportadoras. Cada subportadora é modulada em uma portadora ortogonal, o que significa que as frequências não se sobrepõem. Essas portadoras são transmitidas simultaneamente, permitindo a transmissão paralela de múltiplos bits.

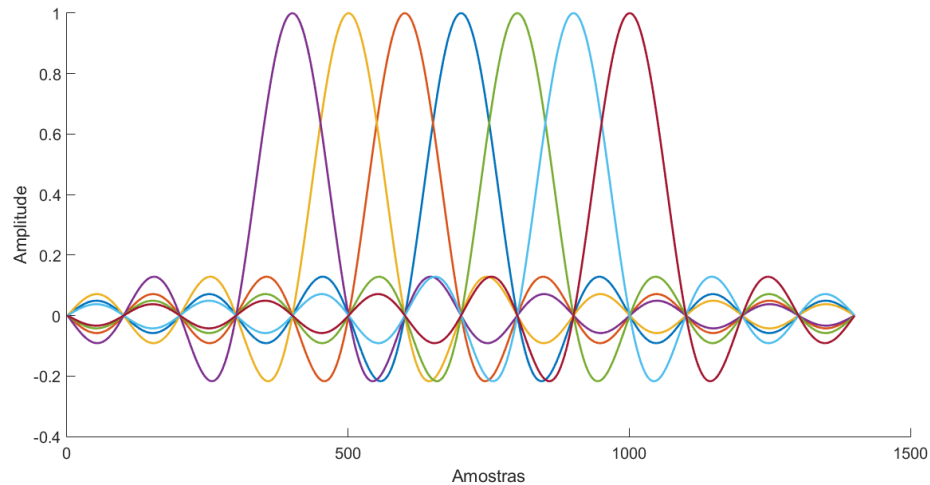


Figura 11 – Portadoras OFDM no espectro das frequências

2.11.4 ISDB-T

O padrão ISDB-T utiliza um esquema de modulação OFDM com 13 segmentos, incorporando modulações como DQPSK, QPSK, 16-QAM e 64-QAM, conforme descrito por Feng (2018) [22], de Oliveira (2016) [23] e Almeida (2018) [24]. Esse padrão de transmissão digital oferece flexibilidade e robustez na transmissão de sinais de televisão.

O sinal ISDB-T possui uma largura de banda total de 6, 7 ou 8 MHz. Para este trabalho, optou-se pelo uso de um sinal ISDB-T comercial, com largura de banda total de 6 MHz. A Figura 12 apresenta o espectro de frequências desse sinal, gerado computacionalmente utilizando as características detalhadas na literatura para este tipo de modulação. Este sinal foi selecionado devido às sua aplicabilidade em sistemas de transmissão modernos, garantindo assim a relevância do tema de estudo proposto para este trabalho.

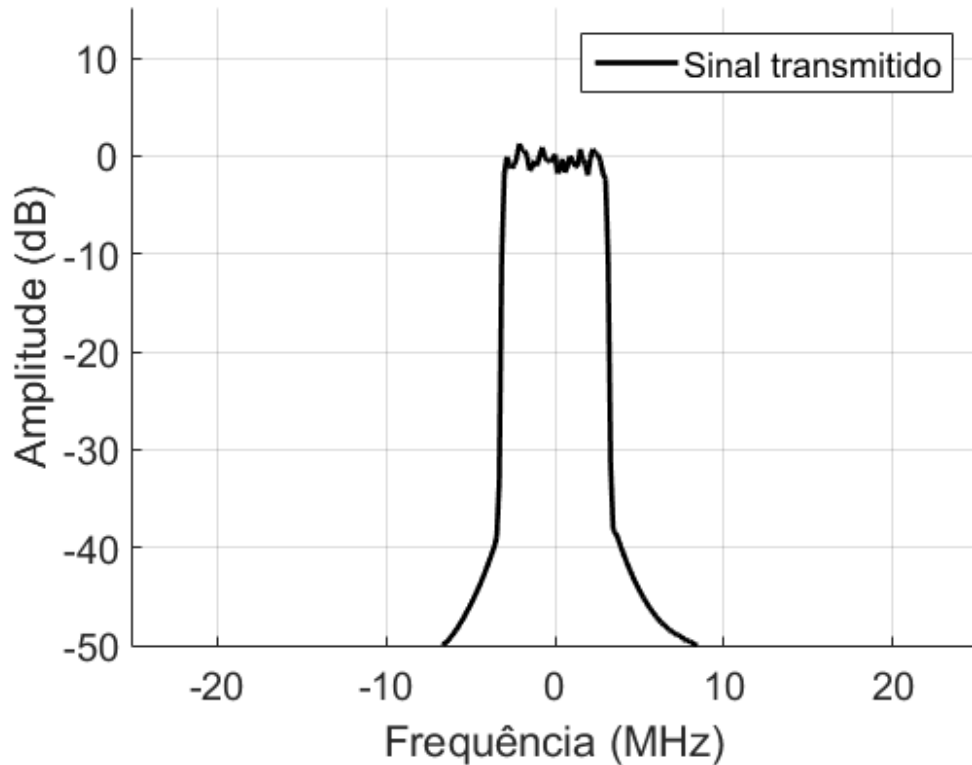


Figura 12 – Sinal ISDB-t no espectro das frequências

O sinal ISDB-T foi selecionado como objeto de estudo no trabalho. O ISDB-T é um padrão de transmissão digital de TV de origem japonesa amplamente utilizado na América do Sul, inclusive no Brasil. Este sinal será utilizado para validação do instrumento e para a identificação de amplificadores de potência.

2.12 RESUMO DO CAPÍTULO

Neste capítulo, foi demonstrado que um sistema discreto é uma representação de um sistema real. Sistemas discretos podem ser separados em linear e não-lineares e esses apresentam diferentes características quanto a realimentação. Para a geração dos sinais digitais vetoriais, foi selecionada a plataforma FPGA. Durante o trabalho foi necessária a avaliação da qualidade dos sinais transmitidos e para isso foram utilizadas quatro figuras de mérito: NMSE, NRME, e MAE.

3 IMPLEMENTAÇÃO DE UM MODULADOR EM FPGA

Este capítulo descreve a implementação do modulador em placas de FPGA e os seus periféricos. São utilizados componentes de baixo custo e o resultado final apresenta um sinal de ótima qualidade.

3.1 COMPONENTES DO SISTEMA DE MEDIDAS

Esta seção especifica em detalhes os componentes utilizados na seção transmissora e receptora do sistema mostrado na Figura 3, mostrada na introdução do trabalho. Durante a seção esta estrutura será mostrada em detalhes.

3.1.1 TRANSMISSOR

A melhor configuração na seção do transmissor foi alcançada ao utilizar duas placas da Texas Instruments, TSW1406 e TSW3085 [48], conforme mostrado na Figura 13. Ambas as placas podem ser conectadas, e o sinal gerado no computador é transmitido para a placa TSW1406 usando o software *High Speed Data Converter Pro* (HSDC-pro). O TSW1406EVM é uma placa composta por um Lattice FPGA, possui profundidade de amostragem de 32k, plataforma USB para comunicação com um PC e também é implementado com um barramento LVDS de alta velocidade capaz de receber amostras de 16 bits. O TSW3085EVM inclui um GSPS de 1,25 e 16 bits de canal duplo, um modulador de RF complexo com uma faixa de saída de 300 MHz a 4 GHz e um gerador de clock em uma placa. Na saída da seção de RF, esta placa também inclui um amplificador e um atenuador variável programável. A taxa de amostragem e o ganho de saída do TSW3085 foram configurados no software GUI do TSW 308x. Para esta implementação é utilizada uma taxa de amostragem de 153,6 MHz.

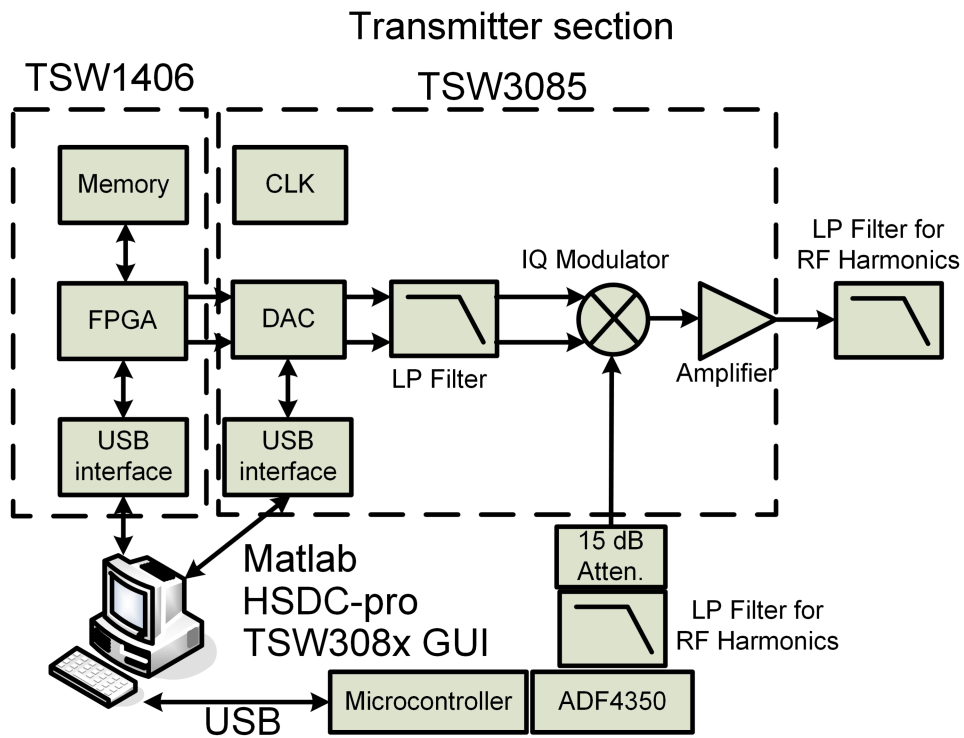


Figura 13 – Esquema da seção do transmissor, mostrando os componentes utilizados.

O esquemático descrito na Figura 13 pode ser visto na placa real implementada no trabalho na Figura 14.



Figura 14 – Placa FPGA com os componentes do transmissor

Com esta configuração de placas a parte física do transmissor é construída. Para se ter um transmissor de qualidade mais alguns componentes são necessários e estes estão descritos nas próximas seções.

3.2 OSCILADOR

O Oscilador Local (LO) era uma placa ADF4350. Pode ser configurado por uma interface USB para gerar uma onda contínua (CW) de saída de 137,5 a 4400 MHz, com potência máxima de saída de +2 dBm. A potência LO CW foi ajustada em -4 dBm e posteriormente atenuada em 15 dB usando um atenuador fixo. A potência de saída RMS medida do sinal transmitido após o filtro foi de -1,9 dBm (0,64 mW). Uma imagem do oscilador junto do atenuador da sua saída pode ser vista na Figura 15.



Figura 15 – Oscilador local e o seu filtro de linha

A potência de saída do oscilador foi suficiente para alimentar o transmissor. Um valor mais elevado não ajudaria na qualidade do sinal pela limitação da placa.

3.3 FILTRO

O filtro passa-baixa para supressão de harmônicos fora da banda deve ser projetado separadamente, pois sua frequência de corte depende da aplicação específica. Para esta aplicação específica, foi utilizado um filtro passa-baixa Chebyshev de ordem 5. Este filtro pode ser visto na Figura 16

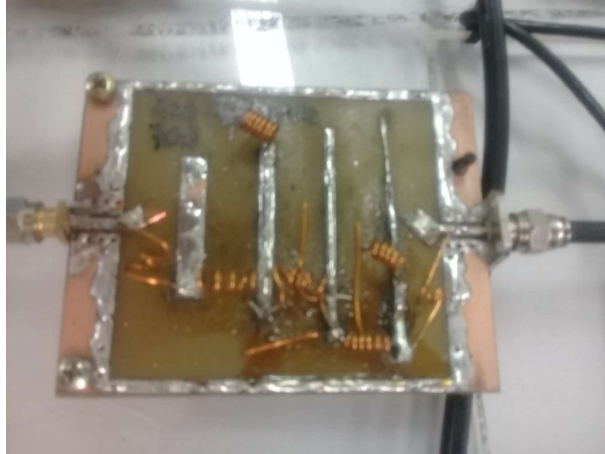


Figura 16 – Filtro na saída do modulador

O filtro Chebyshev, construído em laboratório, foi testado no analisador de espectros nas seções finais deste trabalho, suprimindo corretamente as harmônicas do sinal.

3.3.1 RECEPTOR

Na recepção do sinal, foi utilizada a combinação de duas outras placas Texas Instruments, TSW1405 e TSW1266 [49], conforme mostrado na Figura 17. A configuração padrão da placa permite uma frequência de RF de 1880 MHz a 2390 MHz [49]. portanto, algumas modificações foram feitas na placa para usar o ADC sem o mixer inicial e operá-lo em uma zona de Nyquist mais alta. Permite que o receptor opere o sinal ISDB-T de 500 MHz. Para esta implementação é utilizada uma taxa de amostragem de 153,6 MHz.

O TSW1405EVM possui as mesmas características da placa TSW1406, porém foi projetado para captura de dados. Foi configurado usando o software *High Speed Data Converter Pro* (HSDC-pro) para receber o sinal corretamente.

O TSW1266 possui um demodulador complexo, um Amplificador de ganho variável (DVGA) controlado digitalmente de canal duplo, um ADC de canal duplo 800-MSPS de 12 bits e um limpador e gerador de jitter de clock PLL duplo. A taxa de amostragem e o ganho de entrada foram configurados usando o software GUI TSW1266. Isso satisfaz parte dos requisitos do lado do receptor. Um filtro passa-baixo para supressão de harmônicos fora da banda foi utilizado na entrada do receptor.

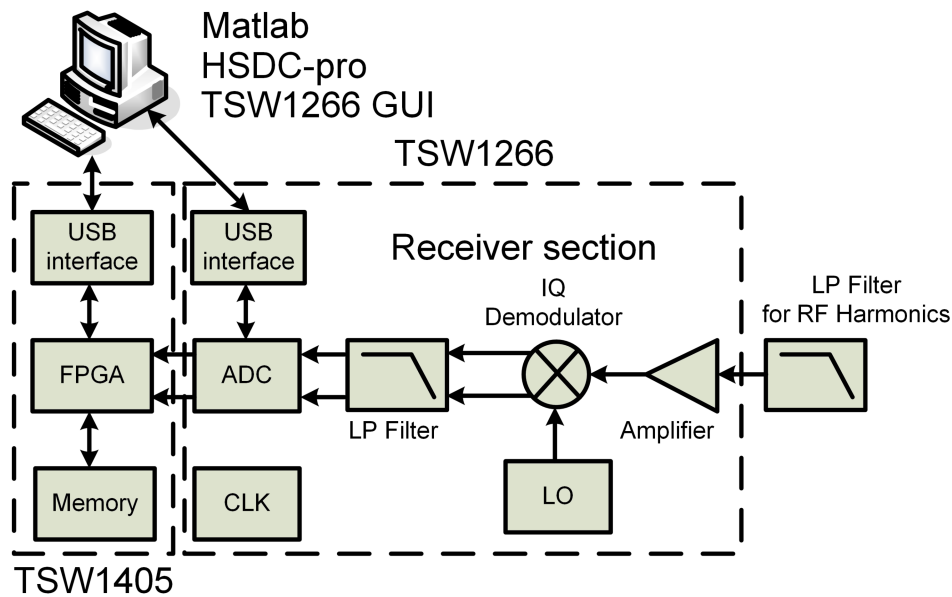


Figura 17 – Esquemático da seção do receptor, exibindo as placas utilizadas.

Depois de juntar todas as partes necessárias, algumas configurações específicas foram feitas em laboratório para receber os sinais corretamente. A configuração original do TSW1266 prevê uma operação acima do 1GHz de modulação. Para operar na frequência de interesse no trabalho o modulador intermediário foi removido. Assim, o demodulador fica centrado em 460 MHz. A Figura 18 mostra estas alterações.

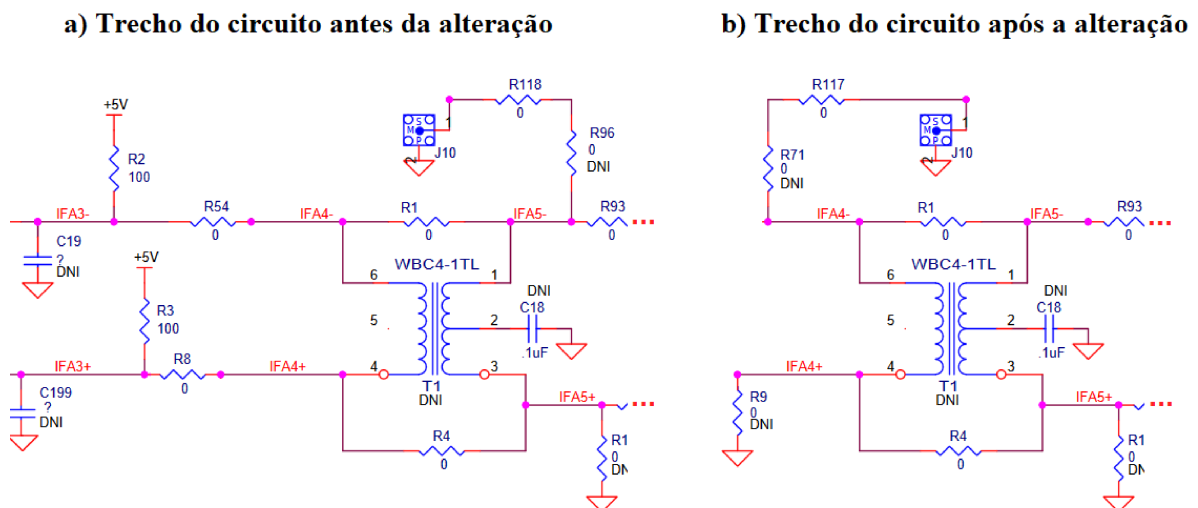


Figura 18 – Alterações no circuito da placa FPGA.

Na Figura 18 é possível ver que os resistores R118, R54 e R8 foram removidos do circuitos e os resistores R71 e R9 foram adicionados. Esta remoção do demodulador inicial permitiu trabalhar com a placa na frequência de operação do sinal ISDB-T.

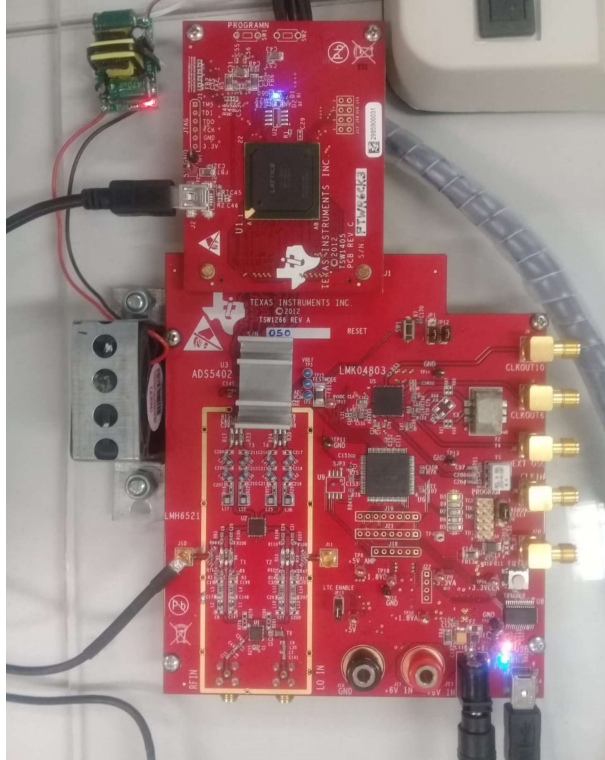


Figura 19 – Placa FPGA com os componentes do receptor

A Figura 19 destaca a placa de recepção real já com alterações descritas na Figura 18.

3.4 ACOPLADOR

O acoplador ZFDC-20-5+ é utilizado neste trabalho para se observar o sinal que estará presente na entrada do ADC. Sua saída possui uma atenuação de 0,7 dB na frequência de 500 MHz [50]. Para a mesma frequência a saída do acoplador possui uma atenuação de 20 dB. A imagem deste equipamento está na Figura 20.



Figura 20 – Acoplador na entrada do receptor

Este acoplador facilita a visualização do sinal que está entrando no ADC em um analisador de frequências.

3.5 SISTEMA DE MEDIDAS

O sistema de medida completo, como mostrado na Figura 21, é a união de todos os componentes citados nas seções anteriores. Assim, é possível montar o sistema de medidas completo para avaliação de um DUT.

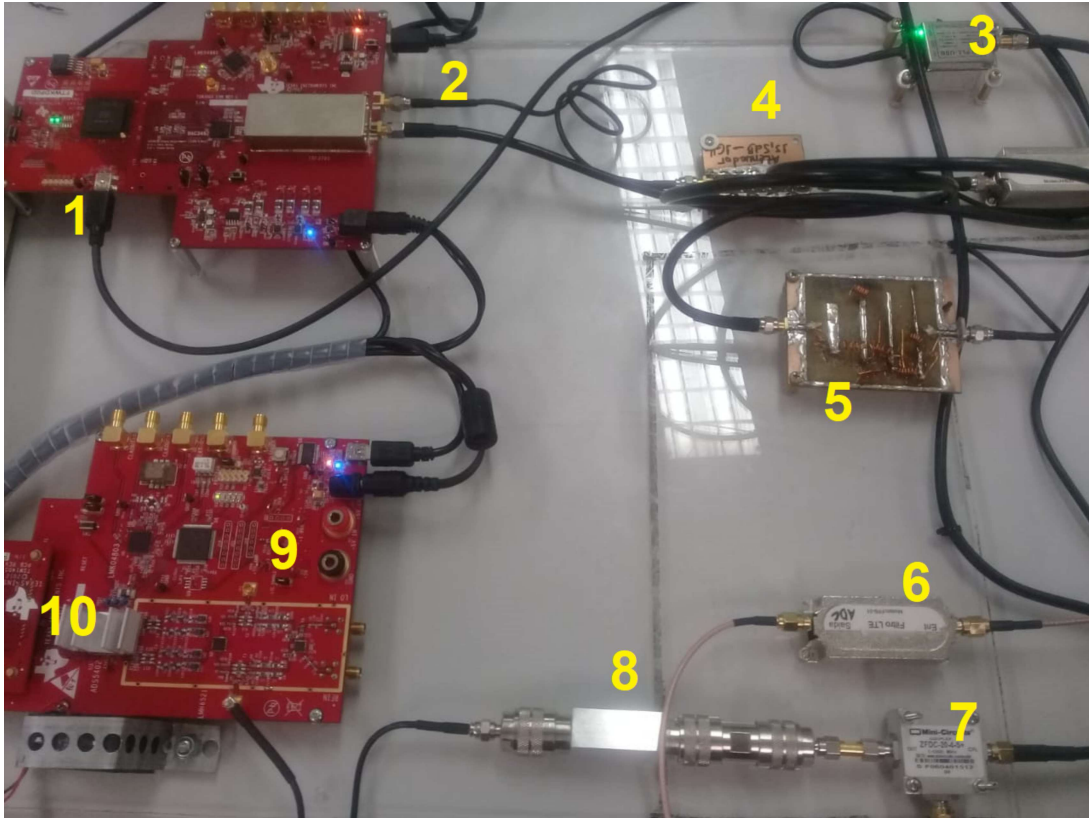


Figura 21 – Sistema de Medidas: 1-TSW1406, 2-TSW3085, 3-ADF4350, 4-atenuador, 5-filtro de saída, 6-filtro de entrada, 7-acoplador, 8-atenuador, 9-TSW1266, 10-TSW1405

Para garantir a qualidade do sinal transmitido é utilizado o kit comercial Keysight CXA N9000Aa. Uma medição de magnitude de vetor de erro (EVM) pode ser usada neste equipamento, mas o sinal ISDB-T não é possível de se realizar no CXA utilizado. Por isso que é usado um sinal 16-QAM gerado computacionalmente apresentando um erro EVM de 1,68 %. A Figura 22 mostra esta medição em CXA.

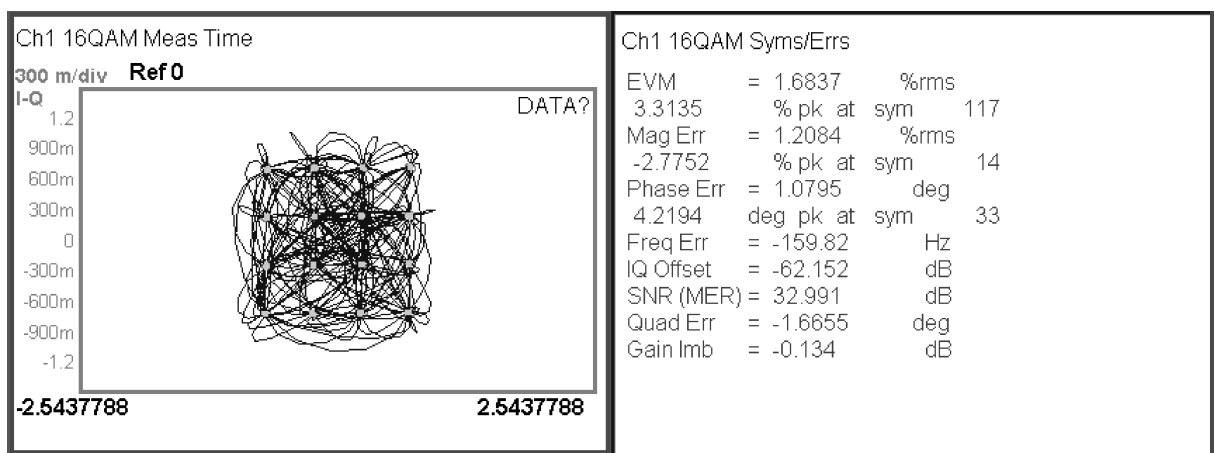


Figura 22 – Erro medido pelo CXA

Como parâmetro de comparação foi utilizado um kit comercial da empresa Dream-

catcher, o ME1100, que faz uso de dois geradores de sinais Keysight 33500B, e também de um software proprietário da empresa. Este envia os dados via comandos SCPI para estes geradores, emulando assim os sinais I e Q de um modulador digital padrão. Este kit apresentou um EVM de 10,027 %, inferior ao EVM de 1,6837 % apresentado pela plataforma desenvolvida.

3.6 RESUMO DO CAPÍTULO

Nesse capítulo, foi detalhado o funcionamento de um sistema para a geração de sinais em FPGA. Ao final, foi apresentada uma avaliação por um kit comercial, onde o modulador implementado mostrou um desempenho satisfatório.

4 IMPLEMENTAÇÃO DO ESTIMADOR

Neste capítulo será discutido a implementação do estimador computacionalmente e as dificuldades envolvidas no processo.

4.1 JANELAMENTO E SINAL RECEBIDO

O sinal recebido é janelado por duas janelas Tukey que foram descritas na seção 2.9. Computacionalmente é possível analisar o sinal recebido que, em um primeiro momento não possui nenhum tratamento. A Figura 23 compara visualmente o sinal enviado e o sinal recebido pela plataforma real sem nenhum tratamento.

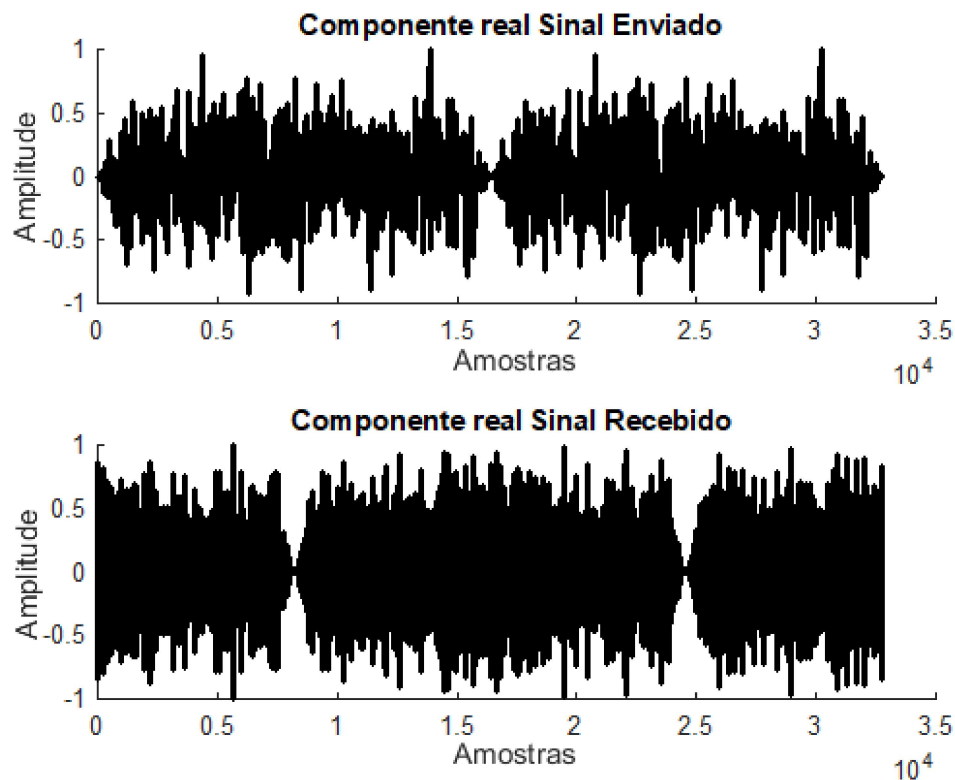


Figura 23 – Sinal Enviado e Sinal Recebido.

Na Figura 23 o sinal enviado e recebido possuem 32768 pontos. Isto é dado pela limitação de memória do FPGA descrita na seção 2.7. Concatenar as extremidades do sinal recebido não se provou uma opção viável devido à descontinuidade no tempo que este processo ocasiona. Portanto, para processamento é selecionado apenas uma janela de 16384 pontos. Justificando assim o uso de duas janelas, não apenas uma. Na Figura 23 é possível ver que as duas janelas do sinal enviado possuem os mesmos pontos. Garantindo a não necessidade de uma análise de qual janela recebida possui uma descontinuidade.

4.2 PROCESSAMENTO DO SINAL RECEBIDO

O sinal transmitido é modulado em uma frequência de 500 MHz. O sinal ISDB-T que é gerado em banda base e após a modulação é necessário voltá-lo para banda base através do processo de demodulação.

Neste sistema, surgem algumas dificuldades em demodular o sinal recebido para se comparar com o transmitido. O receptor é cego em relação ao transmissor. A modulação descrita na seção 2.5 não funciona diretamente quando o receptor e o transmissor não estão sincronizados pelo mesmo oscilador local. Para realizar esta demodulação de forma eficiente, possibilitando a identificação de um DUT, utiliza-se uma transformada de Hilbert, conforme mostrado em seção 2.6. Esta transformada é implementada computacionalmente utilizando-se a equação 4.1.

$$D_S[n] = R_S[n]\{\cos[(f_0 + f_v)n + \theta] + i \sin[(f_0 + f_v)n + \theta]\} \quad (4.1)$$

Na equação (4.1), $D_S[n]$ é o sinal demodulado, $R_S[n]$ é o sinal recebido, f_0 representa a frequência inicial, f_v uma variação menor da frequência inicial, e θ a fase. Têm-se uma frequência inicial de 460 MHz esperada para o equipamento, mas esta não é exatamente a frequência do oscilador local do receptor. O sinal demodulado inicialmente fica como mostrado na Figura 24.

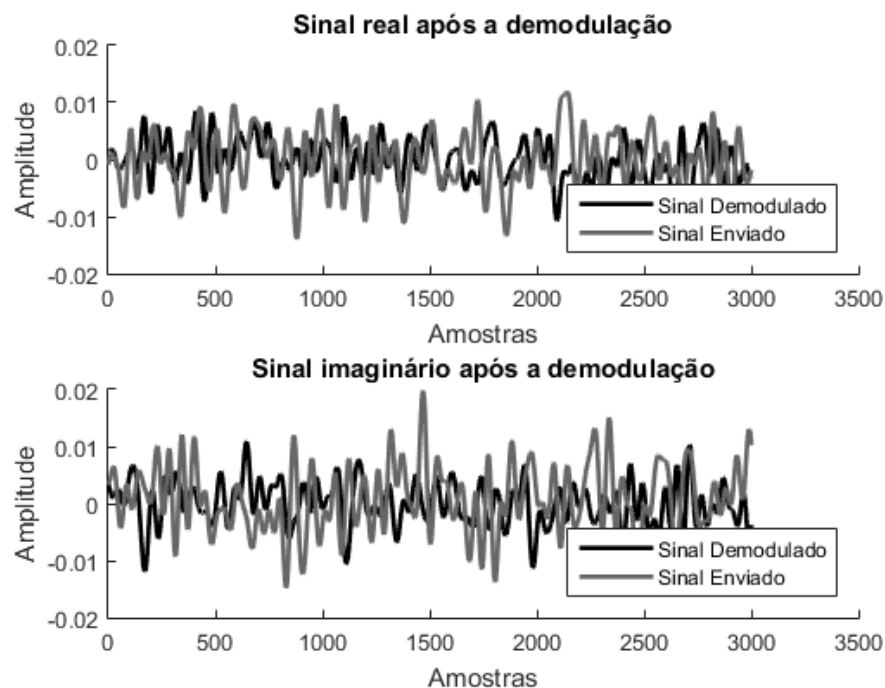


Figura 24 – Demodulação inicial.

O sinal demodulado também pode ser analisado no espectro das frequências. Analisando este sinal têm-se o espectro mostrado na Figura 25

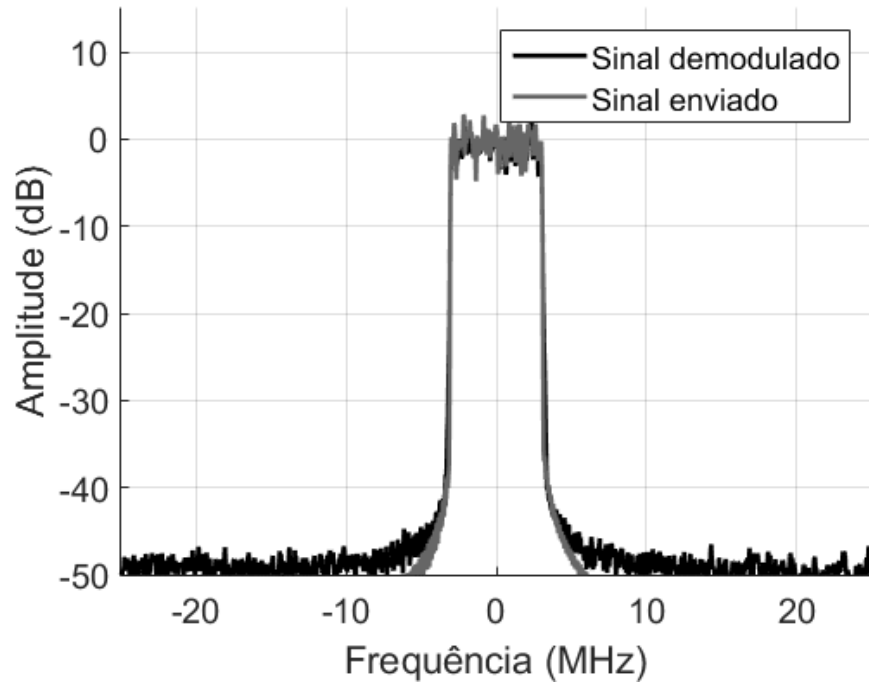


Figura 25 – Sinal demodulado inicial

Primeiramente para se ter uma maior precisão na alteração dos valores é aumentada a resolução do sinal em 20 vezes. O sinal com esta maior resolução é descrito na Figura 26

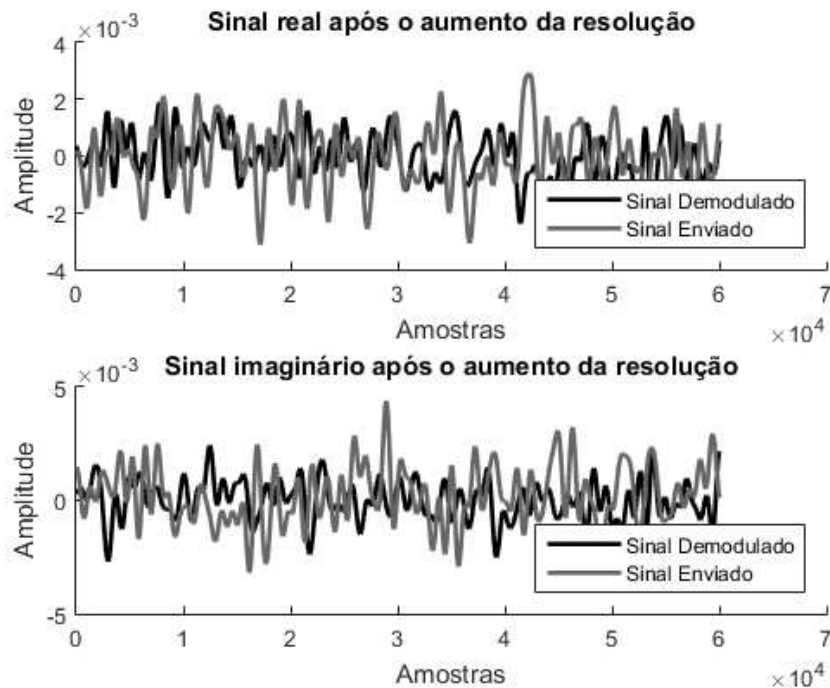


Figura 26 – Sinal com a resolução aumentada.

Para superar o erro de atraso, de fase e de frequência, um mapeamento 2-D de NMSEs, que é um método conhecido para verificar a similaridade de dois sinais [45], para este sinal é apresentado na Figura 27. Indica o melhor valor de variação de frequência e fase utilizando-se da equação (4.1).

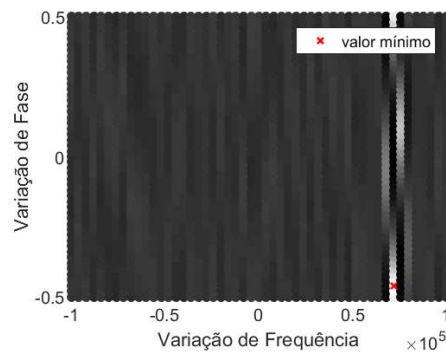


Figura 27 – Mapa 2D para pequenas variações de fase e frequência

O sinal é modulado novamente na melhor frequência do mapa 2-D apresentado na figura 27 e o melhor atraso é obtido através da função de correlação cruzada apresentada na seção 2.8. O resultado é um sinal já bastante similar, apresentando -18 dB de erro NMSE, apresentado na Figura 28

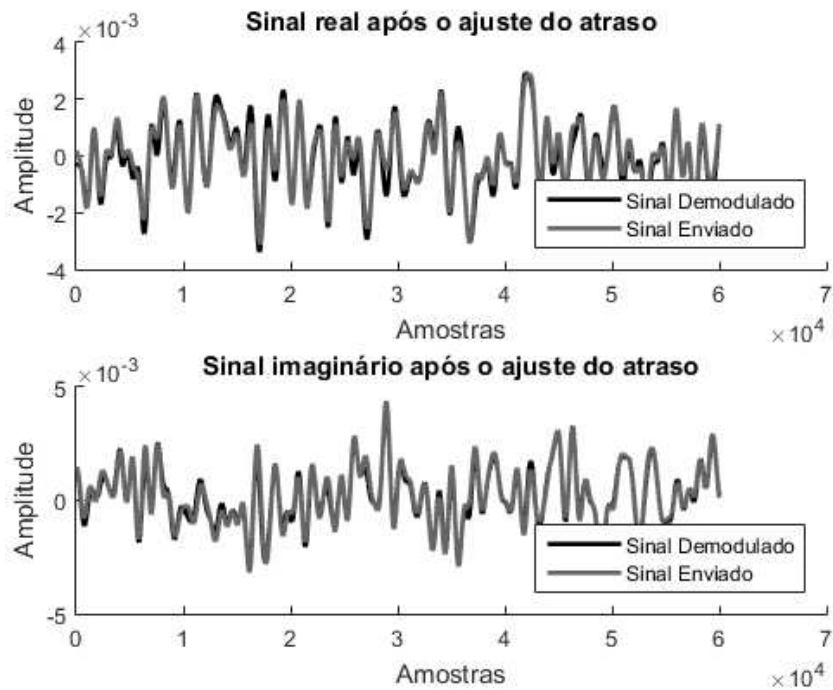


Figura 28 – Sinal com a resolução aumentada e frequência, fase e atraso acertados.

O mesmo sinal apresentado na Figura 28 pode ser visto na Figura 29 na taxa de amostragem de 153,6 MHz da placa FPGA.

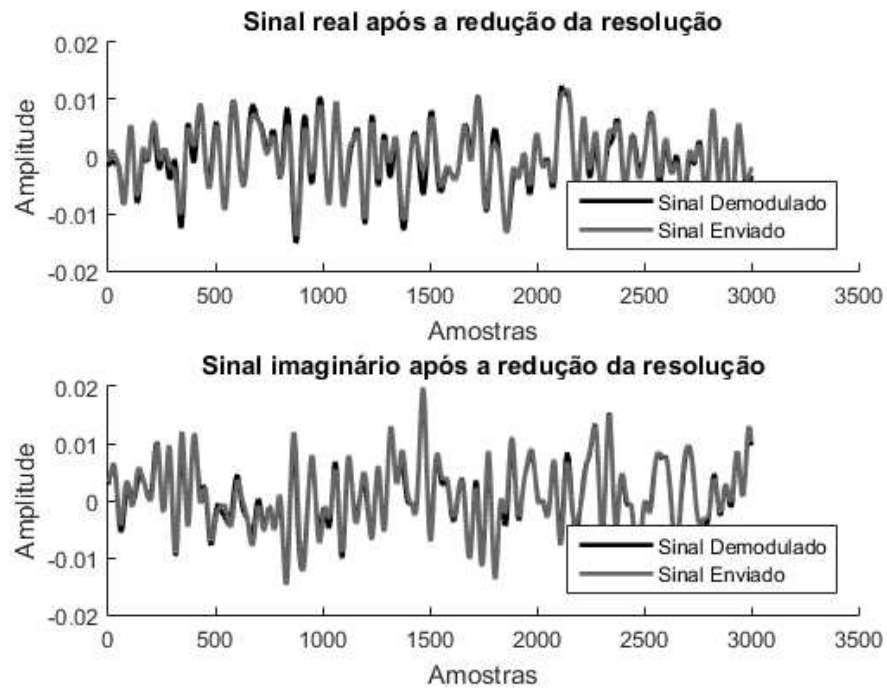


Figura 29 – Sinal com a resolução inicial.

O mapeamento 2-D, no padrão construído neste trabalho, é repetido mais 3 vezes. A

cada nova interação são testadas variações de frequência e fase cada vez mais estreitas. Não realizado o primeiro teste na menor variação para se economizar custo computacional, já que uma resolução muito estreita para uma faixa grande de frequência e fase demandariam várias repetições do algoritmo. Estes novos 3 mapas 2-D podem ser vistos na Figura 30

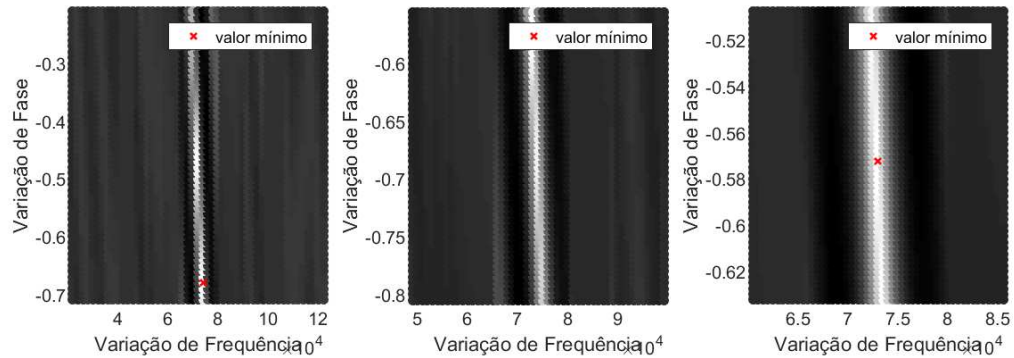


Figura 30 – Mapas 2D para pequenas variações de fase e frequência

Após estas iterações o NMSE do sinal reduz de maneira substancial alcançando -30 dB. No domínio do tempo o sinal pode ser visto na Figura 31 e no domínio das frequências na Figura 32. Comparando-se as Figuras 31 e 29 percebe-se o grande aumento da qualidade da recepção.

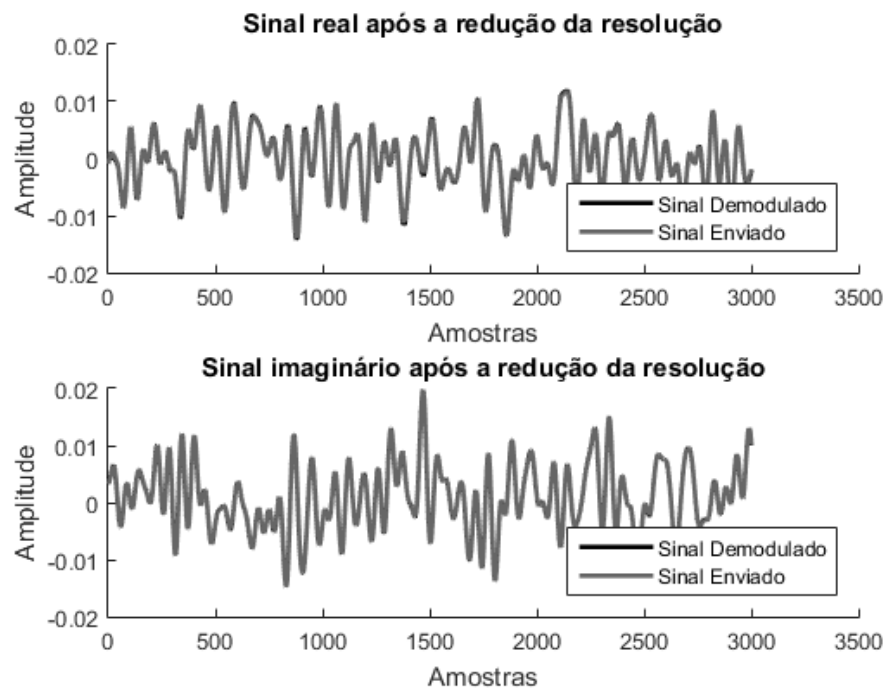


Figura 31 – Sinal demodulado final no domínio do tempo

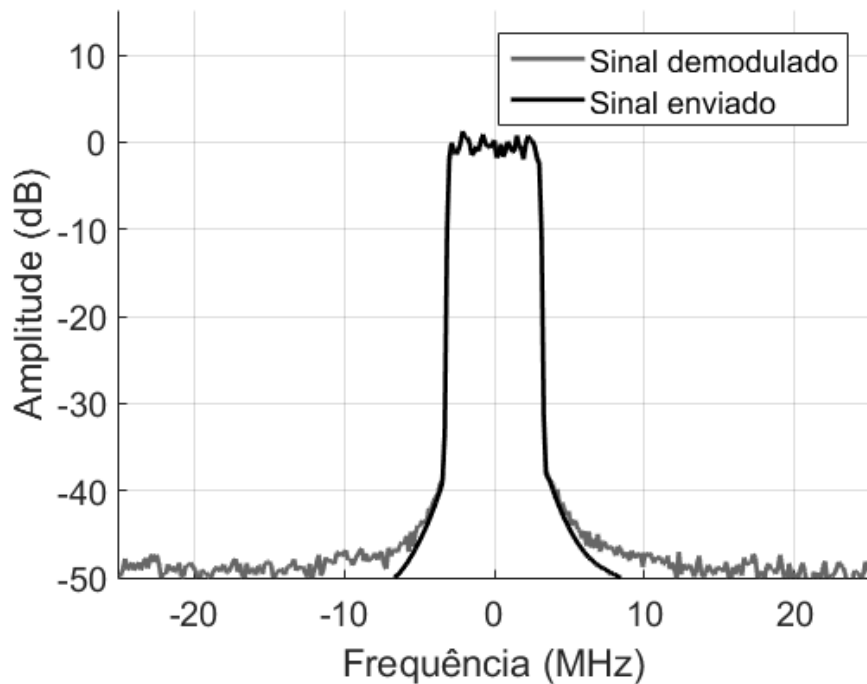


Figura 32 – Sinal demodulado final no espectro das frequências

Em resumo, uma correlação cruzada do sinal transmitido e recebido com amostragem aumentada é realizada para encontrar a melhor posição para sincronização dos sinais. Depois disso, ambos os sinais são reduzidos e comparados. Para realizar esta tarefa o Erro Quadrático Médio Normalizado (NMSE) é utilizado. Este é um método conhecido para verificar a similaridade de dois sinais [45]. Nesta medida, a diferença é calculada ponto a ponto conforme mostrado em (2.22). O menor valor de NMSE indica uma maior similaridade dos dois sinais. A busca pela melhor resolução é realizada 4 vezes ao invés de apenas uma para se reduzir o custo computacional, pois o primeiro passo é feito com um intervalo maior e os passos seguintes são com passos menores. Após calibrada a recepção, este processo não precisa ser repetido.

4.3 IMPLEMENTAÇÃO DO ESTIMADOR

Nesta seção será discutido a implementação de um estimador de mínimos quadrados (MQ) para a identificação de um sistema real.

4.3.1 MODELAGEM CAIXA PRETA

A Modelagem Caixa Preta ou modelagem empírica é um tipo de abordagem em que o conhecimento das leis físicas que descrevem um processo não é necessário, conforme mencionado por Aguirre (2004) [4]. Em outras palavras, nesse tipo de modelagem, o modelo é construído exclusivamente com base nos dados coletados do próprio processo a ser

descrito, conforme destacado por Ljung (1999) [51]. O objetivo do algoritmo implementado computacionalmente é criar um modelo do tipo Caixa Preta, utilizando dados reais provenientes do FPGA.

Para alcançar esse objetivo, os dados devem ser analisados por um estimador, que é o algoritmo responsável por retornar os coeficientes do modelo. Neste trabalho, opta-se pelo uso do estimador de Mínimos Quadrados (MQ), cujos detalhes estão descritos [52] na seção 4.3.2.

4.3.2 ESTIMADOR IDEAL

O método de Mínimos Quadrados (MQ) tem origem nos trabalhos de Gauss sobre astronomia. Nesses estudos, Gauss tinha como objetivo prever as órbitas dos corpos celestes a partir de um conjunto de dados provenientes de observações. Os dados não eram suficientes para descrever por completo as órbitas mas, utilizando o método proposto, Gauss poderia descrever os pontos desconhecidos através de uma aproximação linear [4].

O objetivo dessa seção é descrever o funcionamento do método de Mínimos quadrados em detalhes.

Para começar, pode-se escrever que y é função de u e θ como na equação (4.2).

$$y = f(u, \theta) \quad (4.2)$$

A equação (4.2) pode ser reescrita como em (4.3).

$$y = u^T \theta \quad (4.3)$$

As equações apresentadas em (4.2) e (4.3) podem ser reescritas na forma matricial descrita em (4.4). Utilizando essa metodologia, pode-se ter u_n valores gerando y_n resultados através de estimadores θ_n [4] [11].

$$Y = U\theta \quad (4.4)$$

Pode-se utilizar a entrada e a saída do sistema para se determinar os estimadores θ_n , como descrito na equação (4.5).

$$\theta = U^{-1}Y \quad (4.5)$$

Na equação (4.5), pode ocorrer das matrizes U e Y não obedecerem as regras de multiplicação matricial. Uma solução elegante para esse problema é multiplicar ambos os lados da equação (4.4) por U^H , onde H denota o transposto Hermitiano, como descrito em (4.6) [4] [11] [53].

$$U^H Y = U^H U \theta \quad (4.6)$$

A partir da equação (4.6) é possível obter (4.7) em que a matriz $[U^H U]^{-1}$ é conhecida como pseudo-inversa.

$$\theta = [U^H U]^{-1} U^H Y \quad (4.7)$$

Sabe-se que (4.7) é uma solução do sistema proposto, mas não é possível ter certeza que essa é a melhor solução possível. Para se obter uma resposta satisfatória pode-se escrever a equação (4.8), visando encontrar o erro quadrático do valor estimado \hat{y} para o valor real y [54].

$$J(\theta) = \sum_{n=1}^N [y - \hat{y}[n]]^2 \quad (4.8)$$

As equações (4.9), (4.10), (4.11) e (4.12) são desenvolvimentos da equação (4.8).

$$J(\theta) = (Y - \hat{Y})^2 \quad (4.9)$$

$$J(\theta) = (Y - U\theta)^H (Y - U\theta) \quad (4.10)$$

$$J(\theta) = Y^H Y - Y^H U\theta - \theta^H U^H Y + \theta^H U^H U\theta \quad (4.11)$$

$$J(\theta) = Y^H Y - 2Y^H U\theta + \theta^H U^H U\theta \quad (4.12)$$

Para achar os parâmetros θ que minimizam o erro, pode-se derivar a função de erro $J(\theta)$ e igualar o resultado a zero [55] [4]. As equações (4.13) e (4.14) descrevem esse processo.

$$\frac{\partial J(\theta)}{\partial \theta} = -2Y^H U + 2U^H U \theta = 0 \quad (4.13)$$

$$\theta = [U^H U]^{-1} U^H Y \quad (4.14)$$

A equação (4.14) prova que o estimador, descrito em (4.7), é o que minimiza o erro quadrático, pois ambas obtiveram o mesmo valor de θ . Esse modo de se obter θ é conhecido como estimador de Mínimos Quadrados.

Uma visualização do estimador linear e dos seus coeficientes pode ser vista na Figura 33.

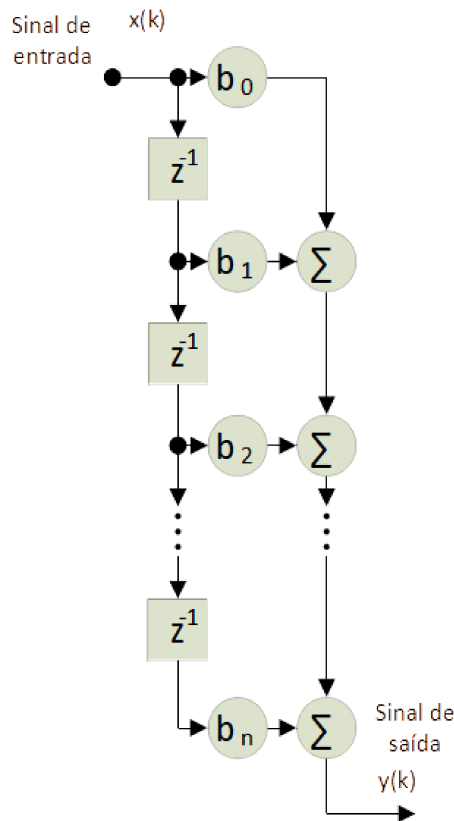


Figura 33 – Diagrama de blocos de um modelo linear.

Na Figura 33 é possível ver que todos os dados de entrada $x(k)$ possuem uma relação direta com os coeficientes b_n , onde n é o atraso de memória. A saída do modelo $y(k)$ será descrita completamente pela relação dos dados de entrada e dos coeficientes.

Uma visualização do estimador não-linear e dos seus coeficientes pode ser vista na Figura 34.

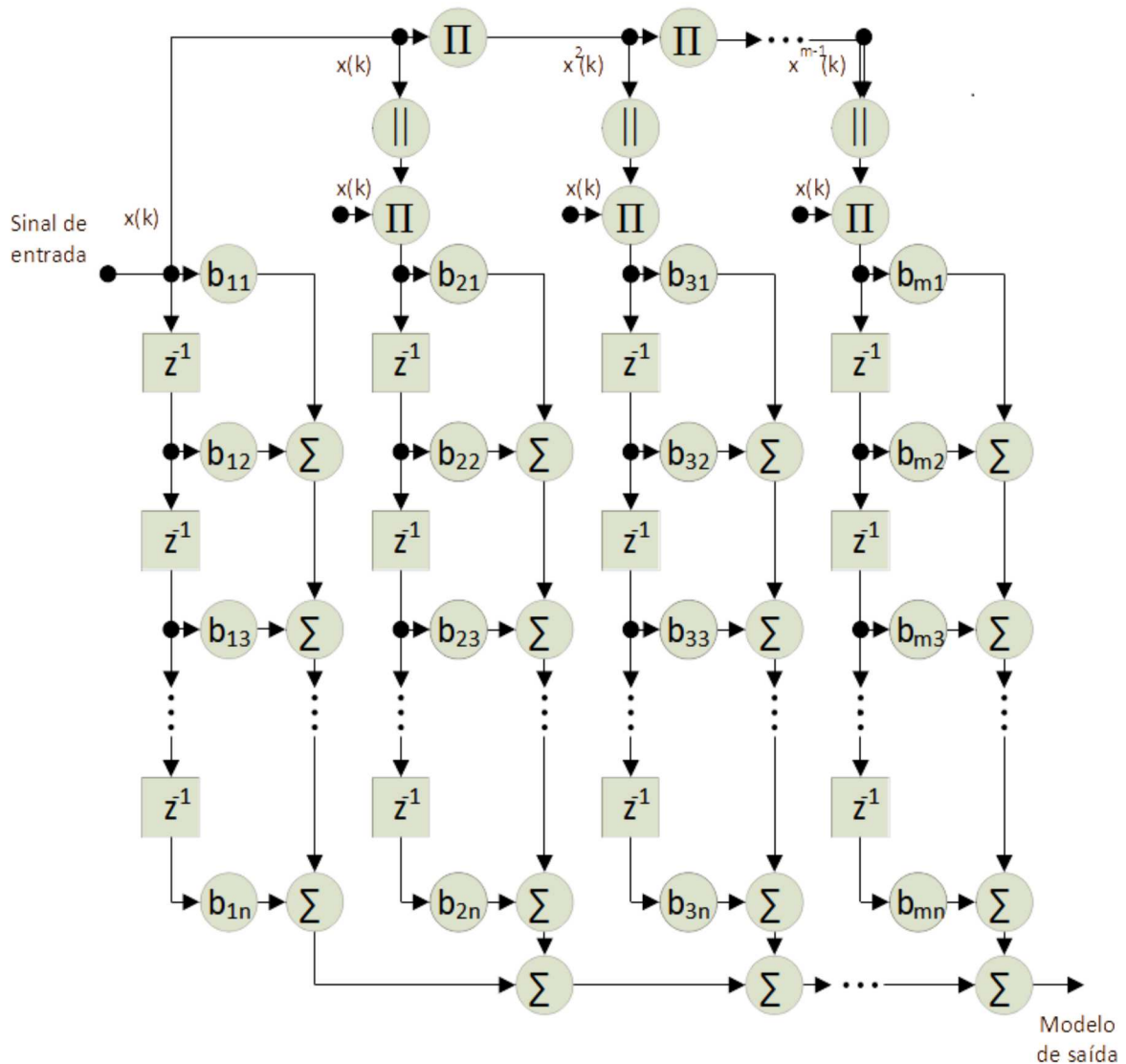


Figura 34 – Diagrama de blocos de um modelo não linear.

Na Figura 34 é possível ver que todos os dados de entrada $x(k)$ possuem uma relação direta com os coeficientes b_{mn} para $m = 1$, onde n é o atraso de memória e m é a ordem do modelo. Para as outras colunas, $m > 1$, os dados de entrada são multiplicados por si mesmo para construção igual à equação Hammerstein mostrada na equação 4.15. A saída do modelo $y(k)$ será descrita completamente pela relação dos dados de entrada e dos coeficientes.

$$y[k] = \sum_{n=0}^{N-1} \sum_{m=0}^{M-1} b_{n,m} x[k-n] |x[k-k]|^m \quad (4.15)$$

A equação 4.15 descreve matematicamente a Figura 34. O coeficiente b_{22} é o coeficiente $b_{n,m}$ da equação para um n e m igual a 2. Estes coeficientes são não lineares

devido ao produtórios dos coeficientes de entrada, se diferindo de um modelo linear como o descrito na Figura 33.

4.4 RESUMO DO CAPÍTULO

Na construção de um receptor, a questão da detecção coerente é de vital importância. Neste capítulo viu-se a construção de um método para garantir que o sinal recebidos esteja na mesma frequência, fase e atraso do sinal enviado.

Viu-se também que é possível a construção de um modelo Caixa Preta somente a partir dos dados de entrada e saída. O estimador utilizado é o MQ, que pode ser recursivo ou não-recursivo. O algoritmo de estimação cria vários modelos para superar a dificuldade de se alinhar os dados de entrada e saída.

5 VALIDAÇÃO DA PLATAFORMA

Viu-se nas seções 3.5 que um sistema de medidas foi construído. Neste capítulo será discutido se este sistema é robusto e será vista uma aplicação na identificação de DUTs. Este capítulo cobre 3 testes realizados para validação da plataforma: Primeiramente é enviado um sinal 16-QAM para avaliação de EVM, Em segundo lugar é analisado o NMSE para sinais com diferentes larguras de banda e, por último, é analisa a aplicação da plataforma na avaliação real de um DUT.

5.1 DESEMPENHO DA PLATAFORMA

Os primeiros testes foram realizados para sinais de 6MHz 16-QAM e ISDB-T. A Figura 35 mostra a medição do EVM em CXA, alcançando um desempenho de 1,68 de erro EVM utilizando um Keysight CXA N9000Aa.

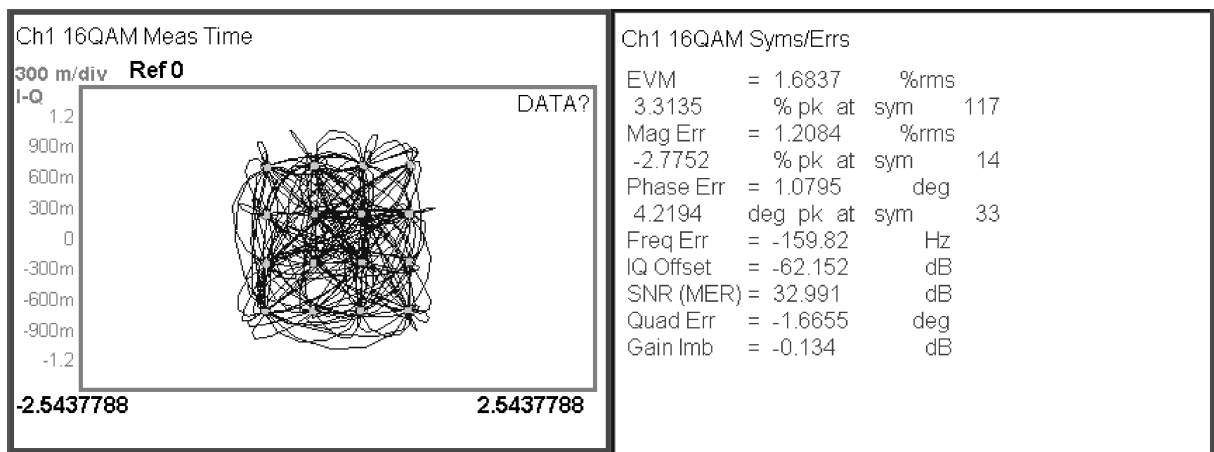


Figura 35 – Erro medido pelo CXA

Na seção 3.5 viu-se que este desempenho é superior comparando-se com um kit comercial. Este primeiro teste atesta a qualidade do instrumento.

5.1.1 VAZAMENTO ESPECTRAL POR JANELAMENTO

Para garantir que não haja vazamento espectral por janelamento, um sinal senoidal é enviado como teste através do transmissor. A Figura 36 mostra que apenas o pulso senoidal é observado no analisador de espectro, não ocorrendo vazamentos espectrais dentro de 1 GHz de largura de banda. Esta largura de banda está acima da frequência de corte do filtro de saída e é maior que duas vezes a taxa de amostragem projetada (153,6 MHz). Garantindo-se assim que não há vazamentos espectrais.

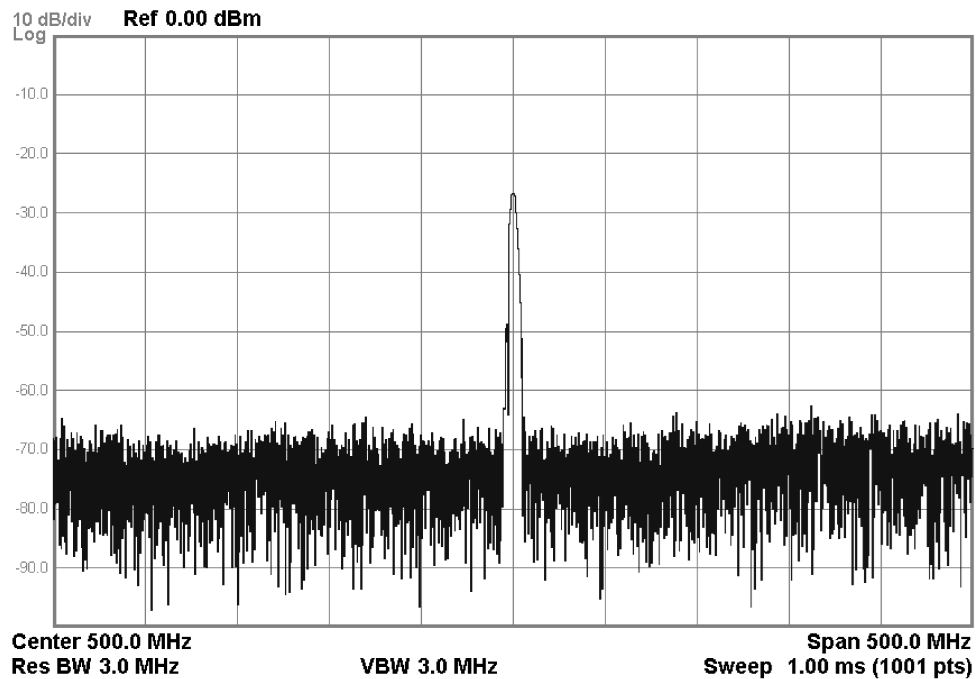


Figura 36 – Sinal senoidal centrado em 500 MHz observado no Keysight CXA N9000Aa

5.1.2 QUALIDADE PARA O SINAL DE 42 MHz

As figuras 31 e 32 na seção 4.2 mostram o a similaridade de um sinal ISDB-T enviado e recebido, este sinal apresentou uma NMSE de -30dB. Este processo garantiu a qualidade do sinal em uma largura de banda limitada, não garantindo a qualidade para características que apareçam fora desta largura provenientes de alguma não-linearidade do DUT.

Amplificadores de potência inserem componentes não-lineares no sinal que provocam o aparecimento de alterações nas harmônicas ímpares do sinal no espectro de frequências. Estas harmônicas ímpares provocam distorções próximas no espectro de frequências do sinal, formando uma espécie de "ombro" no formato do sinal transmitido dentro do domínio das frequências. Isto ocasiona características fora dos 6 MHz de largura do sinal ISDB-t.

A fim de validar as capacidades desta plataforma para medir sinais de RF de banda larga corretamente, mesmo que este apresente vazamentos espectrais de 3^a, 5^a e 7^a ordem, um sinal de largura de banda de 42 MHz foi transmitido e recebido, e os sinais foram comparados. Este sinal foi gerado a partir da repetição do sinal ISDB-T descrito na seção 2.11.4 utilizando-se a transformada de Hilbert descrita na seção 2.6.

Devido à memória limitada do Tx, o sinal recebido foi concatenado várias vezes usando janelas Tukey e tem um total de 98304 pontos. Esta metodologia permite aumentar este valor conforme solicitado pelo usuário. A utilização de diferentes segmentos de 16384 pontos provenientes do transmissor permite uma melhor identificação do DUT quando o sinal for utilizado para isto.

O sinal descrito foi enviado através do sistema de medidas e apresentou um desempenho de -28 dB. Este desempenho foi considerado satisfatório e o espectro deste sinal pode ser visto na Figura 37.

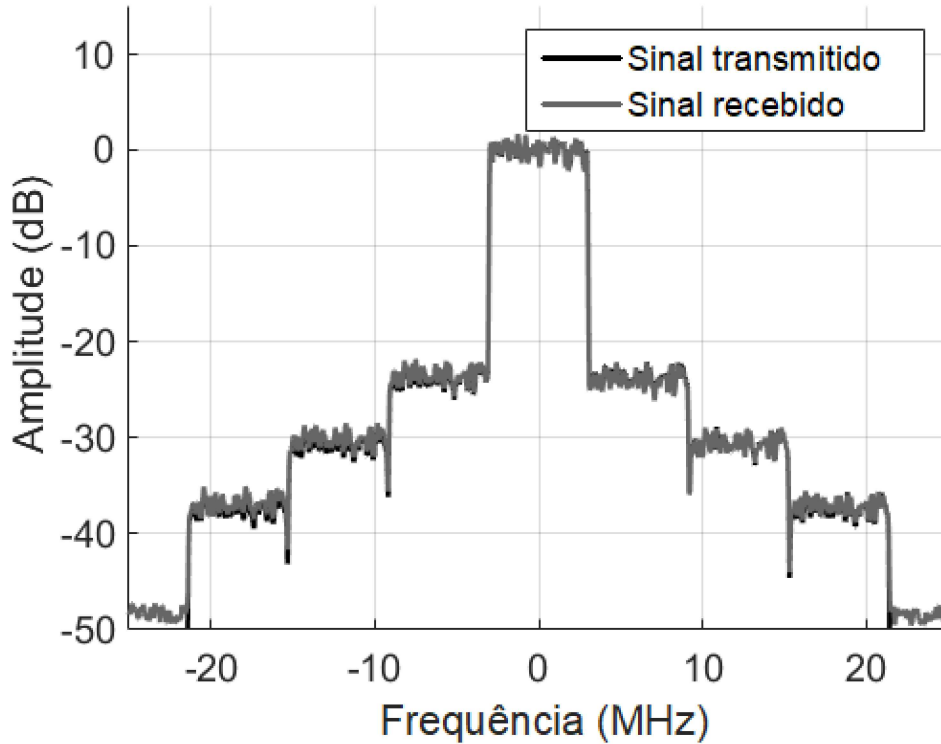


Figura 37 – Espectro do sinal de 42MHz transmitido e recebido

Mesmo para maiores larguras de bandas, a plataforma continuou se mostrando eficiente, habilitando assim o instrumento para validação de DUTs não-lineares.

5.2 APLICAÇÃO DA PLATAFORMA NA IDENTIFICAÇÃO DE DUTs

Esta seção mostra uma das muitas aplicações possíveis do sistema, a identificação de um amplificador de potência de RF usando um sinal ISDB-T de 6 MHz. Este modelo pode ser usado para estudos posteriores e também para propósitos de linearização [56]. A figura 38 mostra como fica o sistema de medidas após a inserção do amplificador.

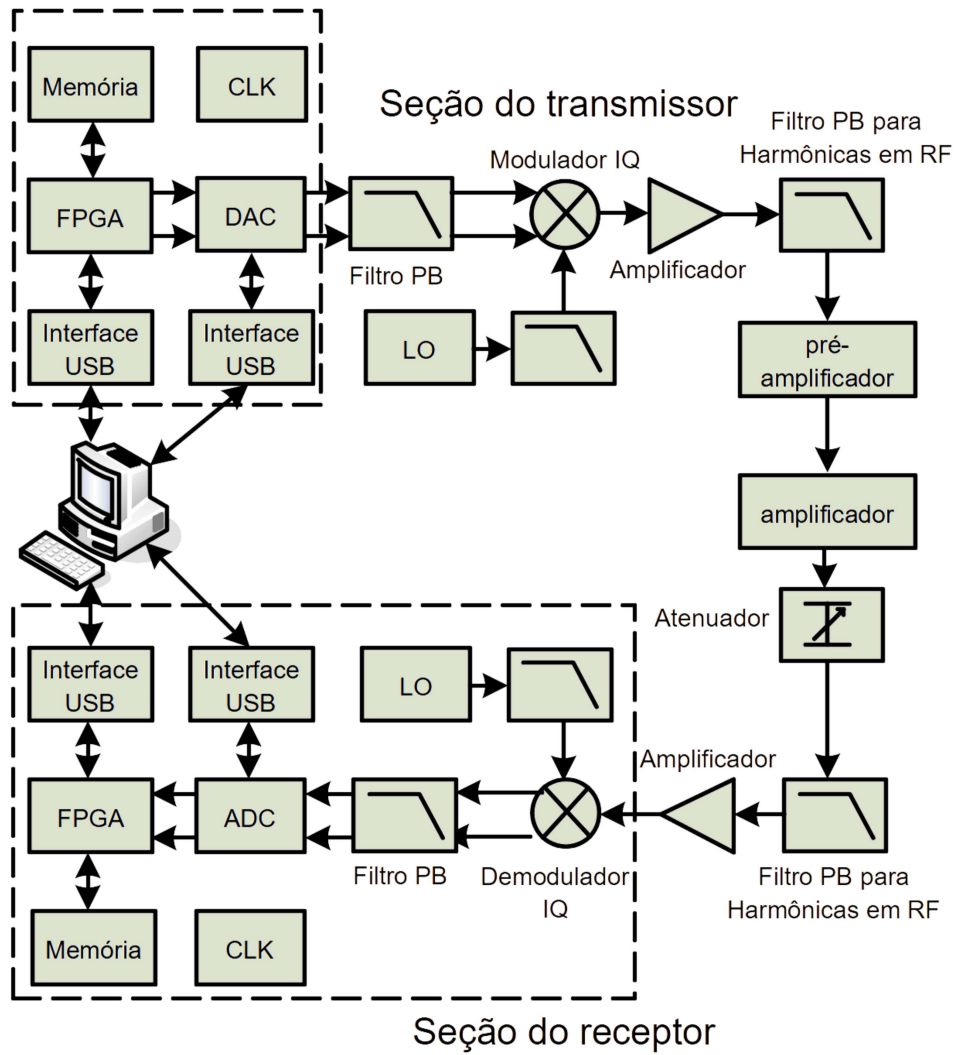


Figura 38 – Sistema para medida de sinais em RF

O esquemático da Figura 38 representa o que foi montado fisicamente. Este sistema real pode ser observado nas Figuras 39 e 40, onde na primeira se encontra as placas do FPGA, os filtros de saídas e todos os componentes descritos na seção 3.5.

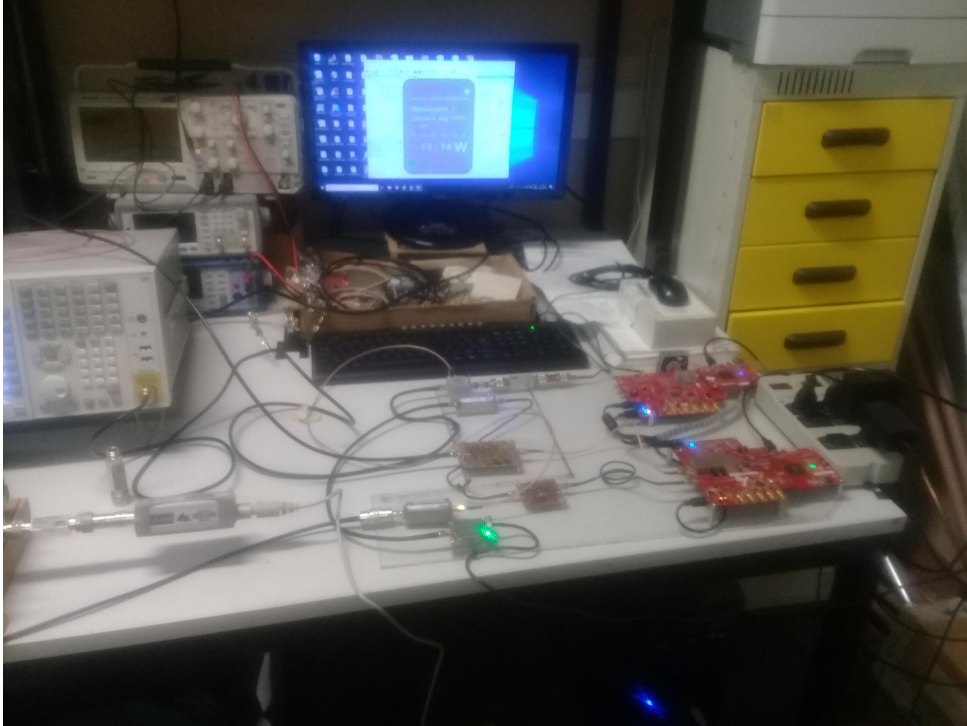


Figura 39 – Sistema para envio e recebimento de sinais

Na Figura 40 encontram-se o driver, o DUT e o atenuador. Existe também uma analisador de espectros para se acompanhar o sinal recebido.

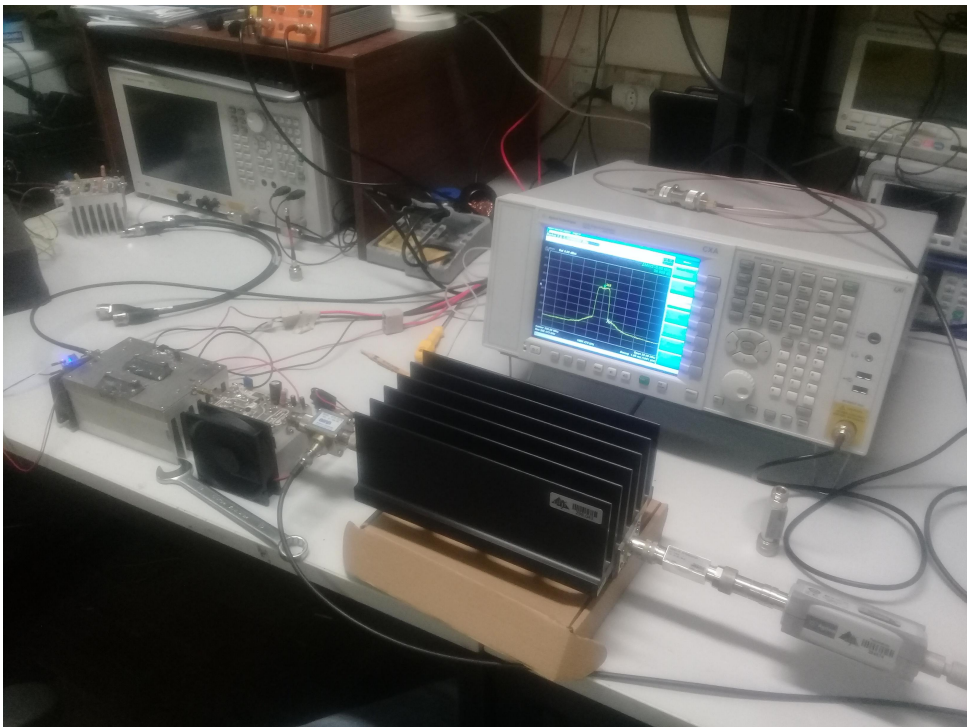


Figura 40 – Amplificador, pré-amplificador e atenuador montados juntos com o sistema de medida

Este é o sistema completo de avaliação de amplificadores de potência construído.

5.3 DRIVER LINEAR

Para aumentar a potência de saída do DAC, é empregado um *Driver* de ganho linear de 23 dB. Devido ao seu ganho linear, ele não insere alterações significativas no sinal e a modelagem define os coeficientes das alterações do transistor. Pode ser vista a imagem do *Driver* na Figura 41.

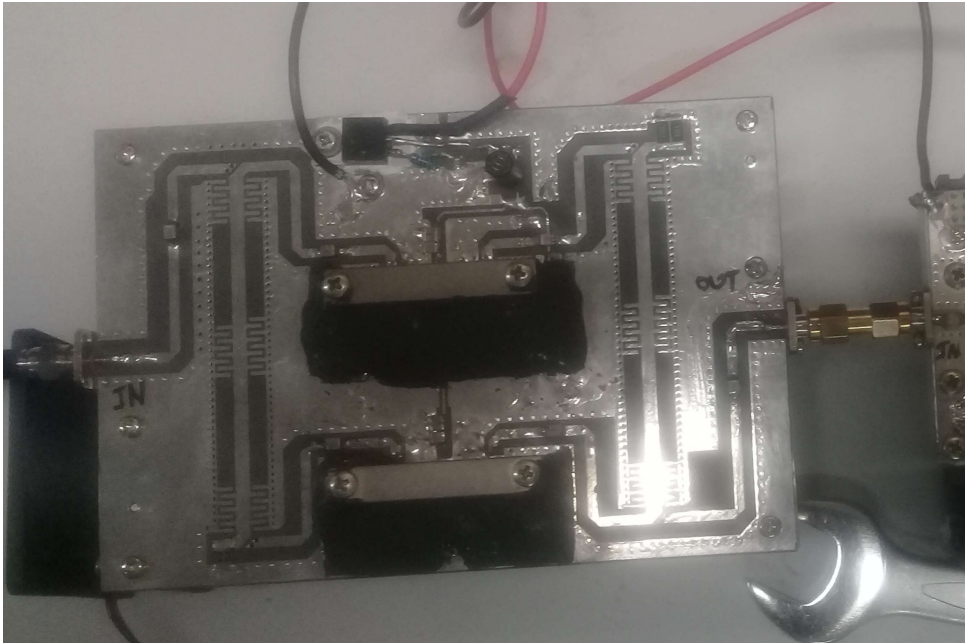


Figura 41 – *Driver* Linear aplicado na saída do DAC

5.4 AMPLIFICADOR *SINGLE*

Um transistor LDMOS de potência de banda larga Ampleon BLF642, mostrando ganho de sinal de 20 dB é utilizado. A frequência selecionada foi de 500 MHz (UHF canal 19). O sinal de entrada apresentou potência média de -1,9 dBm (0,65 mW) e a potência de saída medida do DUT foi de 12,5 W (40.97 dBm), sendo que 23 dB são de responsabilidade do driver de ganho linear. Uma imagem deste amplificador pode ser vista na Figura 42. A tensão consumida pelo amplificador foi de 32v e a corrente de 1.11 A.

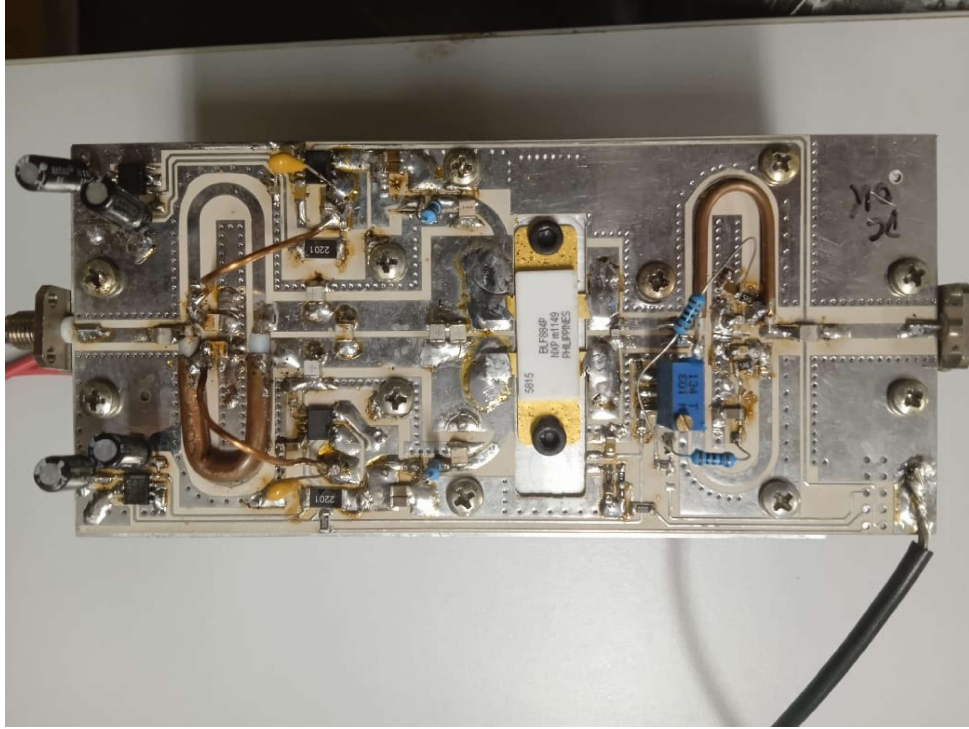


Figura 42 – Amplificador *single*

5.5 AMPLIFICADOR *DUAL*

Um segundo transistor LDMOS de potência de banda larga foi identificado no trabalho, mostrando ganho de sinal de 20 dB. A frequência selecionada foi de 500 MHz (UHF canal 19). O sinal de entrada apresentou potência média de -1,9 dBm (0,65 mW) e a potência de saída medida do DUT foi de 12,3 (40.9 dBm) W. A tensão consumida pelo amplificador foi de 50v e a corrente de 1.01 A. Uma imagem deste amplificador pode ser vista na Figura 43

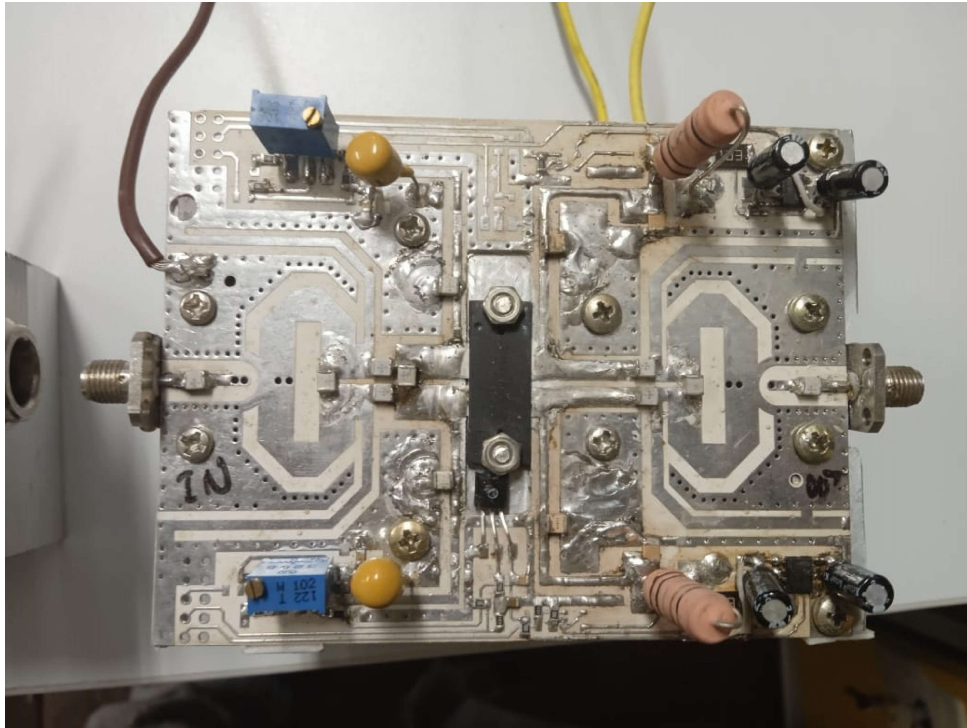


Figura 43 – Amplificador *dual*

5.6 IDENTIFICAÇÃO DE AMPLIFICADORES E POTÊNCIA

Com todos os conceitos apresentados anteriormente, é possível se identificar um DUT não-linear. O desempenho da identificação é medido através das figuras de mérito descritas na seção 2.10. Para todas as medidas, quanto menor o resultado, melhor é a modelagem. Para facilitar o entendimento repete-se a equação 2.12 na equação 5.1 mostrada abaixo. Os coeficientes $a_{m,p}$ são obtidos para descrição do modelo real.

$$y[n] = \sum_{m=0}^{M-1} \sum_{p=0}^{P-1} a_{m,p} x[n-m] |x[n-m]|^p \quad (5.1)$$

$$y[n] = \sum_{m=0}^{M-1} a_m x[n-m] \quad (5.2)$$

$$y[n] = \sum_{p=0}^{P-1} a_p x[n] |x[n]|^p \quad (5.3)$$

Primeiramente, na equação 5.1 é aplicada computacionalmente nos dados do amplificador descrito na seção 5.4. O valor de p e de m vão de 1 até 6. Devido à presença de módulo na equação, quando se tem ordem 3 o valor de p é 2. Assim ocorre até a ordem 11.

O modelo é construído seguindo a lógica descritas no capítulo 4. Analisa-se, primeiramente, os valores de NMSE da identificação na Tabela 2.

Tabela 2 – NMSE do modelo co Amplificador *Single*

Ordem \ Atraso	1	2	3	4	5	6
1	-27.8931	-28.3341	-28.3424	-28.3424	-28.3422	-28.3422
3	-28.2014	-28.6762	-28.6939	-28.6957	-28.6962	-28.6969
5	-28.5475	-29.0750	-29.0963	-29.1006	-29.1020	-29.1045
7	-28.8435	-29.4014	-29.4187	-29.4194	-29.4196	-29.4199
9	-28.8638	-29.4204	-29.4379	-29.4387	-29.4389	-29.4394
11	-28.8641	-29.4209	-29.4385	-29.4393	-29.4395	-29.4400

Quanto menor o valor do NMSE, melhor é o modelo construído. Os valores de NMSE apresentaram uma melhora constante até a ordem 7 e atraso de memória 4. Os valores de NRMSE apresentaram o mesmo comportamento e podem ser vistos na Tabela 3. Considerou-se a ordem 7 com atraso de 4 satisfatório, pois aumentando-se a complexidade do modelo poderá-se ter a modelagem de ruídos.

Tabela 3 – NRMSE do modelo co Amplificador *Single*

Ordem \ Atraso	1	2	3	4	5	6
1	0.0403	0.0383	0.0382	0.0382	0.0382	0.0382
3	0.0388	0.0368	0.0367	0.0367	0.0367	0.0367
5	0.0373	0.0351	0.0350	0.0350	0.0350	0.0350
7	0.0361	0.0338	0.0338	0.0338	0.0338	0.0338
9	0.0360	0.0338	0.0337	0.0337	0.0337	0.0337
11	0.0360	0.0338	0.0337	0.0337	0.0337	0.0337

O MAE mostrado na Tabela 4 apresenta o mesmo padrão do NMSE e NRMSE. Lembrando que o MAE é uma medida absoluta e está susceptível a mudanças na normalização. Portanto não é possível se comparar o MAE de um amplificador com o outro, mas a diminuição do erro para uma normalização constante é possível de se analisada.

Tabela 4 – MAE do modelo co Amplificador *Single*

Ordem \ Atraso	1	2	3	4	5	6
1	0.0037	0.0034	0.0034	0.0034	0.0034	0.0034
3	0.0037	0.0034	0.0034	0.0034	0.0034	0.0034
5	0.0036	0.0033	0.0033	0.0033	0.0033	0.0033
7	0.0034	0.0032	0.0031	0.0031	0.0031	0.0031
9	0.0034	0.0031	0.0031	0.0031	0.0031	0.0031
11	0.0034	0.0031	0.0031	0.0031	0.0031	0.0031

Vê-se pelos resultados das Tabelas 2, 3. e 4 que uma identificação de ordem 7 e atraso de memória 4 é satisfatória. Para analisar os efeitos de atraso e ordem na identificação, primeiramente é analisado na Figura 44 uma identificação Linear, onde a ordem fica travada em 1. Todos os modelos consideram valores mais diminutos como ideal e para todas as figuras de mérito observou-se uma estabilização dos ganhos similares para ordem 7 e atraso de 4.

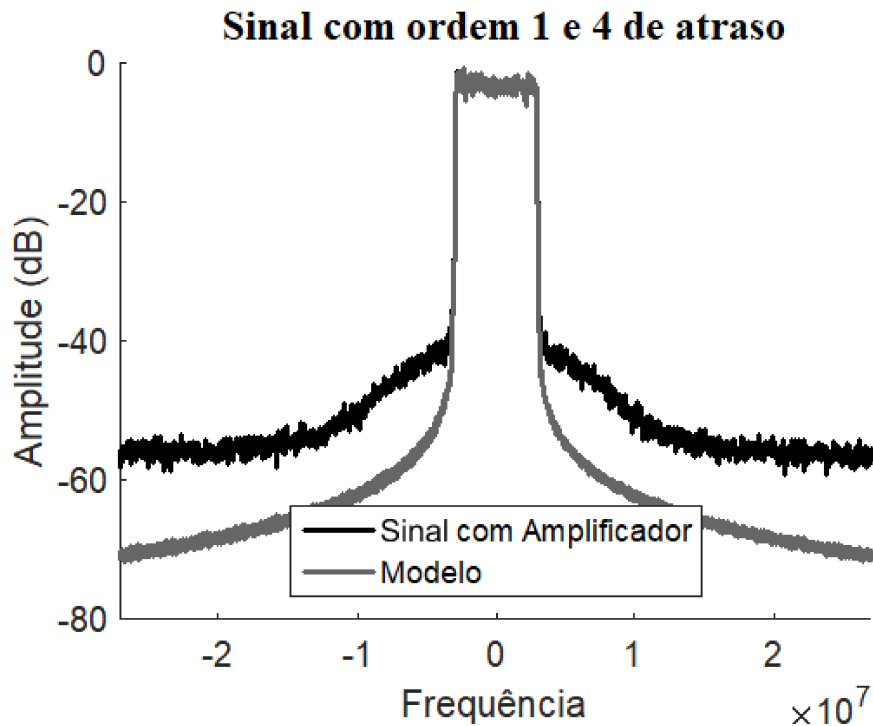


Figura 44 – Amplificador *single* com modelo linear

Vê-se que os ombros gerados pela não-linearidade do amplificador não são modelados, prejudicando assim o desempenho deste modelo nas figuras de mérito. Abaixo, na Tabela 5, têm-se os coeficientes do modelo linear.

Tabela 5 – Coeficientes lineares do Amplificador *Single*

Coeficiente	a_{11}	a_{21}	a_{31}	a_{41}
Valor	+0.61738	+0.73288	-0.31752	-0.036267
	+0.19261i	-0.25777i	+0.15144i	-0.087632i

Já na Figura 45 existe a presença do ombro, mas este é simétrico dos dois lados da casaca do sinal, prejudicando assim a modelagem em comparação com uma modelagem de Hammerstein.

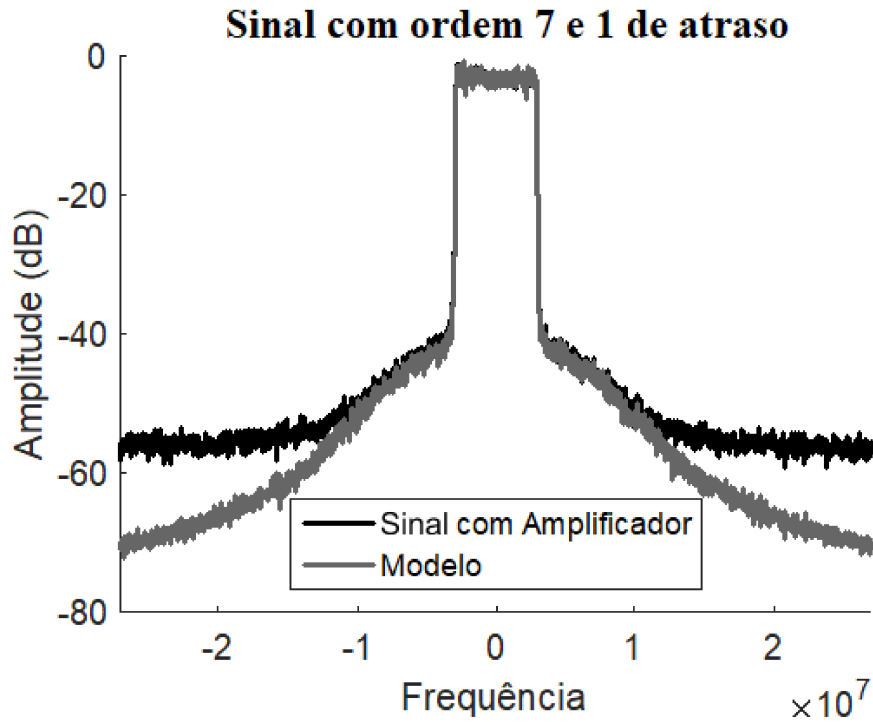


Figura 45 – Amplificador *single* com polinômio

Na Tabela 6, têm-se os coeficientes do modelo não-linear e sem memória.

Tabela 6 – Coeficientes não-lineares e sem memória do Amplificador *Single*

Coeficiente	a_{11}
Valor	1.0815-0.051978i
Coeficiente	a_{12}
Valor	-2.6334+1.4795i
Coeficiente	a_{13}
Valor	24.6877-10.3563i
Coeficiente	a_{14}
Valor	-70.023+18.4851i

A Figura 46 apresenta o sinal com a maior similaridade, provando que o modelo de Hammerstein é o melhor para este caso.

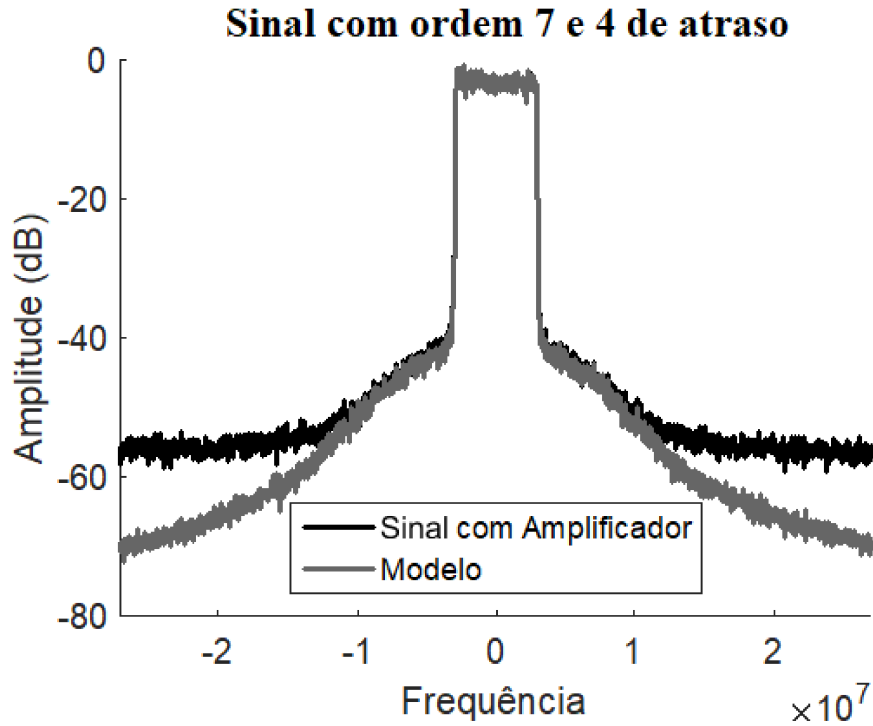


Figura 46 – Amplificador *single* com série de Hammerstein

Na Tabela 7, têm-se os coeficientes do modelo não-linear e com memória. Este apresentou o melhor desempenho.

Tabela 7 – Coeficientes não-lineares e com memória do Amplificador *Single*

Coeficiente	a_{11}	a_{21}	a_{31}	a_{41}
Valor	+0.61146 +0.0013173i	+0.83729 -0.05966i	-0.2527 +0.1996i	-0.12164 -0.19664i
Coeficiente	a_{12}	a_{22}	a_{32}	a_{42}
Valor	-0.74323 +1.6726i	-4.9169 +0.038933i	+4.0328 -0.97426i	-0.89015 +0.79678i
Coeficiente	a_{13}	a_{23}	a_{33}	a_{43}
Valor	+30.3172 -17.7422i	-26.8189 +15.9027i	+38.2242 -7.87345i	-17.8907 +1.05545i
Coeficiente	a_{14}	a_{24}	a_{34}	a_{44}
Valor	-92.15014 +34.58632i	+99.73075 -41.07904i	-137.3597 +28.14738i	+61.79893 -2.290583i

O mesmo procedimento aplicado ao Amplificador *single* é aplicado ao Amplificador Dual. Este apresentou resultados consistentemente piores do que o *single*, podendo ser vistos nas Tabelas 8, 9 e 10.

Tabela 8 – NMSE do modelo co Amplificador Dual

Ordem \ Atraso	1	2	3	4	5	6
1	-21.7187	-21.7250	-21.7503	-21.7511	-21.7512	-21.7513
3	-23.4747	-23.5342	-23.6108	-23.6312	-23.6413	-23.6495
5	-23.5224	-23.5848	-23.6654	-23.7065	-23.7168	-23.7191
7	-23.5325	-23.5950	-23.6832	-23.7244	-23.7334	-23.7348
9	-23.5368	-23.5998	-23.6864	-23.7283	-23.7377	-23.7391
11	-23.5405	-23.6033	-23.6890	-23.7311	-23.7400	-23.7415

Tabela 9 – NRMSE do modelo co Amplificador Dual

Ordem \ Atraso	1	2	3	4	5	6
1	0.0820	0.0819	0.0817	0.0817	0.0817	0.0817
3	0.0670	0.0665	0.0659	0.0658	0.0657	0.0656
5	0.0666	0.0661	0.0655	0.0652	0.0651	0.0651
7	0.0665	0.0661	0.0654	0.0651	0.0650	0.0650
9	0.0665	0.0660	0.0654	0.0651	0.0650	0.0650
11	0.0665	0.0660	0.0653	0.0650	0.0650	0.0650

Tabela 10 – MAE do modelo co Amplificador Dual

Ordem \ Atraso	1	2	3	1	2	3
1	0.0078	0.0078	0.0078	0.0078	0.0078	0.0078
3	0.0065	0.0064	0.0064	0.0064	0.0064	0.0064
5	0.0065	0.0064	0.0064	0.0063	0.0063	0.0063
7	0.0064	0.0064	0.0063	0.0063	0.0063	0.0063
9	0.0064	0.0064	0.0063	0.0063	0.0063	0.0063
11	0.0064	0.0064	0.0063	0.0063	0.0063	0.0063

Como vistos nas Tabelas, a partir da ordem 7 e atraso 4 não adianta se aumentar o número de coeficientes que os resultados não melhoram. Todas as medidas apresentadas foram piores que no primeiro amplificador, já que como observado nas Figuras 47, 48 e 49 este possui ombros com uma alteração mais significativa em dB. É possível observar este fato para quando não há nenhum modelo (ordem e atraso 1), onde o Dual apresenta um NMSE de -21.71 dB. Alteração superior aos -27.89 dB do *single*.

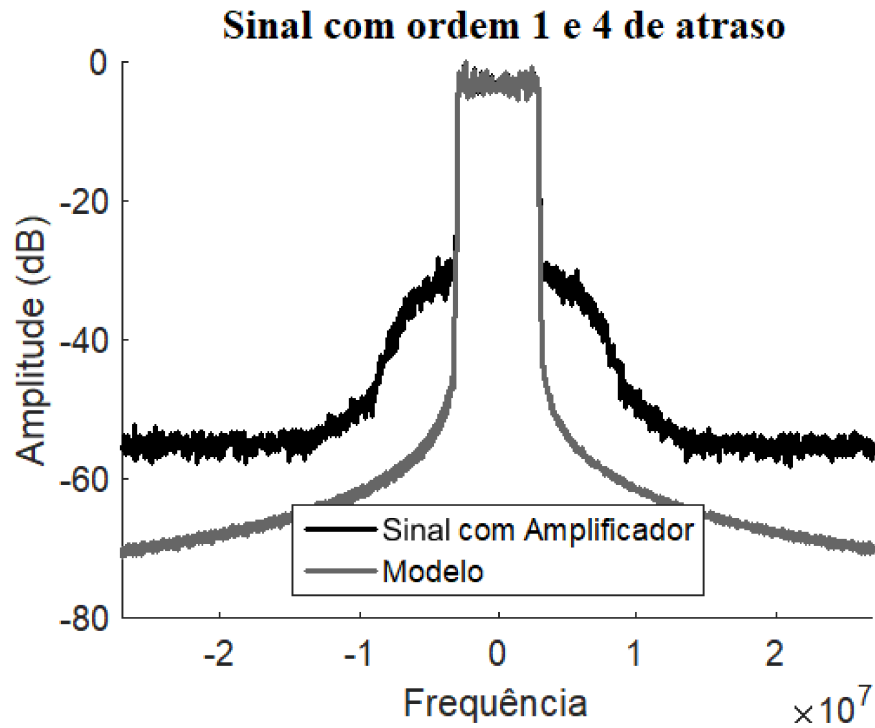


Figura 47 – Amplificador *Dual* com modelo linear

A tabela 11 mostra os coeficientes lineares do amplificador *Dual*.

Tabela 11 – Coeficientes lineares do Amplificador *Dual*

Coeficiente	a_{11}	a_{21}	a_{31}	a_{41}
Valor	+0.15104	+0.81601	+0.96422	-0.9211
	-0.76145ii	+1.4259i	-0.61428i	-0.053748i

A Figura 48 mostra um polinômio aplicado ao amplificado *Dual*.

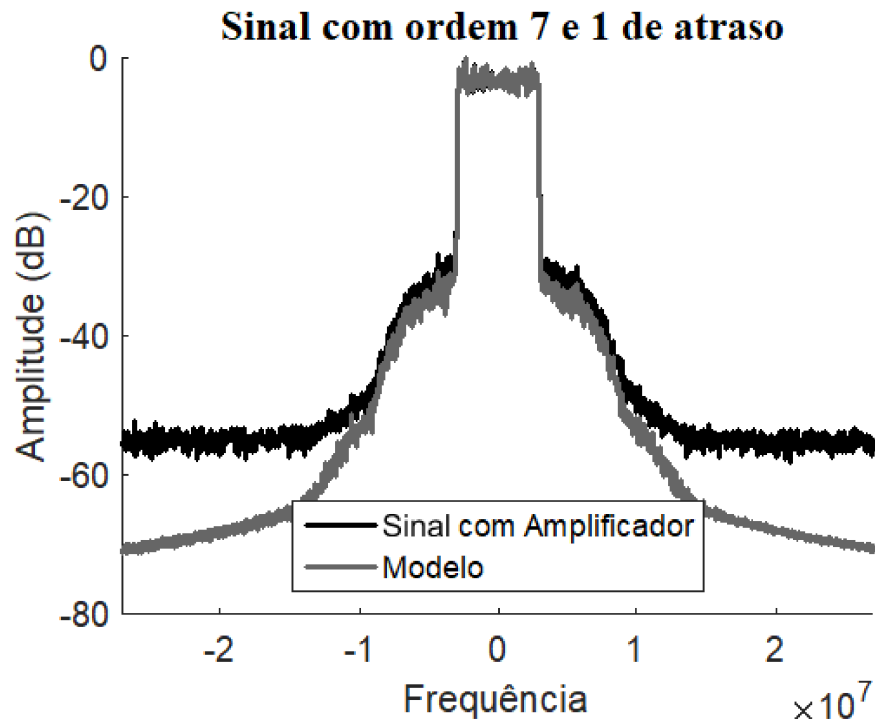


Figura 48 – Amplificador *Dual* com polinômio

A Tabela 12 mostra os coeficientes do polinômio para o segundo amplificador.

Tabela 12 – Coeficientes não-lineares e com memória do Amplificador *Dual*

Coeficiente	a_{11}
Valor	0.88175+0.0055953i
Coeficiente	a_{12}
Valor	0.19728+0.1191i
Coeficiente	a_{13}
Valor	9.1225-0.085096i
Coeficiente	a_{14}
Valor	-24.9829-6.50267i

A Figura 49 mostra o modelo de Hammstein aplicado no Amplificaor Dual.

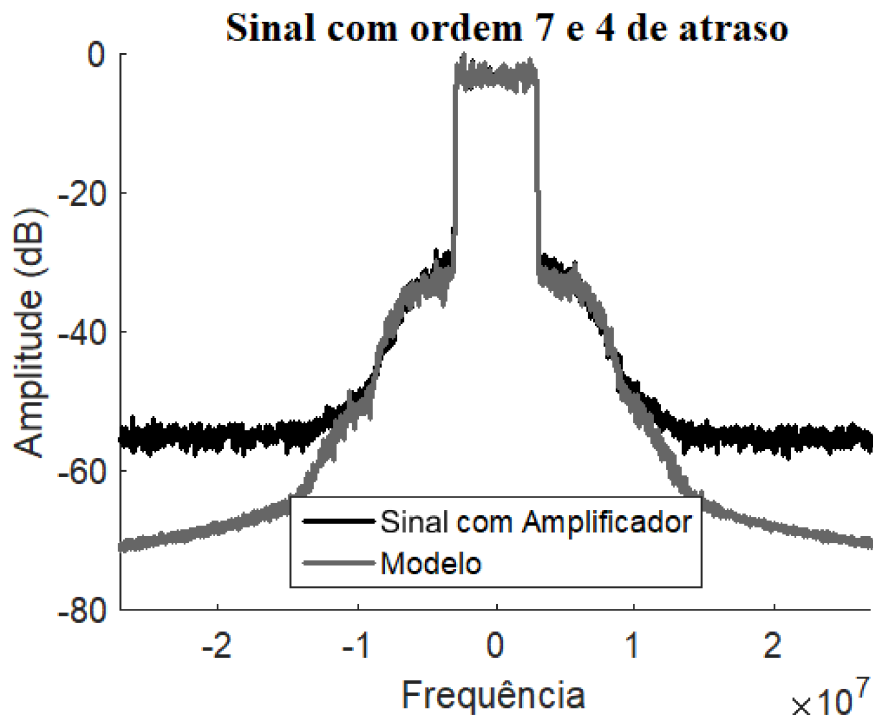


Figura 49 – Amplificador *Dual* com série de Hammstein

Para finalizar, a Tabela 13 mostra os coeficientes do melhor modelo para o Amplificador *Dual*.

Tabela 13 – Coeficientes não-lineares e sem memória do Amplificador *Dual*

Coeficiente	a_{11}	a_{21}	a_{31}	a_{41}
Valor	+0.71406 -0.56253i	+0.1254 +1.0102i	-0.13213 -0.21257i	+0.19451 -0.24603i
Coeficiente	a_{12}	a_{22}	a_{32}	a_{42}
Valor	+2.2968 -1.3505i	-3.6346 +4.5243i	+2.5595 -5.4785i	-1.0773 +2.6383i
Coeficiente	a_{13}	a_{23}	a_{33}	a_{43}
Valor	+317.67901 -105.15727i	-991.58157 +319.55698i	+1072.8591 -327.47491i	-391.193 +111.81916i
Coeficiente	a_{14}	a_{24}	a_{34}	a_{44}
Valor	-447.24543 +209.14369i	+1374.0044 -622.00297i	-1519.3776 +608.96972i	+571.23156 -199.69527i

Vê-se, a partir de todos os dados, que a plataforma construída identificou corretamente os dois DUTs propostos. O algoritmo funcionou conforme esperado e a plataforma se computorizou com excelência. As técnicas de janelamento e de sincronia da recepção funcionaram bem e possibilitaram uma identificação coerente.

5.7 RESUMO DO CAPÍTULO

Os valores mostrados nas tabelas mostram que a identificação dos amplificadores de potência foi feita com sucesso, sendo que a estimação não-linear obteve valores de NMSE superiores se comparados com a não-linear. É importante ressaltar que os dados foram obtidos através de medições reais que foram analisadas posteriormente em um computador. Provando, assim, a utilização da plataforma para o fim para o qual ela foi desenvolvida.

6 CONCLUSÕES, TRABALHOS FUTUROS

6.1 CONCLUSÃO

Neste trabalho, foi criada uma plataforma em FPGA que pode transferir diferentes sinais. Utilizando esse sinal, implementou-se um algoritmo que identifica um dispositivo pelo qual o sinal é transmitido. Os coeficientes deste modelo são utilizados para se avaliar amplificadores de potência.

O amplificador foi introduzido como uma alteração induzida no canal. Para a sua correta identificação, um sinal foi transmitido através deste. A partir da comparação desse sinal com o mesmo transmitido sem o dispositivo, foi construído um modelo. A curva estimada pelos coeficientes desse modelo foi comparada com a curva real do Amplificador medido. Concluiu-se que o algoritmo é apropriado para a identificação de um sistema real. Uma série de Hammerstein, que é um modelo não-linear, identificou as alterações induzidas.

Como uma segunda aplicação, construiu-se um sistema de medidas implementado no FPGA. Primeiramente, podendo transmitir qualquer sinal gerado computacionalmente. Além do sinal de interesse ISDB-t, foram transmitidos outros sinais durante o trabalho

O modelo envolveu o DAC, o Driver, o Amplificador e o ADC. Considerou-se todos os componentes devido a não-linearidade do Amplificador, o que ocasionou resultados insatisfatórios quando a estimação considerava apenas o um modelo linear. Para garantir a qualidade do trabalho, foram utilizadas quatro figuras de mérito: NMSE, MAE e NRMSE, sendo que as três são medidas pelos dados capturados na FPGA. Em todas as medidas, observou-se uma melhora do modelo ao se aplicar uma série de Hammerstein.

O trabalho demonstrou que é plenamente viável utilizar um algoritmo de identificação para criar modelos precisos que descrevem um sistema real. Para reforçar a eficiência e a precisão desse método, os resultados obtidos através da identificação foram submetidos a diversas figuras de mérito. Além disso, foram comparados com uma curva real, evidenciando a acurácia do processo.

O ponto de destaque deste estudo é o baixo custo da plataforma desenvolvida. Utilizando componentes acessíveis, como uma FPGA de custo reduzido, foi possível atingir resultados de alta qualidade, mostrando que soluções eficazes não precisam ser caras. Este feito é especialmente importante pois abre portas para que outros pesquisadores, mesmo com recursos limitados, possam replicar e expandir essas técnicas em suas próprias investigações. Isso prova que inovação e acessibilidade podem andar de mãos dadas, proporcionando ferramentas valiosas para avanços futuros na área.

6.2 TRABALHOS FUTUROS

Como trabalhos futuros, espera-se a aplicação da linearização no sinal, já que a plataforma apresentou bons resultados de desempenho e o algoritmo de pré-distorção é o mesmo do de identificação. Esta futura aplicação poderá ser construída utilizando os mesmos algoritmos e o mesmo sistema de medidas, não sendo necessário nenhuma alteração.

O modelo de pré-distorção é feito através da estimação indireta, onde, os coeficientes são obtidos utilizando os dados capturados pela FPGA. O próprio autor já realizou trabalhos nesta área para modelos lineares [57]. Para a construção do modelo é utilizado equação 6.1, que é a equação de Mínimos Quadrados descrita neste trabalho.

$$\theta = U^{-1}Y \quad (6.1)$$

Na equação 6.1 o U é composto pelos dados sem o DUT e o Y são os dados capturados no FPGA com o Amplificador. Para a construção de um modelo de pré-distorção o U é construído de com os dados provenientes do DUT e o Y é composto pelo sinal enviado sem nenhum dispositivo a ser identificado. Esta técnica constrói um modelo inverso, cujo os coeficientes podem ser aplicados no sinal enviado para uma transmissão de dados eficiente.

REFERÊNCIAS

- [1] L. O. M. Stefano, F. Santana, “O retrato dos novos consumidores brasileiros,” *Revista Exame*, 2008.
- [2] L. H. Gonsioroski, A. B. D. Santos, N. C. Fernandes, P. V. G. Castellanos, L. J. Matos, D. S. V. Medeiros, D. M. F. Mattos, and L. A. R. d. S. Mello, “Advanced ISDB-T—next generation digital tv system: Performance in field tests in brazil,” *IEEE Transactions on Broadcasting*, vol. 69, no. 2, pp. 538–551, 2023.
- [3] A. P. Lathi, *Digital Signal Processing and Linear Systems*, 2000, vol. 1, no. 1.
- [4] L. Aguirre, *Introdução à Identificação de Sistemas*, 2004, vol. 1, no. 2.
- [5] W. Li, N. Bartzoudis, J. Rubio Fernández, D. López-Bueno, G. Montoro, and P. L. Gilabert, “FPGA implementation of a linearization system for wideband envelope tracking power amplifiers,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 71, no. 4, pp. 1781–1792, 2023.
- [6] W. Li, N. Bartzoudis, J. R. Fernández, D. López-Bueno, G. Montoro, and P. Gilabert, “Slow-envelope shaping function FPGA implementation for 5g nr envelope tracking pa,” in *2022 International Workshop on Integrated Nonlinear Microwave and Millimetre-Wave Circuits (INMMiC)*, 2022, pp. 1–3.
- [7] W. Li, E. Guillena, G. Montoro, and P. L. Gilabert, “FPGA implementation of memory-based digital predistorters with high-level synthesis,” in *2021 IEEE Topical Conference on RF/Microwave Power Amplifiers for Radio and Wireless Applications (PAWR)*, 2021, pp. 37–40.
- [8] Q. A. Pham, D. López-Bueno, T. Wang, G. Montoro, and P. L. Gilabert, “Partial least squares identification of multi look-up table digital predistorters for concurrent dual-band envelope tracking power amplifiers,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 66, no. 12, pp. 5143–5150, 2018.
- [9] J. C. Núñez Pérez, E. Allende Chávez, J. R. Cárdenas Valdez, A. Bonilla Rodríguez, G. Entrambasaguas Leon, R. Y. Serrato Andrade, and J. A. Galaviz Aguilar, “FPGA-based emulation of sequential least squares for coefficient extraction of rf power amplifiers,” in *2018 International Conference on Mechatronics, Electronics and Automotive Engineering (ICMEAE)*, 2018, pp. 171–176.
- [10] J. C. Nuñez-Perez, J. Sillas-Luna, J. Cardenas Valdez, J. A. Galaviz-Aguilar, E. T. Cuautle, C. E. Vazquez-Lopez, and L. Trujillo-Reyes, “FPGA realization of rf-pa models with memory effects based on anfis,” in *2016 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC)*, 2016, pp. 1–6.
- [11] O. Nelles, *Nonlinear System Identification*. Springer, 2001.
- [12] V. Z. Marmarelis, *Nonlinear Dynamic Modeling of Physiological Systems*. J. Wiley & Sons, 2004.
- [13] P. L. Gilabert, J.-R. Pérez-Cisneros, Z. Ren, G. Montoro, M. d. L. N. R. Lavín, and J. A. García, “Digital predistortion linearization of a gan hemt push-pull power

- amplifier for cable applications with high fractional bandwidth,” *IEEE Transactions on Broadcasting*, vol. 69, no. 2, pp. 516–527, 2023.
- [14] D. D. Silveira, P. Gilabert, P. M. Lavrador, J. C. Pedro, M. Gadringer, G. Montoro, E. Bertran, and G. Magerl, “Improvements and analysis of nonlinear parallel behavioral models,” *International Journal of RF and Microwave Computer-Aided Engineering*, vol. 19, no. 5, pp. 615–626, September 2009.
- [15] A. Soghoyan, A. Suleiman, and D. Akopian, “A development and testing instrumentation for GPS software defined radio with fast FPGA prototyping support,” *IEEE Transactions on Instrumentation and Measurement*, vol. 63, no. 8, pp. 2001–2012, 2014.
- [16] C. Andrich, A. Ihlow, J. Bauer, N. Beuster, and G. Del Galdo, “High-precision measurement of sine and pulse reference signals using software-defined radio,” *IEEE Transactions on Instrumentation and Measurement*, vol. 67, no. 5, pp. 1132–1141, 2018.
- [17] D. D. Silveira, P. L. Gilabert, A. B. dos Santos, and M. Gadringer, “Analysis of variations of Volterra series models for RF power amplifiers,” *IEEE Microwave and Wireless Components Letters*, vol. 23, no. 8, pp. 442–444, 2013.
- [18] Y. Xu, Z. Yan, B. Han, and F. Dong, “An FPGA-based multifrequency eit system with reference signal measurement,” *IEEE Transactions on Instrumentation and Measurement*, vol. 70, pp. 1–10, 2021.
- [19] R. Machado, J. Cabral, and F. S. Alves, “Recent developments and challenges in FPGA-based time-to-digital converters,” *IEEE Transactions on Instrumentation and Measurement*, vol. 68, no. 11, pp. 4205–4221, 2019.
- [20] G. Betta, L. Ferrigno, and M. Laracca, “Cost-effective FPGA instrument for harmonic and interharmonic monitoring,” *IEEE Transactions on Instrumentation and Measurement*, vol. 62, no. 8, pp. 2161–2170, 2013.
- [21] d. A. O. I. d. M. A. Corrêa, L.A., “Wideband FPGA-based digital modulator programming and practical validation techniques,” *Analog Integrated Circuits and Signal Processing*, vol. 106, p. 577–592, 2021.
- [22] W. Feng, J. Friedt, G. Cherniak, and M. Sato, “Novel algorithm for high resolution passive radar imaging with ISDB-T digital TV signal,” in *IGARSS 2018 - 2018 IEEE International Geoscience and Remote Sensing Symposium*, July 2018, pp. 6687–6690.
- [23] G. H. M. G. de Oliveira, C. Akamine, and Y. P. Maciel, “Implementation of ISDB-T LDM broadcast system using LDPC codes,” in *2016 IEEE International Symposium on Broadband Multimedia Systems and Broadcasting (BMSB)*, June 2016, pp. 1–4.
- [24] J. J. H. Almeida, C. Akamine, and P. B. Lopes, “An implementation on GNUradio of a new model to ISDB-Tb using FBMC,” 2018.
- [25] J. N. Eballa, P. A. Martinez, J. J. J. Quitayen, and R. V. C. B. Raro, “Ruralsync: Providing digital content to remote communities in the philippines through opportunistic spectrum access,” in *2022 IEEE Global Humanitarian Technology Conference (GHTC)*, 2022, pp. 125–128.

- [26] G. Olmedo and N. Benavides, “Classification of modulation error rate measurement using convolutional neural networks in ISDB-T,” in *2021 IEEE CHILEAN Conference on Electrical, Electronics Engineering, Information and Communication Technologies (CHILECON)*, 2021, pp. 1–6.
- [27] S. Amin, E. Zenteno, P. N. Landin, D. Rönnow, M. Isaksson, and P. Händel, “Noise impact on the identification of digital predistorter parameters in the indirect learning architecture,” in *2012 Swedish Communication Technologies Workshop (Swe-CTW)*, Oct 2012, pp. 36–39.
- [28] M. E. Gadringer, D. Silveira, and G. Magerl, “Efficient power amplifier identification using modified parallel cascade hammerstein models,” in *2007 IEEE Radio and Wireless Symposium*, Jan 2007, pp. 305–308.
- [29] J. A. Galaviz-Aguilar, C. Vargas-Rosales, and E. Tlelo-Cuautle, “Rf-pa modeling of papr: A precomputed approach to reinforce spectral efficiency,” *IEEE Access*, vol. 8, pp. 138 217–138 235, 2020.
- [30] D. D. Silveira and G. Magerl, “Extraction and improvements of a behavioral model based on the Wiener-Bose structure used for baseband Volterra kernels estimation,” *International Microwave Symposium*, vol. 1, pp. 2007–2010, June 2007.
- [31] M. Ubostad and M. Olavsbråten, “Linearity performance of an rf power amplifier under different bias-and load conditions with and without dpd,” in *2010 IEEE Radio and Wireless Symposium (RWS)*, 2010, pp. 232–235.
- [32] W. Li, G. Montoro, and P. L. Gilabert, “Design and implementation of a gpu-based digital predistortion linearizer for rf power amplifiers,” in *2023 19th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, 2023, pp. 1–4.
- [33] W. Li, A. Bogusz, J. Lees, R. Quaglia, S. Cripps, G. Montoro, and P. L. Gilabert, “Performance modeling and shaping function extraction for dual-input load modulated power amplifiers,” in *2023 IEEE/MTT-S International Microwave Symposium - IMS 2023*, 2023, pp. 203–206.
- [34] Keysight, “Technical Support, N9000A CXA Signal Analyzer, 9 khz to 26.5 ghz,” <https://www.keysight.com/us/en/support/N9000A/cxa-signal-analyzer-9khz-26-5ghz.html>, 2022, Acesso em: 10/07/2024.
- [35] A. V. Oppenheim and A. S. Willsky, *Sinais e Sistemas*, 2005, vol. 1, no. 2.
- [36] V. Z. Marmarelis, *Nonlinear Dynamic Modeling of Physiological Systems*. J. Wiley Sons, 2004.
- [37] S. K. Mitra, *Digital Signal Processing – A Computer-Based Approach*, McGraw-Hill, Ed., 2005.
- [38] A. V. Oppenheim and R. W. S. ., *Discrete-Time Signal Processing*. Pearson, 2009.
- [39] L. Philipose, *Using the ADS8380 With the TMS320C6713 DSP*, 2005.
- [40] T. Instruments, *Tiva™ TM4C123GH6PM Microcontroller*, 2013.

- [41] J. R. Buck, D. Michael M, and S. Andrew C, *Computer Explorations in Signals and Systems Using MATLAB*. USA: Prentice-Hall, Inc., 2001.
- [42] F. Harris, “On the use of windows for harmonic analysis with the discrete fourier transform,” *Proceedings of the IEEE*, vol. 66, no. 1, pp. 51–83, 1978.
- [43] A. V. Oppenheim, R. W. Schaffer, and J. R. Buck, *Discrete-Time Signal Processing (2nd Ed.)*. USA: Prentice-Hall, Inc., 1999.
- [44] A. Hagenblad and L. Ljung, “Maximum likelihood identification of wiener models with a linear regression initialization,” in *Proceedings of the 37th IEEE Conference on Decision and Control (Cat. No.98CH36171)*, vol. 1, 1998, pp. 712–713 vol.1.
- [45] M. Isaksson, D. Wisell, and D. Ronnow, “A comparative analysis of behavioral models for RF power amplifiers,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 1, pp. 348–359, January 2006.
- [46] J. H. Lin, T. M. Sellke, and E. J. Coyle, “Adaptive stack filtering under the mean absolute error criterion,” *IEEE Transactions on Acoustics, Speech, and Signal Processing*, vol. 38, no. 6, pp. 938–954, Jun 1990.
- [47] R. Tocci and N. Widmer, *SISTEMAS DIGITAIS Princípios e Aplicações*, 2000, vol. 7, no. 1.
- [48] J. Bianchi, “TI designs high speed: CerTified design TSW3085EVM ACPR and EVM measurements,” Texas Instruments, Tech. Rep.
- [49] M. Guibord, “TI designs high speed: Verified design TSW1266 wideband RF-to-digital complex receiver feedback signal chain,” Texas Instruments, Tech. Rep.
- [50] Mini-Circuits, *Coaxial Directional Coupler*, 2008.
- [51] L. Ljung, *System Identification*. Prentice Halls, 1999, vol. 2.
- [52] A. C. Luiz, A. J. S. Marco, A. A. M. Medeiros, A. B. dos Santos, T. V. N. Coelho, and D. D. Silveira, “16-qam FPGA digital modulator and a tool to evaluate bit error rate,” in *2017 SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC)*, Aug 2017, pp. 1–5.
- [53] D. T. Westwick and R. E. Kearney, *Identification of Nonlinear Physiological Systems*. IEEE Press, 2003.
- [54] R. Yates and D. Goodman, *Probability and Stochastic Processes*, 2005, vol. 1, no. 2.
- [55] L. Hamilton, *Um Curso de Cálculo*, 2001, vol. 1, no. 5.
- [56] A. Zhu, P. Draxler, J. Yan, T. Brazil, D. Kimball, and P. Asbeck, “Open-loop digital predistorter for RF power amplifiers using dynamic deviation reduction-based Volterra series,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, pp. 1524–1534, 2008.
- [57] L. A. C. Júnior, “Técnicas de modelagem e pré-distorção utilizando FPGA,” Master’s thesis, Universidade Federal de Juiz de Fora, Juiz de Fora, 2018.